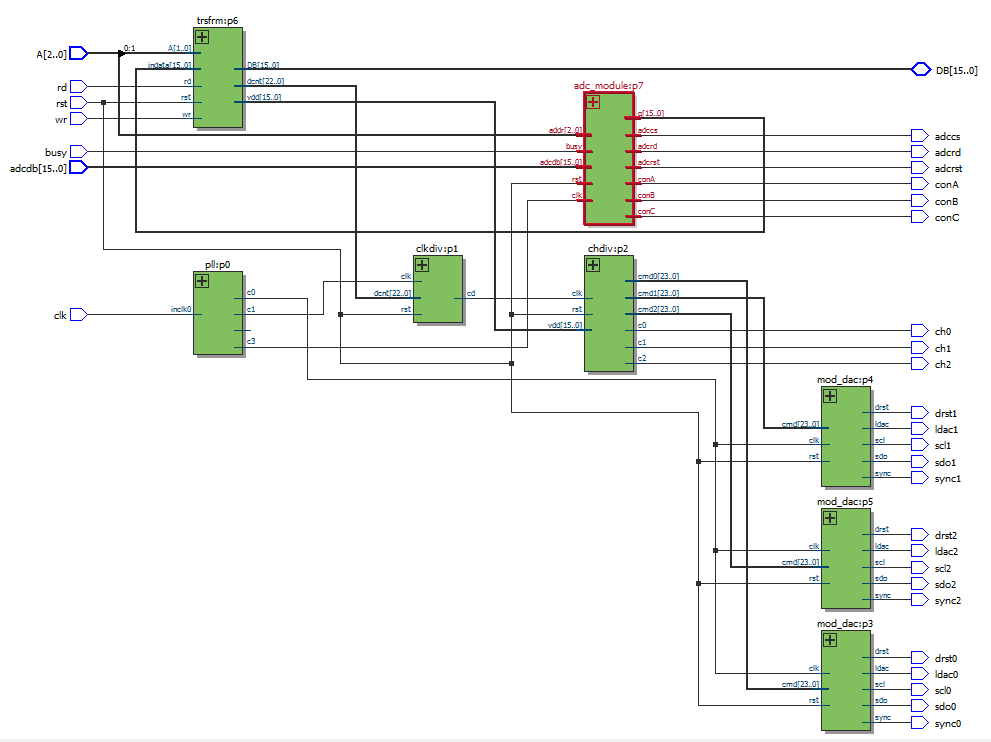
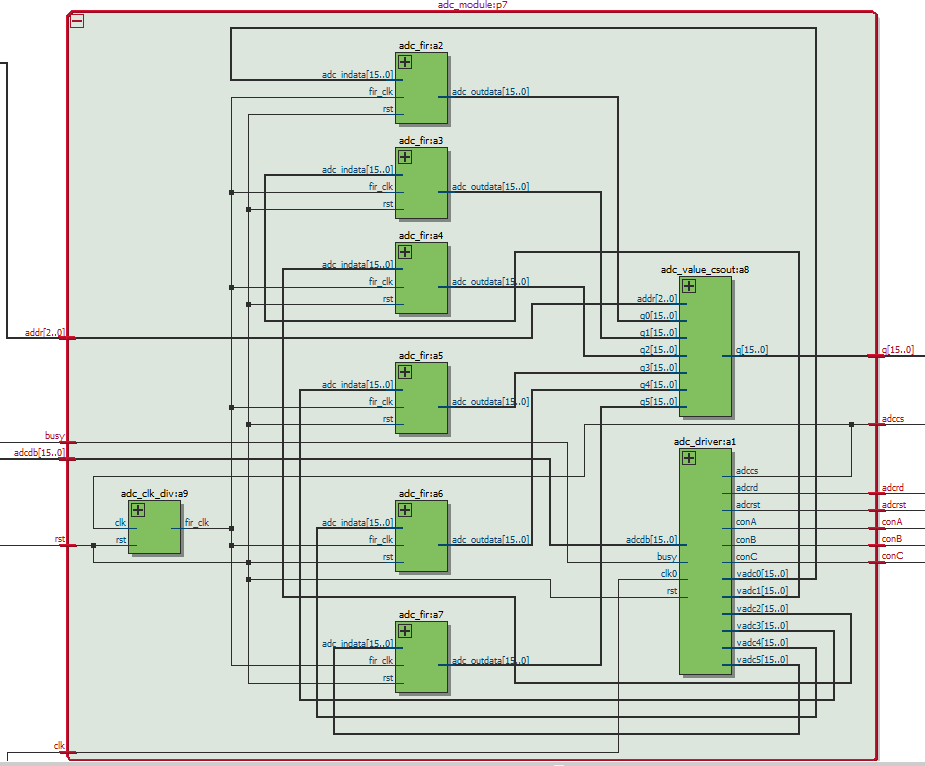
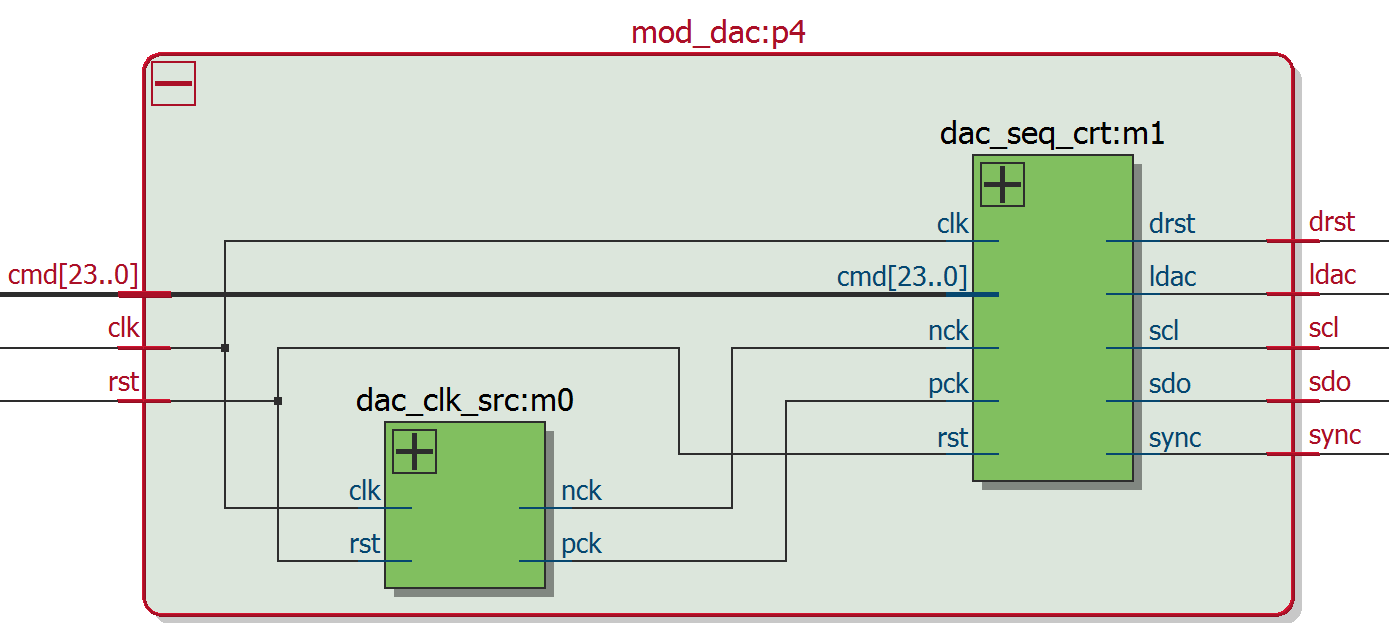
整体RTL视图

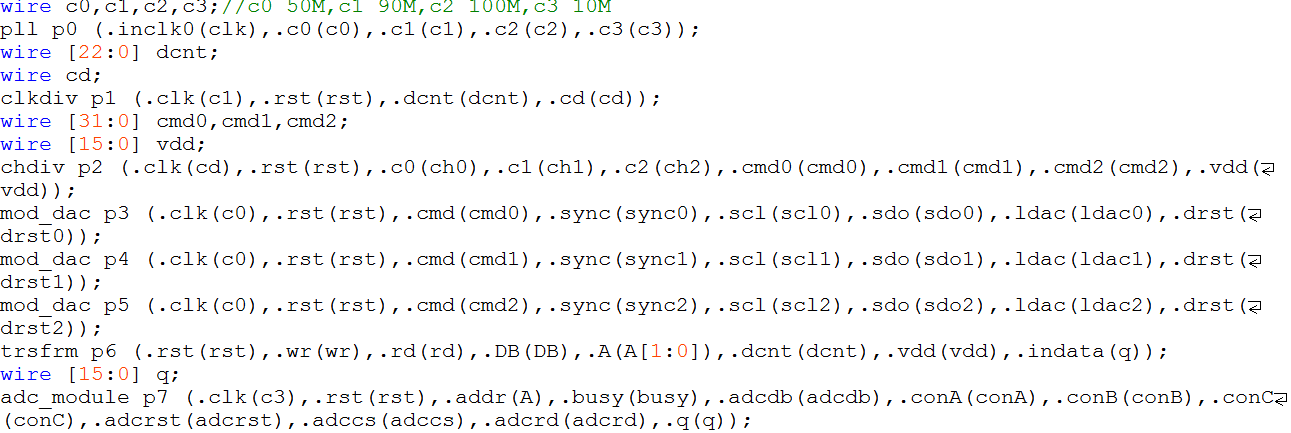


ADC 模块 RTL



DAC 模块 RTL





**pro 顶层实体模块**

input wire clk,rst;//clk 25MHz系统时钟输入；rst 全局复位

input wire wr,rd;//FSMC读写信号

inout wire [15:0] DB;//FSMC数据总线

input wire [2:0] A;//FSMC地址总线

output wire ch0,ch1,ch2;//三相方波测试信号输出（TTL电平）

output wire drst0,ldac0,scl0,sdo0,sync0;//DAC时序产生相关接口信号

output wire drst1,ldac1,scl1,sdo1,sync1;

output wire drst2,ldac2,scl2,sdo2,sync2;

input wire busy;//ADC转换忙时信号输入

input wire [15:0] adcdb;//ADC数据总线

output wire conA,conB,conC;//ADC 三路启动转换信号

output wire adcrst,adccs,adcrd;//ADC 复位、片选、读信号

**锁相环模块**

input inclk0;//25MHz晶振输入

output c0;//50MHz DAC时序发生驱动时钟

output c1;//90MHz 分频主时钟

output c2;//100MHz 驱动逻辑分析仪

output c3;//10MHz ADC模块驱动时钟

**clk\_div 模块**

input wire clk,rst;//clk 接c1; rst 全局复位

input wire [22:0] dcnt;//分频系数

output reg cd;//分频后的时钟

chdiv 模块

input wire clk,rst;//clk 接cd; rst 全局复位

input wire [15:0] vdd;//设置DAC输出电压

output wire [23:0] cmd0,cmd1,cmd2;//DAC命令输出

output reg c0,c1,c2;//三相方波测试信号输出

**mod\_dac 模块**

input wire clk,rst;//clk 接c0; rst 全局复位

input wire [23:0] cmd;//DAC 命令

output wire sync,scl,sdo,ldac,drst;//DAC驱动信号

**dac\_clk\_src 模块**

input wire clk,rst;//clk 接c0; rst 全局复位

output reg pck,nck;//pck 正极性时序时钟；nck 负极性时序时钟

**dac\_seq\_crt 模块**

input wire clk,rst,pck,nck;//见上

input wire [23:0] cmd;//DAC 命令

output reg sync,scl,sdo,ldac,drst;//DAC 驱动信号

**trsfrm 模块（FSMC通信模块）**

input wire rst; //全局复位

input wire wr,rd;//fsmc 读写

inout wire [15:0] DB;//fsmc 数据总线

input wire [2:0] A;//fsmc 地址总线

input wire [15:0] indata;//fsmc 通信模块数据输入

output reg [22:0] dcnt;//分频系数

output wire [15:0] vdd;//DAC电压

**adc\_module 模块**

input wire clk,rst;//clk 接 c3; rst 全局复位

input wire [2:0] addr;//通道选择信号（地址信号）

input wire busy;//ADC忙时信号

input wire [15:0] adcdb;//ADC数据总线

output wire conA,conB,conC;//ADC启动转换信号

output wire adcrst,adccs,adcrd; //ADC复位 片选 读 信号

output wire [15:0] q;//ADC 某一通道的数据输出

**adc\_driver 模块**

input wire clk0,rst;//见上

input wire busy;// 见上

input wire [15:0] adcdb;// 见上

output wire conA,conB,conC;// 见上

output reg adcrst,adccs,adcrd;// 见上

output wire [15:0] vadc0,vadc1,vadc2,vadc3,vadc4,vadc5;//ADC 6通道输出信号

**adc\_fir 模块**

input wire fir\_clk,rst;//fir\_clk 数字滤波专用时钟; rst 全局复位

input wire [15:0] adc\_indata;//某一通道ADC数据输入

output wire [15:0] adc\_outdata;//滤波后的数据输出

**adc\_clk\_div 模块**

input wire clk,rst;//clk 接 ADC的片选（250KHz）；rst 全局复位

output wire fir\_clk;//数字滤波专用时钟输出

**adc\_value\_csout 模块**

input wire [2:0] addr;//通道选择信号（地址信号）

input wire [15:0] q0,q1,q2,q3,q4,q5;//6通道ADC数据输入

output reg [15:0] q;//某一通道的数据输出