

Módulos Implementados

MIPS.v

Este módulo contém o processador MIPS, que faz as conexões dos estágios do Pipeline já disponibilizados na especificação do Trabalho.

```
module Mips (  
    input clockFast,  
  
    input reset,  
  
    //RAM  
  
    output [17:0] addr,  
  
    inout  [15:0] data,  
  
    output      wre,  
  
    output      oute,  
  
    output      hb_mask,  
  
    output      lb_mask,  
  
    output      chip_en  
);
```

Como o processador é de 32 bits e o barramento de dados é de apenas 16, são necessários dois pulsos de clock para buscar os dados na memória. Então foi gerado um clock duas vezes mais lento para todos os módulos do MIPS, exceto o de acesso à memória.

Conforme especificado anteriormente, os outputs *oute*, *hb_mask*, *lb_mask* e *chip_en* devem estar sempre no estado 0.

Foram úteis 64 *wires* para conectar os estágios do Pipeline aos registradores e à Memória (MemController, Memory, Execute, Writeback, Fetch, Decode, Registers).