

Kalkulator 4 bitowy. Układ cyfrowy wyświetlający wynik sumy lub odejmowania dwóch liczb 4-bitowych na wyświetlaczu 7-segmentowym.

### A diagram of a computer system Description automatically generated

# 1. Sumator 4-bitowy

## 1.1 Półsumator

Tabela 1 Półsumator - tabela prawdy

A – wejście: bit A  
B – wejście: bit B  
Y – wyjście: suma dwóch bitów AB  
C – wyjście: bit przeniesienia

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | Y | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

Tabela 2 Tablica Karnaugh – Półsumator wyjście Y

|  |  |  |
| --- | --- | --- |
| A | 0 | 1 |
| B |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

|  |  |  |
| --- | --- | --- |
| A | 0 | 1 |
| B |
| 0 | 0 | 0 |
| 1 | 0 | 1 |

Tabela 3 Tablica Karnaugh - Półsumator wyjście C

A screenshot of a computer

Description automatically generatedA diagram of a circuit

Description automatically generated

Rys.1 Obwód zintegrowany – półsumator Rys.2 Schemat - półsumator

## 1.2 Sumator pełny

Tabela 4 Sumator pełny - tabela prawdy

A – wejście: bit A  
B – wejście: bit B  
Cin – wejście: bit przeniesienia  
Y – wyjście: suma dwóch bitów AB  
Cout – wyjście: bit przeniesienia

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | Cin | Y | Cout |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Tabela 5 Sumator pełny wyjście Y - tablica Karnaugh

|  |  |  |
| --- | --- | --- |
| A | 0 | 1 |
| B Cin |
| 00 | 0 | 1 |
| 01 | 1 | 0 |
| 11 | 0 | 1 |
| 10 | 1 | 0 |

Tabela 6 Sumator pełny wyjście Cout - tablica Karnaugh

|  |  |  |
| --- | --- | --- |
| A | 0 | 1 |
| B Cin |
| 00 | 0 | 0 |
| 01 | 0 | 1 |
| 11 | 1 | 1 |
| 10 | 0 | 1 |

A diagram of a structure

Description automatically generatedA diagram of a circuit

Description automatically generated

Rys.3 Sumator pełny – obwód zintegrowany Rys.4 Sumator pełny - schemat

## 1.3 Kompletny sumator 4 bitowy

A screenshot of a computer

Description automatically generated

Rys.5 Sumator 4-bitowy - schemat

A white square with black text

Description automatically generated

Rys.6 Sumator 4-bitowy – obwód zintegrowany

# 2. Subtraktor 4-bitowy

## 2.1 Pół subtraktor

Tabela 7 Pół subtraktor – tabela prawdy

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | Y | P |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |

A – wejście: bit A  
B – wejście: bit B  
Y – wyjście: różnica dwóch bitów AB  
P – wyjście: bit pożyczki

|  |  |  |
| --- | --- | --- |
| A | 0 | 1 |
| B |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

Tabela 7 Pół subtraktor wyjście Y – tablica Karnaugh

## 

|  |  |  |
| --- | --- | --- |
| A | 0 | 1 |
| B |
| 0 | 0 | 0 |
| 1 | 1 | 0 |

Tabela 8 Pół subtraktor wyjście P - tablica Karnaugh

## 

## A white rectangular sign with black text and a white circle Description automatically generatedA diagram of a graph Description automatically generated

Rys.7 Półsubtraktor – obwód zintegrowany Rys.8 Półsubtraktor - schemat

## 2.2 Subtraktor pełny

Tabela 9 Subtraktor pełny - tabela prawdy

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | Pin | Y | Pout |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

A – wejście: bit A  
B – wejście: bit B  
Pin – wejście: bit pożyczki  
Y – wyjście: różnica dwóch bitów AB  
Pout – wyjście: bit pożyczki

Tabela 10 Sumator pełny wyjście Y - tablica Karnaugh

|  |  |  |
| --- | --- | --- |
| A | 0 | 1 |
| B Pin |
| 00 | 0 | 1 |
| 01 | 1 | 0 |
| 11 | 0 | 1 |
| 10 | 1 | 0 |

|  |  |  |
| --- | --- | --- |
| A | 0 | 1 |
| B Pin |
| 00 | 0 | 0 |
| 01 | 1 | 0 |
| 11 | 1 | 1 |
| 10 | 1 | 0 |

Tabela 11 Subtraktor pełny wyjście Pin - tablica Karnaugh

A white rectangle with black text

Description automatically generatedA diagram of a machine

Description automatically generated

Rys.9 Subtraktor pełny – obwód zintegrowany Rys.10 Subtraktor pełny – schemat

## 2.3 Kompletny subtraktor 4-bitowy

A diagram of a computer

Description automatically generated

Rys.11 Sumator 4-bitowy - schemat

A screenshot of a computer

Description automatically generated

Rys.12 Sumator 4-bitowy - obwód zintegrowany

# 3. Multiplekser 5-bitowy

## 3.1 Multiplekser 1-bitowy

Tabela 12 Multiplekser 1-bitowy - tabela prawdy

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

A – wejście: bit A  
B – wejście: bit B  
S – wejście: bit sterujący  
Y – wyjście: bit A lub bit B, w zależności od bitu sterującego

Tabela 13 Multiplekser 1-bitowy - tablica Karnaugh

|  |  |  |
| --- | --- | --- |
| A | 0 | 1 |
| B  S |
| 00 | 0 | 1 |
| 01 | 0 | 0 |
| 11 | 1 | 1 |
| 10 | 0 | 1 |

A white rectangular sign with black text

Description automatically generatedA diagram of a diagram

Description automatically generated

Rys.13 Multiplekser 1-bitowy - obwód zintegrowany Rys.14 Multiplekser 1-bitowy - schemat

## 3.2 Kompletny multiplekser 5-bitowy

A screenshot of a computer

Description automatically generated

Rys.15 Multiplekser 5-bitowy - schemat

A white square with black text

Description automatically generated

Rys.16 Multiplekser 5-bitowy - obwód zintegrowany

# 4. Algorytm Double-Dabble dla słowa 5 bitowego: zamiana z systemu binarnego na BCD

## 4.1 Algorytm Double-Dabble dla słowa 4 bitowego

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Liczba | A | B | C | D | Y0 | Y1 | Y2 | Y3 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 6 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 7 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 9 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 10 | 1 | 0 | 1 | 0 | - | - | - | - |
| 11 | 1 | 0 | 1 | 1 | - | - | - | - |
| 12 | 1 | 1 | 0 | 0 | - | - | - | - |
| 13 | 1 | 1 | 0 | 1 | - | - | - | - |
| 14 | 1 | 1 | 1 | 0 | - | - | - | - |
| 15 | 1 | 1 | 1 | 1 | - | - | - | - |

Tabela 14 Double-Dabble 4-bitowy - tabela prawdy

A – wejście: bit A  
B – wejście: bit B  
C – wejście: bit C  
D – wejście: bit D  
Y0 – wyjście: bit 0 BCD  
Y1 – wyjście: bit 1 BCD  
Y2 – wyjście: bit 2 BCD  
Y3 – wyjście: bit 3 BCD

Tabela 15 Algorytm Double-Dabble 4-bitowy wyjście Y0 - tablica Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A  B | 00 | 01 | 11 | 10 |
| C  D |
| 00 | 0 | 0 | - | 1 |
| 01 | 0 | 1 | - | 1 |
| 11 | 0 | 1 | - | - |
| 10 | 0 | 1 | - | - |

Tabela 16 Algorytm Double-Dabble 4-bitowy wyjście Y1 - tablica Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A  B | 00 | 01 | 11 | 10 |
| C  D |
| 00 | 0 | 1 | - | 0 |
| 01 | 0 | 0 | - | 1 |
| 11 | 0 | 0 | - | - |
| 10 | 0 | 0 | - | - |

Tabela 17 Algorytm Double-Dabble 4-bitowy wyjście Y2 - tablica Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A  B | 00 | 01 | 11 | 10 |
| C  D |
| 00 | 0 | 0 | - | 1 |
| 01 | 0 | 0 | - | 0 |
| 11 | 1 | 1 | - | - |
| 10 | 1 | 0 | - | - |

Tabela 18 Algorytm Double-Dabble 4-bitowy wyjście Y3 - tablica Karnaugh

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A  B | 00 | 01 | 11 | 10 |
| C  D |
| 00 | 0 | 0 | - | 1 |
| 01 | 1 | 0 | - | 0 |
| 11 | 1 | 0 | - | - |
| 10 | 0 | 1 | - | - |

A diagram of a light bulb diagram

Description automatically generated

Rys.17 Algorytm Double-Dabble 4-bitowy - schemat

A white square with black text

Description automatically generated

Rys.18 Algorytm Double-Dabble 4-bitowy - obwód zintegrowany

# 5. Kompletny projekt

A computer screen shot of a computer scheme

Description automatically generated

Rys.19 Kalkulator 4-bitowy – schemat

## 5.1 Odejmowanie – testy

A computer screen shot of a computer scheme

Description automatically generated

Rys.20 Kalkulator 4-bitowy - odejmowanie 15-8=7

A computer screen shot of a computer scheme

Description automatically generated

Rys.21 Kalkulator 4-bitowy - odejmowanie 15-15=0

A computer screen shot of a computer scheme

Description automatically generated

Rys.22 Kalkulator 4-bitowy - odejmowanie 11-7=4

## 5.2 Dodawanie – testy

A computer screen shot of a computer

Description automatically generated

Rys.23 Kalkulator 4-bitowy dodawanie 11+ 7=18

A computer screen shot of a computer circuit

Description automatically generated

Rys.24 Kalkulator 4-bitowy dodawanie 15+15=30

A computer screen shot of a diagram

Description automatically generated

Rys.25 Kalkulator 4-bitowy dodawanie 9+15=24