10 DE MAIO DE 2017

Relatório da Prova - Projeto de Sistemas em Chip

Jessé Barreto de Barros Matrícula: 17/0067033 Sistemas Mecatrônicos Universidade de Brasília

I. QUESTÃO ÚNICA

Na navegação de um robô móvel são usadas medidas de distância aos obstáculos através de sensores de ultrassom e de infravermelho. Os sensores foram calibrados obtendo um modelo matemático que relaciona a saída binária dos sensores $(y_{UL} \ e \ y_{IR})$ com a distância ao obstáculo $(x_{UL} \ e \ x_{IR})$. As equações (1) e (2) mostram os modelos obtidos para o sensor de ultrassom e infravermelho, respectivamente.

$$x_{UL} = 1.3 \cdot y_{UL} + 2 \tag{1}$$

$$x_{IR} = 0.0012 \cdot y_{IR}^2 - 0.89 \cdot y_{IR} + 127 \tag{2}$$

Deseja-se fazer a fusao sensorial dos sensores no intuito de melhorar a estimativa do valor de distância medida pelo robô. Para isto são usadas as equações (3), (5) e (??)

$$x_{fusao} = x_{UL} + G_{k+1} \cdot (x_{IR} - x_{UL}) \tag{3}$$

$$\sigma_{k+1}^2 = \sigma_k^2 - G_{k+1} \cdot \sigma_k^2 \tag{4}$$

$$G_{k+1} = \frac{\sigma_k^2}{\sigma_k^2 + \sigma_z^2} \tag{5}$$

onde

- x_{fusao} é a estimativa de fusão dos dois sensores.
- x_{UL} é a medidado sensor de ultrassom
- x_{IR} é a medida do sensor de infravermelho.
- σ_k^2 é o erro de covariância associado ao sensor de ultrassom
- σ_z^2 é o erro de covariância associado ao sensor de infravermelho.
- σ_{k+1}^2 é o erro de covariância da fusão no instante de tempo k+1 e é calculado a cada instante de tempo k.
- G_{k+1} é conhecido como Ganho do filtro e é calculado a cada instante de tempo k

A. Requisito 1

Usando os operadores de cálculo aritmético em ponto flutuante de 27 bits implemente uma arquitetura de hardware que permita realizar a fusão sensorial das medidas dos sensores de ultrassom e infravermelho. Considere que as medidas dos sensores y_{UL} e y_{IR} estão na representação aritmética de ponto flutuante e que os valores possíveis estão na faixa entre $[0.01\ a\ 3.30]$ Volts. Adicionalmente, considere que a faixa de valores possíveis para o valor

inicial do erro de covariância do sensor ultrassom é $\sigma_k^2 = [0.0, 0.5]$ e para o sensor infravermelho é $\sigma_z^2 = [0.5, 1.0]$.

A figura 1 demonstra a arquitetura desejada.

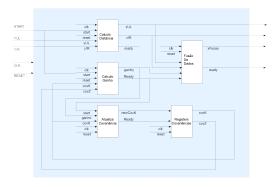


Figura 1. Diagrama com a arquitetura e os componentes.

B. Requisito 2

Explore o paralelismo intrínseco das equações. Apresente um diagrama das arquiteturas e os diagramas das máquinas de estados finitos (se aplica).

1) Arquitetura: Calcula Distâncias: A Figura 2 demonstra a arquitetura do componente responsável por calcular as distâncias mensuradas pelos sensores dadas as suas tensões de saída.

10 DE MAIO DE 2017 2

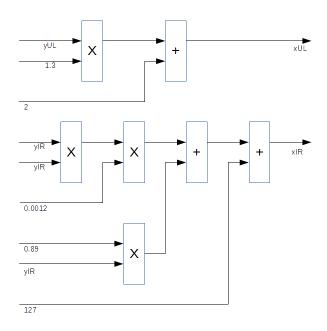


Figura 2. Diagrama com a arquitetura do calculador de distâncias.

2) Arquitetura: Calcula Ganho: A Figura 3 demonstra a arquitetura do componente responsável por calcular o ganho do filtro dado as atuais covariâncias das leituras dos sensores.

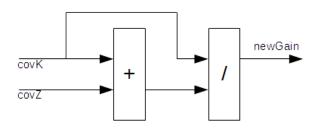


Figura 3. Diagrama com a arquitetura do cálculo do novo ganho.

3) Arquitetura: Calculo da Fusão Sensorial: A Figura 4 demonstra a arquitetura do componente responsável por calcular a fusão sensorial dos dados provenientes de ambos os sensores.

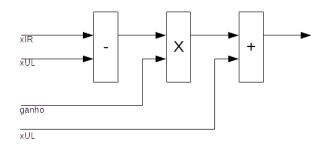


Figura 4. Diagrama com a arquitetura do cálculo da fusão sensorial.

4) Arquitetura: Calculo Atualiza a Covariância: A Figura 5 demonstra a arquitetura do componente responsável por calcular a atualização da covariância.

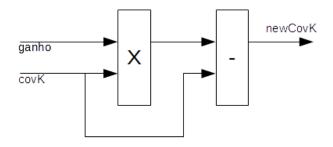


Figura 5. Diagrama com a arquitetura do cálculo da atualização da covariância.

C. Requisito 3

Use a metodologia de verificação automática usando o *Matlab* para criar os estímulos de entrada e para decodificar a saída. Calcule o erro quadrático médio entre a solução de hardware (27 bits) e a solução no *Matlab* (64 bits). Usando a matrícula como semente inicial do gerador de números aleatórios do *Matlab* (rand('twister', 170067033)). O valor inicial das covariâncias dos sensores σ_k^2 e σ_z^2 também devem ser aleatóriamente gerados.

Os valores aleatórios gerados para as covariâncias foram:

$$\sigma_k^2 = 0.274760)
\sigma_z^2 = 0.783245$$
(6)

x_{UL}	x_{IR}	x_{Fusao}
3.49674224853516	125.5126953125	35.1837158203125
5.48600769042969	126.1103515625	30.3535766601563
4.51303100585938	124.3876953125	25.0021362304688
2.83655548095703	125.137451171875	20.68896484375
4.69729614257813	125.943603515625	20.1414794921875

Tabela I. Tabela com os valores obtidos do hardware (27 bits) para 10 iterações.

x_{UL}	x_{IR}	x_{Fusao}
3.4967524	125.512541441709	35.1838032145991
5.4860202	126.110222753855	30.3536494472395
4.5130391	124.387569697621	25.0021301107166
2.8365604	125.137401741727	20.6889999439867
4.6973141	125.943405734888	20.1413943753775

Tabela II. Tabela com os valores obtidos do software (64 bits) para 10 iterações.

10 DE MAIO DE 2017 3

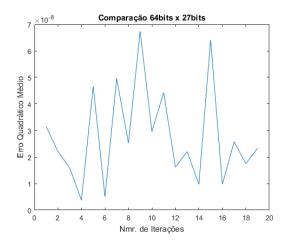


Figura 6. Gráfico com o erro quadrático médio de 20 iterações.

D. Requisito 4

Qual é o tempo de execução da sua solução? Apresente prints de simulação. Qual é a latência da sua solução? Qual é o throughput?

O tempo de execução para, desde o momento inicial até o primeiro resultado, a latência é de 190 ns (19 ciclos de *clock*) e para essa arquitetura o *thoughtput* é igual a latência, ou seja, 180 ns.

Isso se deve porque, apesar do alto grau de paralelismo empregado há dependências entre os módulos. Inclusive a sincronização implementada se baseia na utilização desse fator.

O componente com a maior latência é o *Calcula Ganho* com 13 ciclos de *clock* em paralelo com o componente *Calcula Distância* em sequência com os componentes *Fusão de Dados* e *Atualiza Covariância*. O componente que possui a maior latência é o *Fusão de Dados* com 6 ciclos de clock.

Na Figura 7 está presente os resultados da simulação.

E. Requisito 5

Acrescente no projeto os timing constraints e modifique os atrasos dos buffers de entrada e saída assim como período de clock no intuito de satifazer as restrições de setup e hold. Apresente o report de timing pós-síntesis. Qual é a frequência máxima de operação da sua arquitetura?

F. Requisito 6

Apresente uma tabela com o consumo de recursos de hardware (slices LUTs, slices Registers, DSPs e BRAMs) de cada módulo e da arquitetura geral.

REFERÊNCIAS

[1] V. A. Pedroni, Circuit design with VHDL. MIT press, 2004.

Tipo	Usado	Disponível	Utilização (%)
Slice LUTs	3050	20800	14.66
LUT as Logic	3050	20800	14.66
LUT as Memory	0	9600	0
Slice Registers	696	41600	1.67
Register as Flip Flop	696	41600	1.67
Register as Latch	0	41600	0
F7 Muxes	0	16300	0
F8 Muxes	0	8150	0

Tabela III. TABELA COM O *report* DE UTILIZAÇÃO DE RECURSOS DO FPGA.

10 DE MAIO DE 2017 4

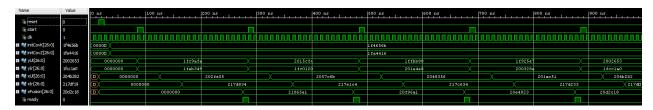


Figura 7. Diagrama com as formas de ondas obtido com a simulação do sistema.