

Segunda Lista de Exercícios
Circuitos Sequenciais e Projeto RTL
Data de entrega (10 de Maio de 2017)
Aplica penalidade de 1.0 ponto por dia de atraso

Instruções: Enviar pelo moodle o relatório, arquivos VHDL, testbench, .txt e prints de simulação em uma pasta zipada chamada “sobrenome(s)-matrícula(s)”.

Exercício 1. Filtro Sobel

a) Usando como exemplo a arquitetura RTL desenvolvida em sala de aula para o filtro Sobel 3x3, implemente em VHDL um filtro Sobel 5x5. Implemente o filtro com os K_x para detectar bordas verticais e K_y para detectar bordas na direção horizontal. Use um multiplexador e um pino de entrada para selecionar o Kernel desejado. Parametrize o código de forma que a arquitetura possa ser testada para diferentes tamanhos de imagens e diferentes tamanhos de pixel.

b) Modifique o arquivo de testbench desenvolvido em sala de aula de forma que possa realizar simulações comportamentais do circuito que implementa o filtro Sobel 5x5. As simulações devem ser realizadas com base no último número da sua matrícula, seguindo as condições mostradas na Tabela 1. Em caso de trabalho em duplas use o último número da matrícula de qualquer um dos integrantes.

Tabela 1. Condições de simulação do Filtro Sobel 5x5

Último número da matricula	Tamanho da imagem	Tamanho pixel	Imagens de teste
0 e 1	150 x 150 300 x 300	8 bits 10 bits	gantrycrane.png cameraman.tif
2 e 3	300 x 300 250 x 250	8 bits 10 bits	board.tif coins.png
4 e 5	250 x 250 100 x 100	8 bits 10 bits	toysflash.png tire.tif
6 e 7	100 x 100 200 x 200	8 bits 10 bits	tape.png rice.png
8 e 9	200 x 200 150 x 150	8 bits 10 bits	office_3.jpg pillsetc.png

Nota: as imagens de teste podem ser encontradas no toolbox do Matlab ou no moodle da disciplina.

c) Com base nas simulações estime a latência e o throughput do circuito. Considere que cada ciclo de relógio é de 100 MHz (período de 10 ns).

d) Sintetize o circuito e coloque em uma tabela o reporte de síntese com o consumo de recursos de hardware (LUTs, Flip-flops, DSPs e BRAMs)

Exercício 2. Multiplicação matricial 3x3

a) Usando como exemplo o circuito de multiplicação matricial 2x2 desenvolvido em sala de aula, implemente em VHDL um circuito de multiplicação matricial 3x3. Faça uso dos operadores de cálculo em ponto flutuante e implemente a arquitetura com maior capacidade de paralelismo.

b) Crie um arquivo de tesbench de simulação automática usando arquivos texto com 100 valores aleatórios para cada entrada. O valor máximo e mínimo dos valores de entrada depende do último número da sua matrícula, seguindo as condições mostradas na Tabela 2. Em caso de trabalho em duplas use o último número da matrícula de qualquer um dos integrantes.

Tabela 2. Condições de simulação do circuito de multiplicação matricial 3x3

Último número da matrícula	Faixa de valores	Tamanho palavra (sinal, expoente, mantissa)
0 e 1	[-1.0 e 1.0] [-10000 e 10000]	27 bits (1,8,18) 32 bits (1,8,23)
2 e 3	[-0.2 e 0.2] [-30000 e 30000]	27 bits (1,8,18) 32 bits (1,8,23)
4 e 5	[-0.4 e 0.4] [-50000 e 50000]	27 bits (1,8,18) 32 bits (1,8,23)
6 e 7	[-0.6 e 0.6] [-70000 e 70000]	27 bits (1,8,18) 32 bits (1,8,23)
8 e 9	[-0.8 e 0.8] [-90000 e 90000]	27 bits (1,8,18) 32 bits (1,8,23)

c) Com base nas simulações estime a latência e o throughput do circuito. Considere que cada ciclo de relógio é de 100 MHz (período de 10 ns).

d) Sintetize o circuito e coloque em uma tabela o reporte de síntese com o consumo de recursos de hardware (LUTs, Flip-flops, DSPs e BRAMs)

Bom Trabalho !