

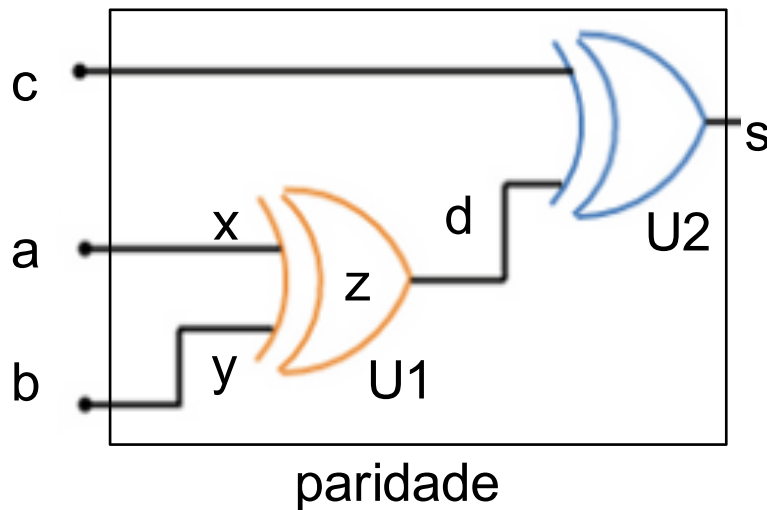
Aula 3 – Projeto Lógico Combinacional: Portas Lógicas

Objetivos

1. Revisão de VHDL (lógica combinacional)
2. Familiarização com a placa, começando com a implementação de três práticas de projeto.
 - a) Detector de paridade
 - b) Multiplexador 2x1 (2 bits)
 - c) Circuito para alarme de carro

Prática 1

Detector de paridade:

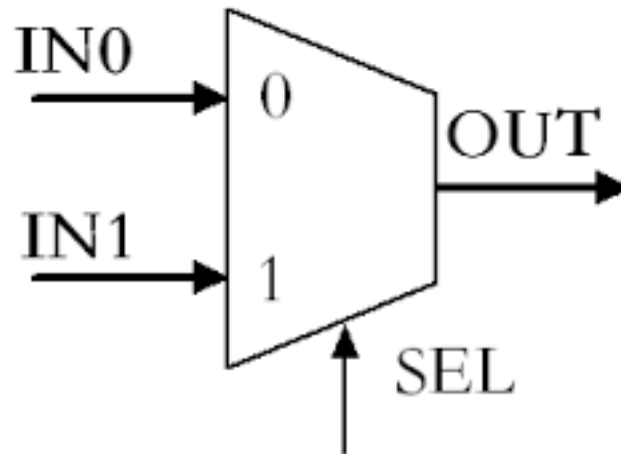


```
entity paridade is
    Port ( a : in  STD_LOGIC;
          b : in  STD_LOGIC;
          c : in  STD_LOGIC;
          s : out  STD_LOGIC);
end paridade;

architecture arch_paridade of paridade is
    component xor2 is
        port (x,y: in STD_LOGIC;
              z: out STD_LOGIC;
        end component;
    signal d: STD_LOGIC;
begin
    U1: xor2 port map (a,b,d);
    U2: xor2 port map (c,d,s);
end arch_paridade;
```

Prática 2

- ❑ Multiplexador de 2 entradas (2 bits cada):
- ❑ Dataflow ou comportamental



Prática 3

- ❑ Alarme (usando o editor de esquemático)

