

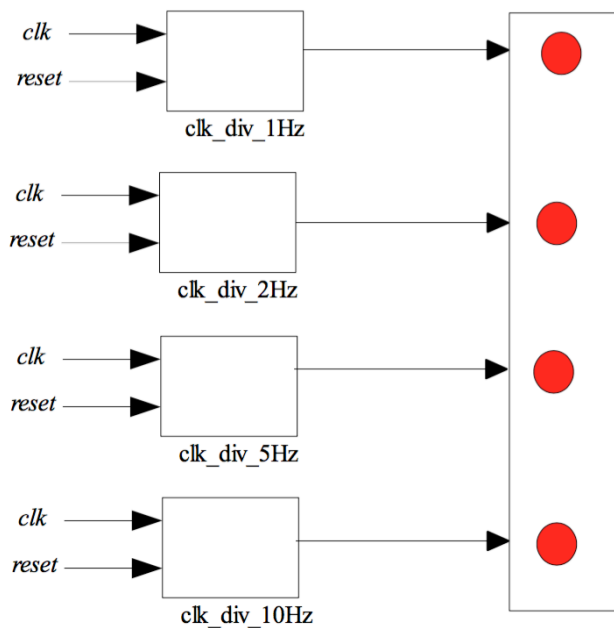
## TUTORIAL AULA 6

### PROJETO LÓGICO SEQUENCIAL

**Passo 1.** Calcule o valor do *scale* para os divisores de relógio de 0.5Hz, 1Hz, 2Hz e 10 Hz, considerando o *duty cycle* de 50%.

*Nota1:* frequência do pino de clock do kit Nexys 3 = 100 MHz.

**Passo 2.** Implemente na FPGA uma arquitetura que implemente **em paralelo** os divisores de relógio de 0.5Hz, 1Hz, 2Hz e 10 Hz (vide figura abaixo). Use os leds da placa de desenvolvimento para mapear as saídas dos divisores de clock. Use um *push button* para o pino de *reset*.



*Nota2:* mapeamento do pino de clock do Kit Nexys 3 = V10.

**Passo 3.** O que mudaria no código para que o *duty cycle* fosse de 80%? Projete, simule e implemente o divisor de 0.5 Hz considerando essa alteração.