

Aula 4 – Projeto Lógico Combinacional: Vetores e Somador

Objetivos

1. Trabalhar com vetores
2. Implementar:
 - Meio somador de 4 bits sem sinal
 - Meio somador de 4 bits com sinal

Somador 8 bits

```
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22 use IEEE.STD_LOGIC_ARITH.ALL;
23
24 entity somador_ex1 is
25     Port ( a : in  unsigned (7 downto 0);
26           b : in  unsigned (7 downto 0);
27           s : out  STD_LOGIC_VECTOR (7 downto 0));
28 end somador_ex1;
29
30 architecture Behavioral of somador_ex1 is
31     signal result: integer;
32 begin
33     result <= CONV_INTEGER(a) + CONV_INTEGER(b);
34     s <= CONV_STD_LOGIC_VECTOR(result,8);
35 end Behavioral;
```