

Plano de Ensino

1. Metodologia de ensino

O curso é composto de aulas teóricas e de experimentos em laboratório. As aulas são ministradas em períodos de 1h50 (uma hora e cinquenta minutos), sem intervalo.

Moodle FGA: Projeto com Circuitos Reconfiguráveis

Código Moodle: pcr_2017_1

2. Conhecimentos prévios desejados

Curso Sistemas digitais 2 (FGA), VHDL, microcontroladores

3. Ementa

Etapas do Projeto com Dispositivos Lógicos Programáveis, Comparação entre ASICs, FPGAs e Microprocessadores, Arquitetura Interna de um FPGA (Blocos Básicos, Estrutura de Roteamento), Síntese Lógica para FPGAs, Criação de Testbenches, Simulação Funcional, Algoritmos de Mapeamento e Roteamento, Conceito de Timming, Estimação de Desempenho, Estimação de Consumo de Potência, Uso de Blocos de Propriedade Intelectual, Co-projeto Hardware-Software, Conceito de System on Chip, Microprocessadores embarcados, Desenho de Sistemas Embarcados com FPGAs. Tópicos especiais com circuitos reconfiguráveis: Tolerância a Falhas, Reconfiguração Dinâmica Parcial, Modelagem em alto nível de abstração.

4. Conteúdo Programático

- I. Introdução: apresentação do curso e evolução histórica.
 - Por que usar Circuitos Reconfiguráveis?
 - Implementação de circuitos digitais
 - Comparação entre ASICs, FPGAs e Microprocessadores
- II. Conceitos básicos de Projeto com Dispositivos Lógicos Programáveis:
 - Níveis de abstração de projeto. Domínios de representação
 - Fluxo de projeto
 - Linguagens de descrição de *hardware*
 - Arquitetura Interna de um FPGA. Plataformas comerciais e tecnologias
 - Ferramentas EDA. Ferramentas de simulação comportamental e funcional
- III. Desenho Lógico Combinacional em FPGAs:
 - Descrição *hardware* de funções booleanas
 - Descrição *hardware* de processos combinacionais
 - Descrição *hardware* de decodificadores e muxes
 - Simulação de circuitos combinacionais.
- IV. Desenho Lógico Sequencial em FPGAs:
 - Descrição *hardware* de flip-flops, latches e registradores
 - Descrição *hardware* de máquinas de estados finitos
 - Descrição *hardware* de somadores, comparadores, shifters, contadores, multiplicadores.
 - Simulação de circuitos sequenciais
- V. Uso de Blocos de Propriedade Intelectual (IP-Cores):
 - Ferramenta *CoreGenerator*
 - Instanciação de IPs
- VI. Simulação automática:
 - Criação de Testbenches para leitura e escrita de dados
 - Comparação de arquiteturas de hardware e software
 - Simulação funcional
 - Ferramentas de co-simulação

VII. Análise de Arquiteturas de *Hardware*:

- Estimativa do consumo de recursos de *hardware*, Otimização e tradeoff.
- Estimativa de tempo de execução. Análise de Timing. Otimização e tradeoff.
- Estimativa do consumo de potência. Otimização e tradeoff.

VIII. Projeto com o microprocessador MicroBlaze

- Arquitetura do MicroBlaze
- Barramentos PLB e AXI
- Projeto com MicroBlaze
- Barramento FSL
- Sistema em Chip usando MicroBlaze

IX. Co-projeto *Hardware-Software*:

- Análise de desempenho. Code Profiling.
- Particionamento HW/SW.
- Aceleradores de *hardware* no MicroBlaze
- Análise de desempenho HW/SW
- Estimativa do consumo de recursos

X. Tópicos especiais com circuitos reconfiguráveis:

- Técnicas de tolerância a falha
- Reconfiguração dinâmica parcial
- Modelagem em alto nível de abstração

4. Avaliação

A avaliação é constituída de uma prova teórico/prática, listas de exercícios, revisão e discussão de artigos científicos e um projeto final. A prova teórico/prática consiste em um problema de implementação em FPGA, sendo que a proposta de solução deve ser entregue no dia da prova e a respectiva implementação deverá ser enviada uma semana depois via moodle. As listas de exercícios deverão ser apresentadas em forma de relatório técnico, contendo a descrição da arquitetura de hardware, coleta de dados, prints de simulação e análise de dados. A revisão e discussão de artigos poderá ser feita através de apresentações orais de 15 minutos e contam como lista de exercícios. O projeto final deverá ser apresentado oralmente acompanhado de relatório técnico. Só haverá reposição da prova em casos excepcionais e com apresentação de justificativa.

$$NF = NP \cdot 0.3 + NL \cdot 0.4 + NPF \cdot 0.3$$

Sendo,

NF: Nota final

NP: Nota da Prova

NL : média aritmética das listas de exercícios e revisão de artigos científicos

NPF: Nota do projeto final

A Aprovação ou Reprovação do Curso de Projeto com Circuitos Reconfiguráveis será obtida se:

- Aprovação: se $NF \geq 5,0$ e se percentual de faltas (PF) < 25%. Onde PF é dado pelo número de aulas com faltas registradas dividido pelo número de aulas ministradas.
- Reprovação: se $NF < 5,0$ ou se $PF > 25\%$, então o aluno será considerado reprovado por nota ou por falta.

5. Horário de aulas

Terça-feira entre 08:00 e 09:50 Lab. SS – UED - FGA

Quinta-feira entre 08:00 e 09:50 Lab. SS – UED - FGA

6. Avisos

- A pontualidade nas aulas é requerida
- Celulares devem estar em modo silencioso durante as aulas
- Haverá segunda chamada da prova individual somente com apresentação de justificativa
- A prova é individual.
- As listas de exercícios e projeto final podem ser feitas individualmente ou em grupos de máximo 2 estudantes.
- Os relatórios técnicos das listas de exercícios deverão ser entregues em PDF na data e horários previamente acordados. Os arquivos VHDL, C, Matlab, mapeamento (*.ucf ou *.xdc), bitstream (*.bit) e prints de simulação deverão ser enviados via moodle.
- Haverá penalidade de 1 ponto por dia de atraso.
- Usar template IEEE Conference para realização dos relatórios técnicos.
- Os FPGAs não poderão ser retirados da sala de aula.
- Criar um usuário no site da Xilinx (www.xilinx.com)
- Instalar ferramenta Vivado e SDK (Software Development Kit) nos notebooks disponíveis.

Nota: usar licença *webpack edition* para o software Vivado.

Nota: usar licença de avaliação de 30 dias para o SDK. **Atenção: começar a usar a licença de 30 dias quando o professor da disciplina indicar.**

7. Bibliografia

As referências a seguir cobrem a maior parte do conteúdo sugerido. Para assuntos mais específicos livros ou artigos científicos serão oportunamente disponibilizados.

Bibliografia básica

- [1] Sass, R.S., Andrew, G., Embedded Systems Design with Platform FPGAs : Principles and Practices, Elsevier Science and Technology, 2010. (disponível EBRARY)
- [2] Hauck, S., DeHon, A., Systems on Silicon : Reconfigurable Computing : The Theory and Practice of FPGA-Based Computation, Morgan Kaufman Publishers, 2007. (disponível EBRARY)
- [3] Vahid, F., Digital Design, John Wiley & Sons, 2007.
- [4] Chu, P.P., FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version, Wiley, 2008

Bibliografia complementar

- [4] Pedroni, V., Circuit Design with VHDL, MIT Press, 2004. (disponível EBRARY)
- [5] Brown, S., Vranesic, Z., Fundamentals of Digital Logic with VHDL Design, 2nd ed, McGraw Hill, 2005.
- [6] Kilts, S., Advanced FPGA Design Architecture, Implementation and Optimization, John Wiley & Sons, 2007. (disponível EBRARY)
- [7] Bobda, C., Introduction to Reconfigurable Computing: Architectures, Algorithms and Applications, Springer, 2008. (disponível EBRARY)
- [8] Wakerly, J., Digital Design Principles & Practices, 3rd ed, Prentice Hall, 1999.
- [9] Cardoso, J., Hubner, M., Reconfigurable Computing : From FPGAs to Hardware/Software Codesign, Spriger, 2011 (disponível EBRARY)
- [10] Maya, G., Paul, S., Reconfigurable Computing : Accelerating Computation with Field-Programmable Gate Arrays, Springer, 2005. (disponível EBRARY)
- [11] Zeidman, B., Designing with FPGAs and CPLDs, CMP Technology. (disponível EBRARY)

8. Calendário

Data		Semana	Aula
07/03	Terça	1	Apresentação e introdução
09/03	Quinta		Níveis de Abstração, Projeto EDAs, Arquitetura FPGA, Ferramentas
14/03	Terça	2	Revisão projeto combinacional em VHDL
16/03	Quinta		Revisão projeto sequencial em VHDL
21/03	Terça	3	Revisão FSMs em VHDL – construção de uma ULA
23/03	Quinta		Revisão FSMs em VHDL – construção de uma ULA
28/03	Terça	4	IP-Cores - construção de uma ULA
30/03	Quinta		IP-Cores - construção de uma ULA
04/04	Terça	5	Simulação comportamental automática
06/04	Quinta		Simulação comportamental automática. Estimção do erro
11/04	Terça	6	Ferramentas de co-simulação usando FPGAs
13/04	Quinta		Análise e otimização de consumo de recursos usando FPGA
18/04	Terça	7	Análise e otimização do tempo de execução em HW – <i>timing</i>
20/04	Quinta		Análise e otimização do tempo de execução em HW – <i>timing</i>
25/04	Terça	8	Estimção de consumo de potência usando FPGA
27/04	Quinta		Tópico especial SoC: redes neurais artificiais
02/05	Terça	9	Tópico especial SoC: tolerância a falha com FPGAs
04/05	Quinta		Prova
09/05	Terça	10	Prova
11/05	Quinta		Análise de profile em SW usando GProf
16/05	Terça	11	PicoBlaze – arquitetura interna e exemplos
18/05	Quinta		MicroBlaze – arquitetura interna
23/05	Terça	12	MicroBlaze – instanciação de periféricos
25/05	Quinta		MicroBlaze – aceleradores de hardware com FSL
30/05	Terça	13	Tópico especial SoC: conversor XADC
01/06	Quinta		Tópico especial SoC: projeto de tolerância a falha com FPGAs
06/06	Terça	14	Tópico especial SoC: reconfiguração dinâmica parcial
08/06	Quinta		Tópico especial SoC: reconfiguração dinâmica parcial
13/06	Terça	15	Projeto
15/06	Quinta		Feriado Corpus Christi (ponto facultativo)
20/06	Terça	16	Projeto
22/06	Quinta		Projeto
27/06	Terça	17	Projeto: defesa dos projetos
29/06	Quinta		Projeto: defesa dos projetos
04/07	Terça	18	Entrega e revisão de notas
06/07	Quinta		