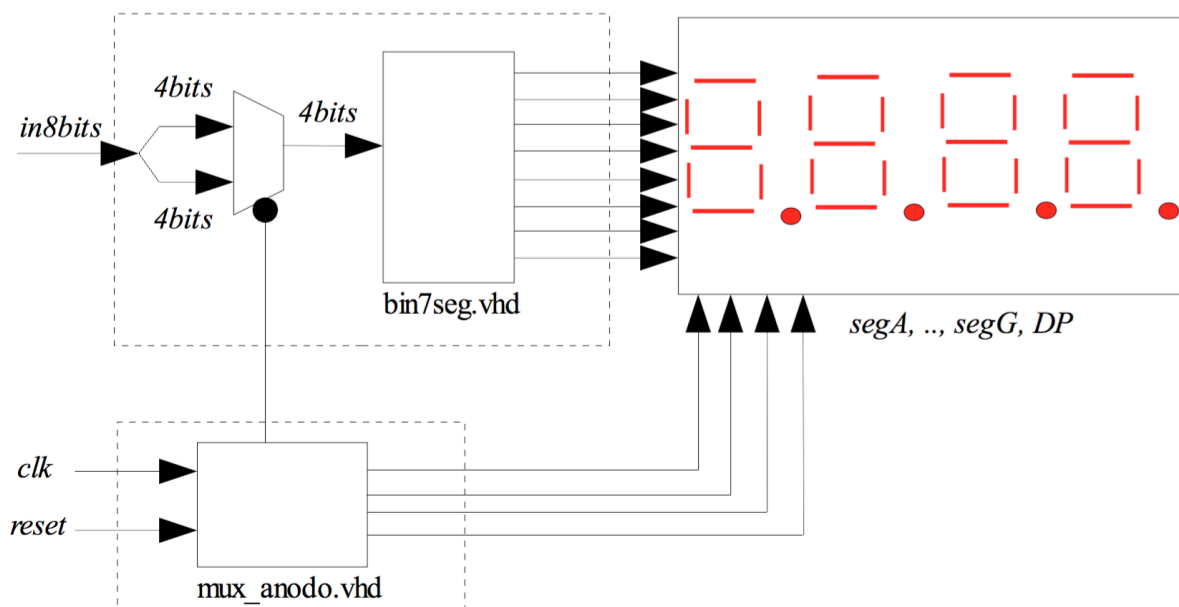


## TUTORIAL AULA 7

### PROJETO LÓGICO SEQUENCIAL

**Passo 1.** Implemente na FPGA a arquitetura mostrada a seguir. A entrada é de 8 bits. Os 4 bits menos significativos devem ser mostrados no display de 7 segmentos das unidades e os 4 bits mais significativos, no display 7 segmentos das dezenas. Use um divisor de *clock* para realizar a multiplexação dos valores uma frequência de 0.1 Hz.



**Passo 2.** Implemente um contador ascendente de 12 bits e mostre o resultado nos displays de 7 segmentos.