

TUTORIAL AULA 3

PROJETO LÓGICO COMBINACIONAL

PORTAS LÓGICAS E EDITOR DE ESQUEMATICOS

Passo 1. Implemente na FPGA um detector de paridade de 3 bits (saída é 1 quando há um número ímpar de 1s na entrada) usando portas XOR2. Use os *switches* da placa para mapeamento das entradas e os *leds* para mapeamento da saída.

Passo 2. Implemente na FPGA um multiplexador de 2 entradas, sendo que cada entrada possui 2 bits. Use os *switches* da placa para mapeamento das entradas e os *leds* para mapeamento da saída.

Passo 3. Usando o editor de esquemáticos, implemente um circuito lógico combinacional que aciona o alarme de um carro, conforme a especificação mostrada abaixo. Mapear as entradas usando os *switches* da placa e a saída (alarme) usando um *led*.

Quando os bancos do motorista e/ou do passageiro estiverem ocupados e os cintos de segurança não estiverem fechados no momento da ignição, o alarme é acionado.

O estado ativo ALTO dos sinais *DRIV* e *PASS* indicam a presença do motorista e do passageiro, respectivamente, e são gerados através de interruptores accionados por pressão colocados nos bancos.

O sinal *IGN* é ativo em ALTO quando ocorre a ignição (carro ligado). O sinal *BELTD* é ativo em BAIXO e indica que o cinto de segurança do motorista está solto. O sinal *BELTP* é ativo em BAIXO e indica que o cinto de segurança do passageiro está solto. O alarme do carro será ativado (BAIXO) cada vez que o carro estiver em movimento e qualquer um dos bancos da frente estiver ocupado com o cinto de segurança destravado.

