

Desarrollo de Hardware Digital

Seminario 1

Iniciación a una plataforma de desarrollo con hardware reconfigurable

Objetivos:

- Conocer los componentes de la tarjeta de desarrollo DE2-115.
- Describir las principales características de los dispositivos de la serie Cyclone IV E de Altera.
- Detallar las características específicas de la FPGA incluida en la tarjeta de desarrollo.
- Configurar la FPGA de la DE2-115 desde Quartus II, explorando el uso que se realiza de diferentes los módulos específicos del dispositivo y diferentes recursos de la plataforma.
- Manejar documentación genuina proporcionada por los fabricantes de la tarjeta y de la FPGA.
- Comprender el concepto de hardware reconfigurable con tecnología SRAM.

1. Introducción

Existen múltiples plataformas basadas en hardware reconfigurable para diferentes fabricantes de FPGAs, autónomas y/o para conexión en PC, con variedad de recursos de E/S y memoria, etc. En este seminario vamos a explorar los recursos disponibles en la **plataforma DE2-115 Development and Education Board** basada en una **FPGA Cyclone IV EP4CE115** de Altera.

En primer lugar, consultaremos la especificación de la tarjeta DE2-115; a continuación estudiaremos las principales características de la FPGA que contiene, para finalmente aprender a configurar dicha FPGA desde Quartus II. Con Quartus II es posible realizar todas las etapas del flujo de diseño de un sistema que se implemente en una FPGA de Altera, desde su descripción hasta la configuración del dispositivo.

2. Actividades y ejercicios prácticos

2.1. Plataforma DE2-115. Consultar la documentación de la tarjeta DE2-115 disponible en el manual de usuario [1]. Leer detenidamente los recursos disponibles en dicha plataforma (FPGA, memoria externa, opciones de configuración, conectores, recursos de E/S, vídeo y audio), y localizarlos en la tarjeta.

2.2. Serie Cyclone IV E de Altera. Consultar la documentación de la Serie Cyclone IV E de Altera [2], y estudiar las principales características de estos dispositivos:

- Elementos lógicos programables (LEs) y modos de funcionamiento (normal y aritmético).
- Organización jerárquica en LABs.
- Multiplicadores embebidos (arquitectura del bloque y modos de operación).
- Bloques de memoria RAM embebidos (modos de memoria, configuración de tamaño de bloque).

2.3. FPGA Cyclone IV EP4CE115 de la plataforma de desarrollo. Consultar específicamente los recursos de la FPGA incluida en la tarjeta de desarrollo (Nº de LEs, multiplicadores, PLLs, memoria RAM embebida, etc.).

2.4. Configuración de la FPGA Cyclone IV E.

El objetivo es implementar un contador de frecuencia variable. Está formado por un contador binario ascendente de 8 bits (`contador_8bits`), cuyo reloj proviene de un divisor de frecuencia (`div_freq`). La frecuencia de la señal de salida que proporciona `div_freq` depende del valor que recibe a través de las entradas `velocidad` (3 bits). La salida del contador de 8 bits, se muestra en dos visualizadores de 7 segmentos. La conversión de binario a código de 7 segmentos se realiza con los módulos `dec_7seg`. La descripción estructural completa del sistema se encuentra en el fichero `top.vhd`.

Realizar las siguientes cuestiones consultando en el Apéndice las instrucciones para crear proyectos, compilar, asignar pines y configurar la FPGA desde Quartus II.

- Leer la descripción contenida en el fichero `top.vhd` y dibujar un esquema de bloques con la estructura del circuito descrito en la entidad `top`.
- Crear un proyecto considerando la descripción `top.vhd` como entidad de nivel superior y compilarlo para la FPGA de la DE2-115. ¿Cuál es el porcentaje de recursos utilizado según el informe de compilación?
- Consultar el manual de usuario de la DE2-115 [1] para realizar la asignación de pines según se indica en la siguiente tabla, y configurar la FPGA. Para la tarjeta DE2-115, el reloj se puede conectar por ejemplo al pin `CLOCK_50`; las entradas de velocidad y de `reset` a pines conectados a los conmutadores SW; y las salidas para los visualizadores de 7 segmentos a los pines denominados HEX.

Entradas	Pines	Salidas	Pines	Salidas	Pines
Reloj	CLOCK_50	SegDigit1(0)	HEX0[0]	SegDigit2(0)	HEX1[0]
Velocidad(0)	SW[0]	SegDigit1(1)	HEX0[1]	SegDigit2(1)	HEX1[1]
Velocidad(1)	SW[1]	SegDigit1(2)	HEX0[2]	SegDigit2(2)	HEX1[2]
Velocidad(2)	SW [2]	SegDigit1(3)	HEX0[3]	SegDigit2(3)	HEX1[3]
Reset	SW[3]	SegDigit1(4)	HEX0[4]	SegDigit2(4)	HEX1[4]
		SegDigit1(5)	HEX0[5]	SegDigit2(5)	HEX1[5]
		SegDigit1(6)	HEX0[6]	SegDigit2(6)	HEX1[6]

3. Documentación

- Tarjeta DE2-115:
https://www.intel.com/content/dam/altera-www/global/en_US/portal/dsn/42/doc-us-dsnbk-42-1404062209-de2-115-user-manual.pdf
- Cyclone IV Device Handbook:
<https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-iv/cyclone4-handbook.pdf>
- Descarga e instalación¹ de Quartus II Web Edition Software 12.0 Service Pack 2:
<https://www.intel.com/content/www/us/en/programmable/downloads/software/quartus-ii-we/120sp2.html>

¹ Este material se ha elaborado para la versión Quartus II Web Edition 12.0sp2. Prestar atención para no confundir Quartus II Web Edition con Quartus II Subscription Edition al realizar la descarga del software.

APÉNDICE:

Instrucciones para configurar la FPGA Cyclone IV E con diseños para Quartus II.

1. Creación de un nuevo proyecto

Cada diseño se realiza como un proyecto en Quartus II. Para crear un nuevo proyecto se emplea la opción *File -> New Project Wizard*. Tras una primera ventana informativa, es necesario introducir el directorio de trabajo, y el nombre del proyecto (*top*) y de la entidad en el nivel de abstracción superior (*top*). Conviene asegurarse de que el path del directorio donde se cree el proyecto no contenga espacios en blanco.

A continuación, se pueden asignar diferentes ficheros ya existentes al proyecto (*top.vhd*, *contador_8bits.vhd*, *div_fec.vhd*, *dec_7seg.vhd*).

En la siguiente ventana se selecciona el dispositivo configurable con el que implementar el diseño. En caso de trabajar con la tarjeta DE2-115, se selecciona el dispositivo EP4CE115F29C7 de la familia Cyclone IV E.

Finalmente, existe la posibilidad de utilizar herramientas EDA (Electronic Design Automation) de especificación, síntesis automática y verificación de otros suministradores diferentes de Altera (dejar opciones por defecto en la ventana "EDA Tools Settings").

2. Compilación

En Quartus II se ordena la compilación de un diseño con la opción *Processing -> Start Compilation*. La compilación engloba principalmente el análisis y elaboración de la entidad, una primera fase de síntesis RT, la síntesis lógica (*Análisis & Síntesis*), la síntesis física (*Fitter*), la generación del fichero de configuración del FPLD (*Assembler*), y la extracción de parámetros temporales (*TimeQuest Timing Analyzer*).

3. Asignación de pines de E/S

Para que un diseño configurado en la FPGA pueda hacer uso de los recursos de la tarjeta, es preciso asignar los puertos de entrada y salida de dicho diseño a aquellos pines de la FPGA que estén conectados a los dispositivos de E/S de la tarjeta.

Para realizar la asignación de pines en Quartus II se emplea la opción *Assignments -> Pin Planner*. IMPORTANTE: Una vez realizada la asignación de pines, es preciso re-compilar el diseño para que la herramienta de síntesis tenga en cuenta las asignaciones realizadas.

4. Configuración de la FPGA

Se puede configurar la FPGA de la tarjeta DE2-115 trabajando del siguiente modo (*modo JTAG*):

- Se conecta la alimentación, se enciende la tarjeta, se conecta el cable USB Blaster al puerto USB del computador y al conector Blaster de la DE2-115, y se coloca el conmutador RUN/PROG en la posición RUN.
- Desde Quartus II, se utiliza la opción *Tools -> Programmer*. Si es necesario, desde *Hardware Setup -> Add Hardware*, se indica que utilizamos el cable USB Blaster. A continuación, seleccionar el fichero de configuración (*top.sof*), asegurarse de que está seleccionada la opción *Program/Configure*, y pulsar *Start*.