

**NCTU IEE 5046**  
**高頻電路設計與實驗**  
**PCB design with**  
**OrCAD Capture**

Lecturer: Professor Yu-Jiu Wang

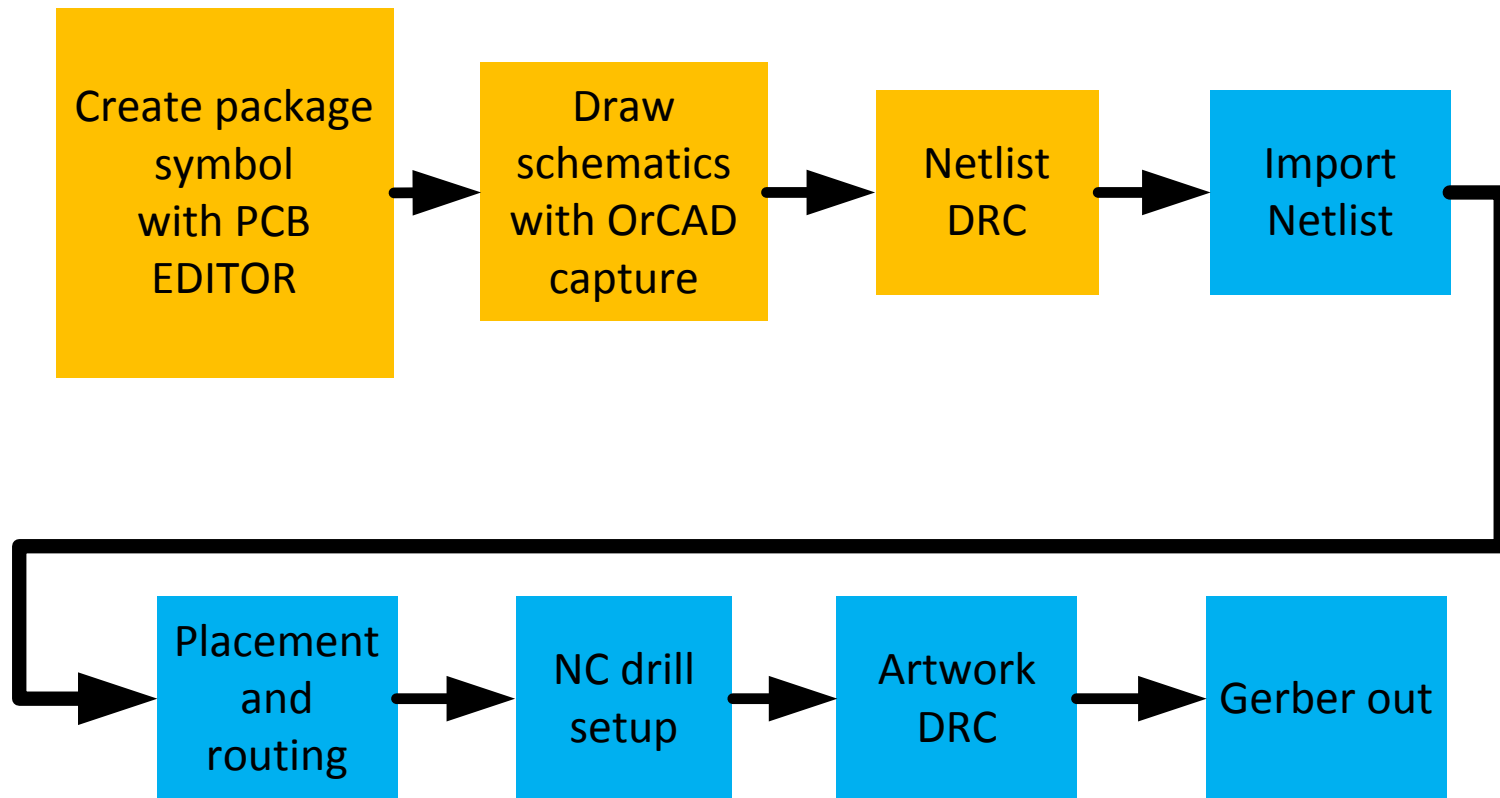
TA: 李道一 [michael@rfvlsi.ee.nctu.edu.tw](mailto:michael@rfvlsi.ee.nctu.edu.tw)

Document coauthor: Jon-Jin Chen

# Related EDA tools

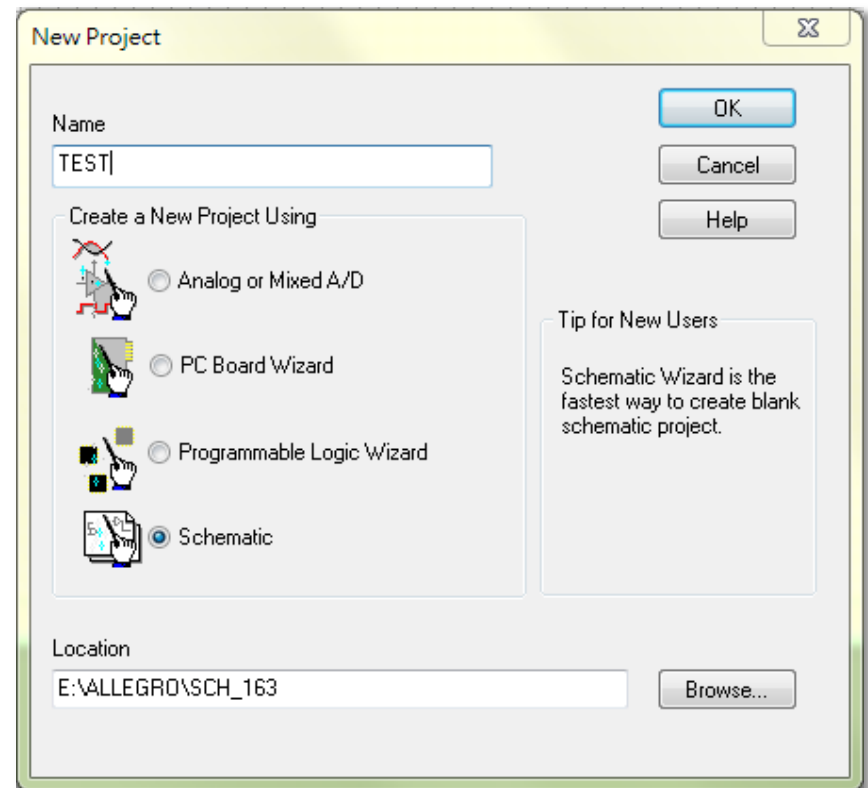
- OrCAD Capture  OrCAD Capture
- PCB Editor  PCB Editor
- Pad Designer  Pad Designer

# Design Flow



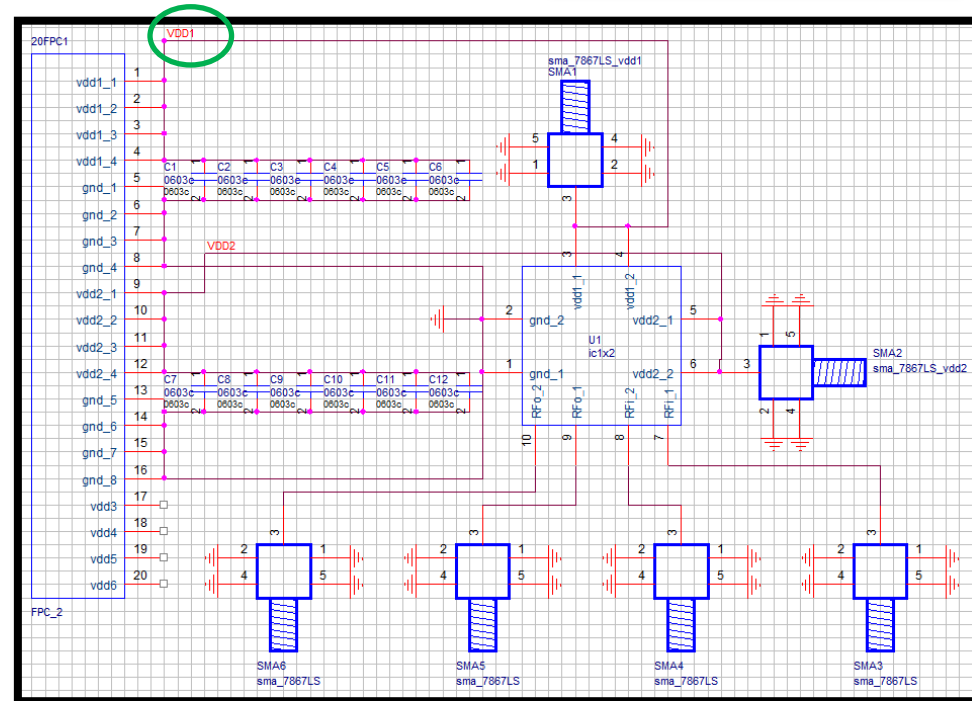
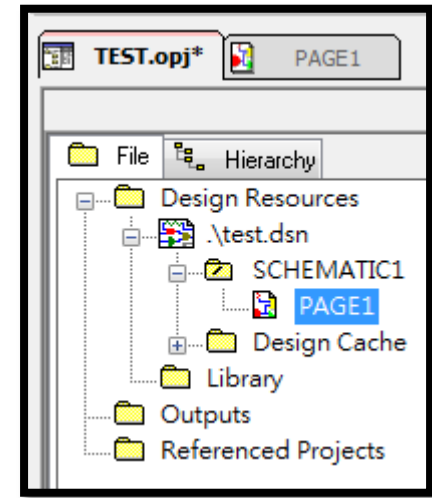
# OrCAD Capture

- 第一次打開OrCAD Capture選擇選單中的第一個OrCAD Capture, 並在use as default打勾
- File -> new -> Project
- 選擇Schematic以及儲存的位置
- 按ok



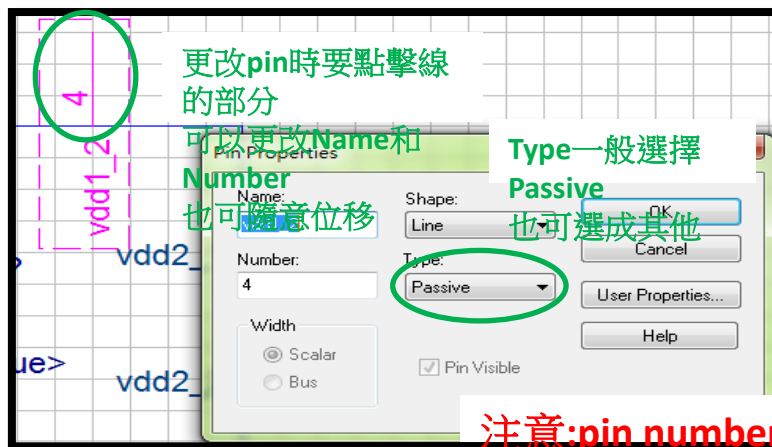
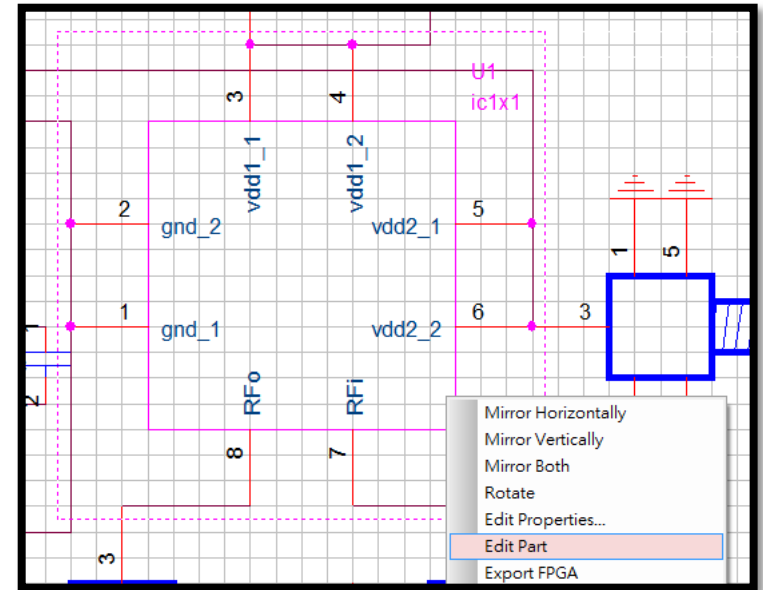
# Create Schematics

- 在XXX.opj的子頁面中
- 點開XXX.dsn之後再點開SCHMATIC1,點開PAGE1
- 接出自己想要用的電路
- 電路上的元件可從做好的電路複製
- 如果板子不夠大,可從Options->Schematic Page Properties改變板子大小(optional)
- 如果想要幫某條net取名字可從Place->Net Alias, ok後放到想取名的net上(optional)



# Create Schematics

- 如果要更改元件
- 先點一下讓元件變成粉紅色
- 再按右鍵選擇Edit Part



注意:pin number要和相對應的dra檔(Package Symbol)相同

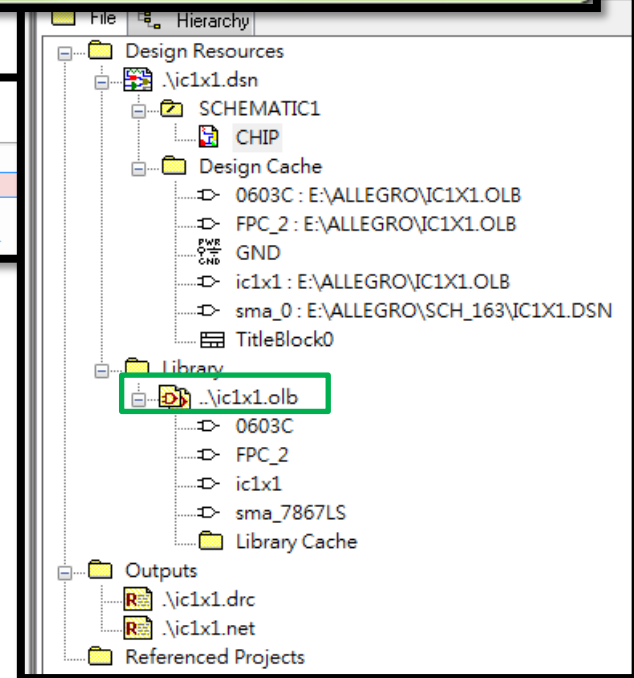
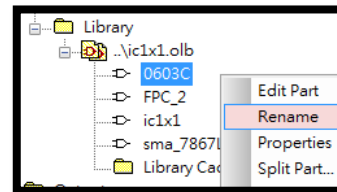
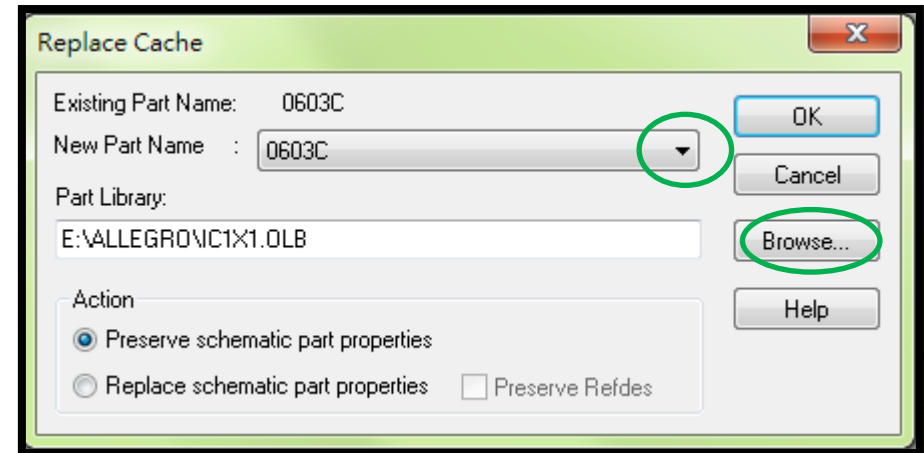
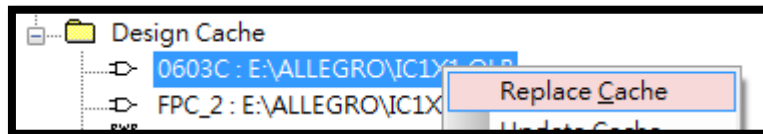


若要新增pin可從place->pin  
或直接點右邊直列的圖式

若要刪除則直接按delete

# Create Library

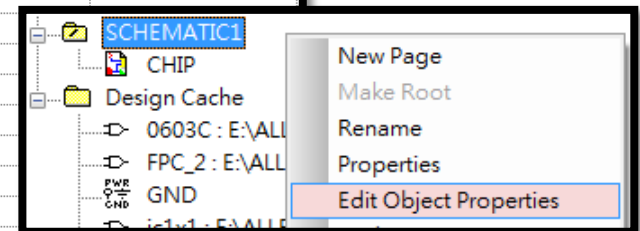
- 電路完成後,回到XXX.obj的頁面,並建立library:
- File -> New -> Library
- 就會看到Library底下的XXX.olb (可改成自己喜歡的名字)
- 接著把Design Cache底下的元件拖曳到XXX.olb上
- 並且把加入Library的元件名稱改為和在PCB Editor裡面的dra檔名相同
- 接著回到Design Cache 對剛剛加入的元件按右鍵
  - 選擇Replace Cache
  - 先從Browse選擇剛剛建立的XXX.olb
  - 接著在New Part Name的下拉式選單中選擇想要換成的元件名稱,並按ok就完成了



# Assign PCB Footprint

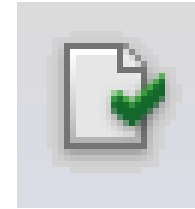
- 輸出電路前確認電路元件
- 在SCHEMATIC1上按右鍵選擇Edit Object Properties
- 紅色框內的欄皆要和對應的PCB Package Symbol的Device Type相同
- 綠色框內的欄則要和對應的PCB Package Symbol的Ref Des相同
- 藍色框內的欄則要和對應的PCB Package Symbol的dra檔名相同

Graphic	Source Package	Source Part	PCB Footprint	Value	Part Reference	Reference
FPC_2.Normal	FPC_2	FPC_2.Normal	FPC_2	FPC_2	20FPC1	20FPC1
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C1	C1
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C2	C2
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C3	
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C4	
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C5	
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C6	
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C7	
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C8	
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C9	
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C10	
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C11	C11
0603C.Normal	0603C	0603C.Normal	0603c	0603c	C12	C12
sma_0.Normal	sma_0	sma_0.Normal	sma_7867LS_vdd1	sma_7867LS_vdd1	SMA1	SMA1
sma_0.Normal	sma_0	sma_0.Normal	sma_7867LS_vdd2	sma_7867LS_vdd2	SMA2	SMA2
sma_0.Normal	sma_0	sma_0.Normal	sma_7867LS	sma_7867LS	SMA3	SMA3
sma_0.Normal	sma_0	sma_0.Normal	sma_7867LS	sma_7867LS	SMA4	SMA4
ic1x1.Normal	ic1x1	ic1x1.Normal	ic1x1	ic1x1	U1	U1

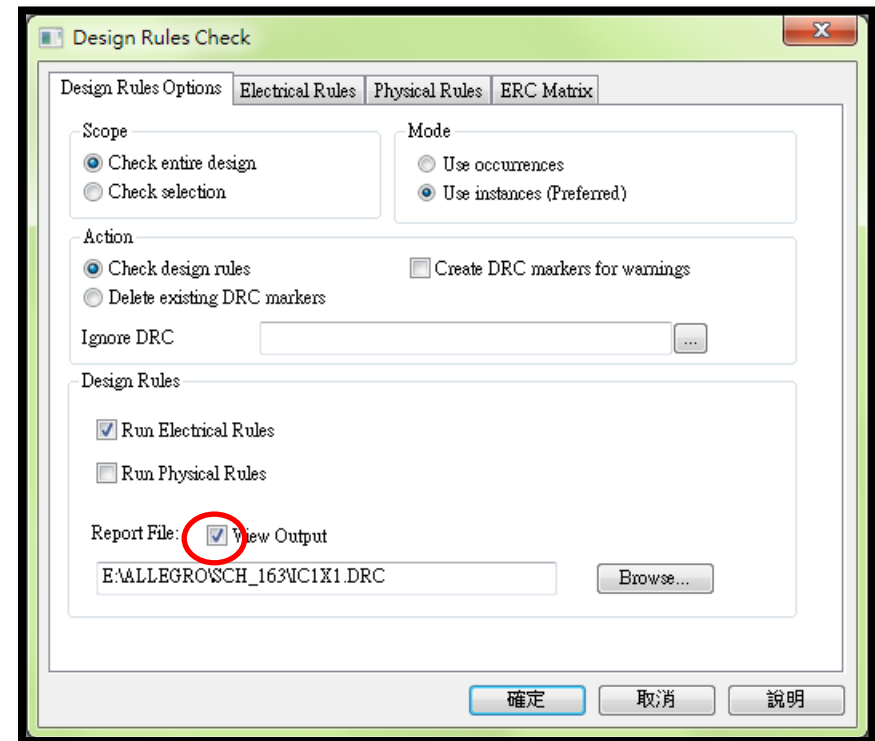




# Schematics DRC check

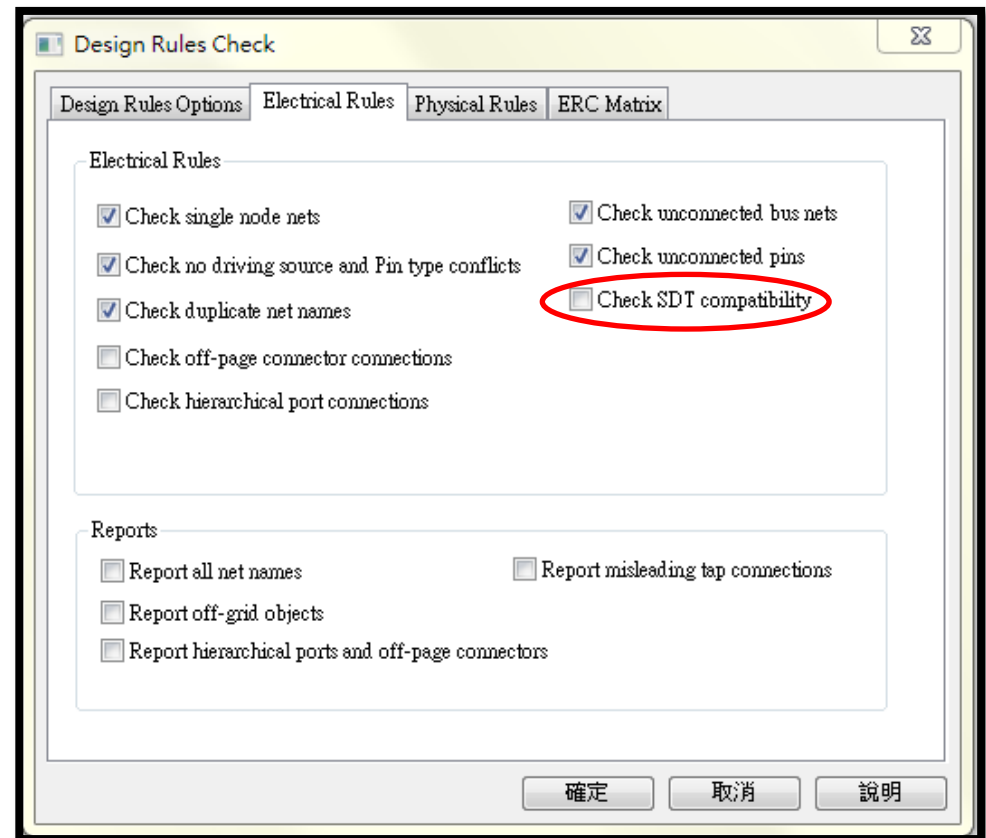


- 輸出電路前先做DRC Check
- Tools->Design Rule Check
- 設定完後按確定
- 並將錯誤更正



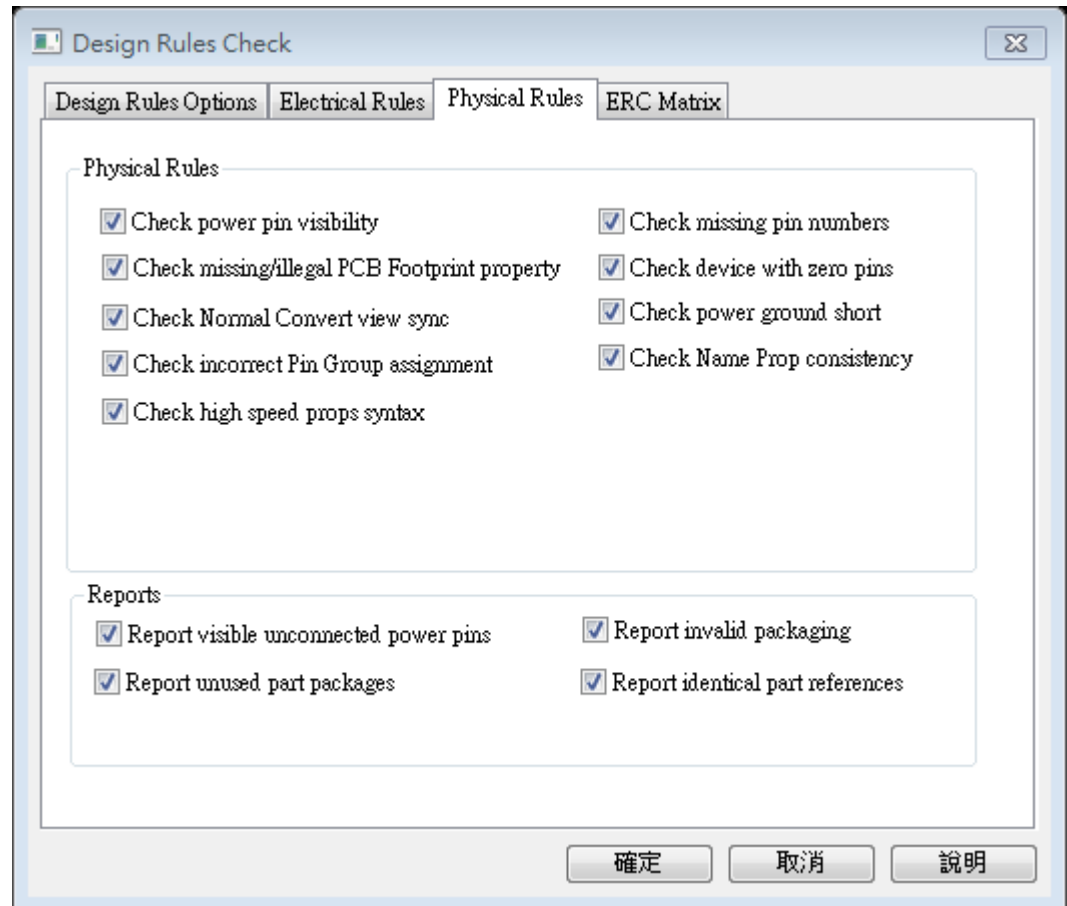
# Schematics DRC check (cont'd)

- Second tab of DR checker



# Schematics DRC check (cont'd)

- Third tab of DR checker



# Generate Netlist



- 輸出電路
- Tools->Create Netlist
- 直接跳到Other的子頁面
- 注意allegro.dll檔要放在  
C:\Cadence\SPB\_16.3\tools  
\capture\netforms\
- **{'Value'}**和**!{PCB Footprint}**  
要打對
- 按確定後電路就會輸出  
XXX.NET

