

NCTU IEE 5046

高頻電路設計與實驗

Routing in Allegro PCB Editor

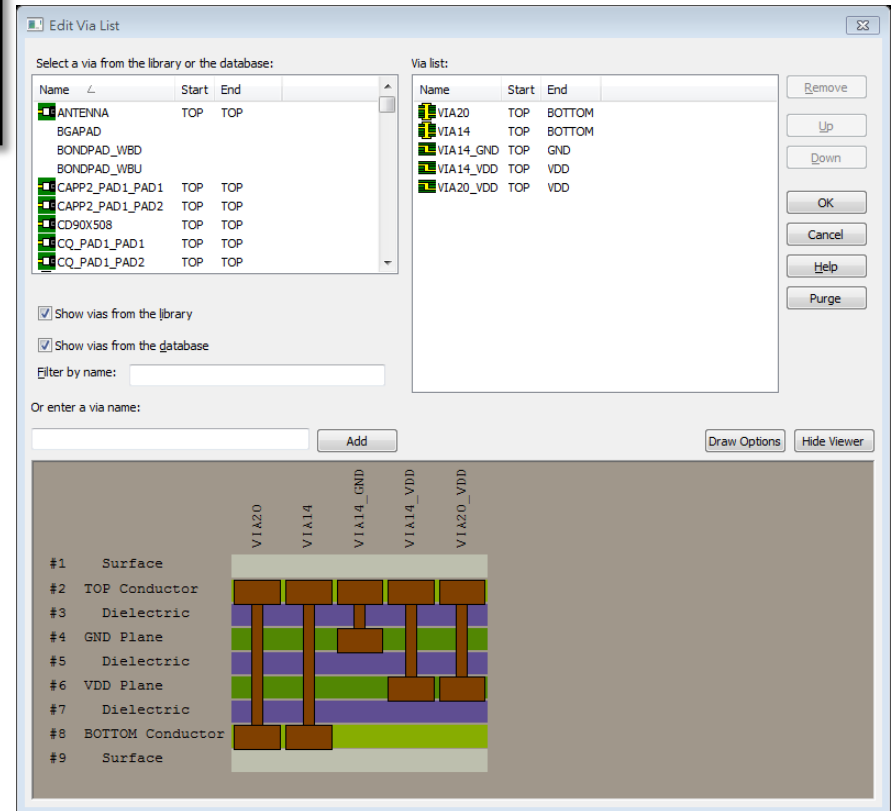
Lecturer: Professor Yu-Jiu Wang

TA: 李道一 michael@rfvlsi.ee.nctu.edu.tw



Document coauthor: Jon-Jin Chen

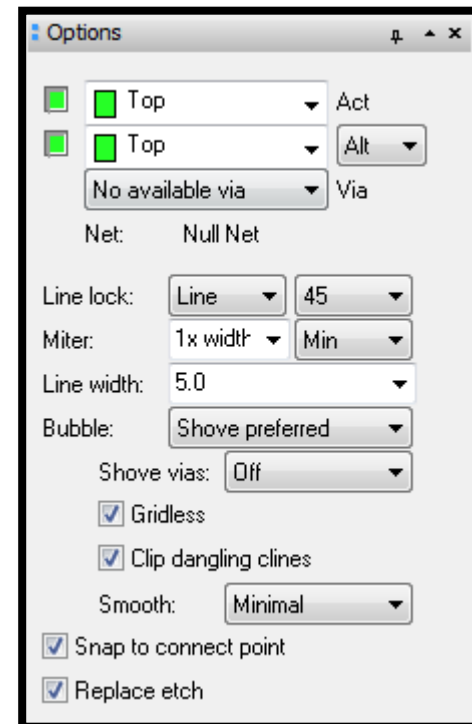
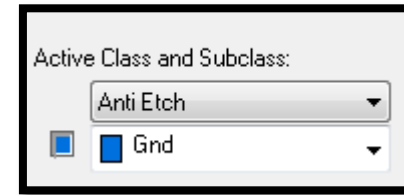
Specify Via Padstacks

- 從Constraint Manager開
- 選取padstack，可為貫孔或埋
- Setup -> Constraints -> Physical 點選Vias欄的via兩下，改成可用的via
- 如果沒有可用的就自己從pad designer新增



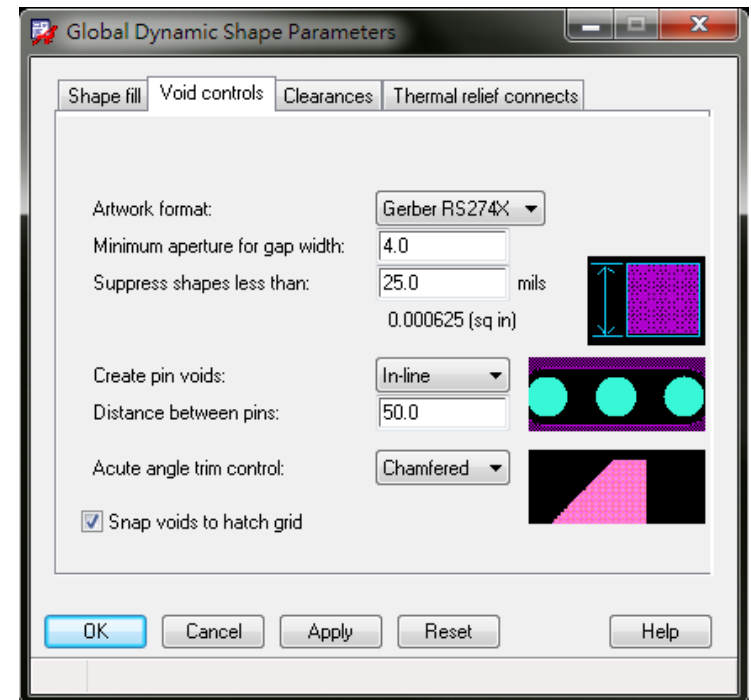
VIA placement

- 將元件擺放到板子上你想要的位置後
- 開始走線 Route -> Connect 
- 在右邊的Option可以直接釘選起來
- 會根據使用不同的功能做選擇
- 選擇想要走的層以及繞線方法 
- 還有線寬後, 就可以開始拉線了
- **Act**表示現在要走的layer
- **Alt**表示等等可能會換到的layer
- 要換層的時候可以按右鍵Add Via



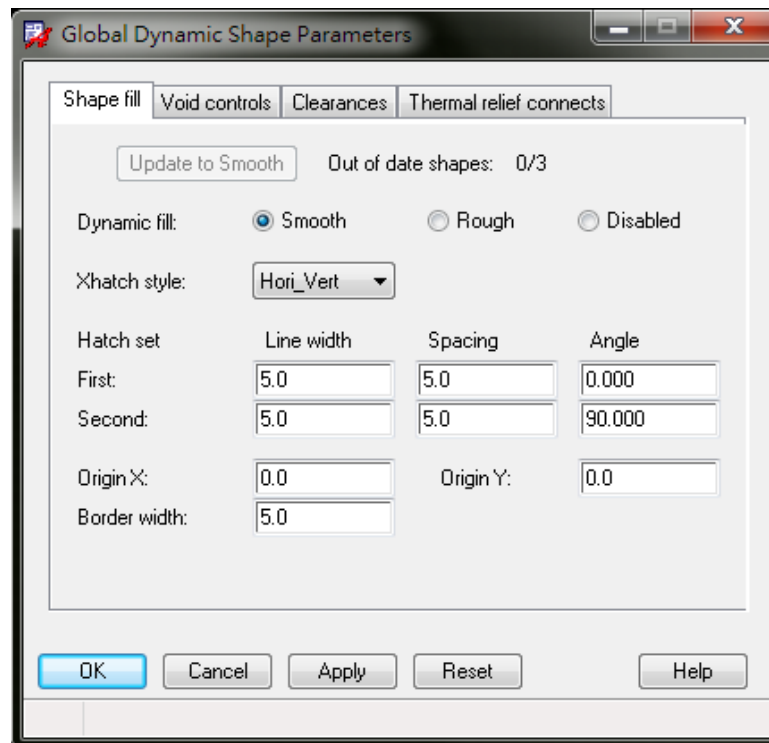
Dynamic shape 參數

- 新版的Shape有兩種
 - Dynamic copper：隨著netlist連接的不同，動態調正void位置
 - Static solid：靜態多邊形
- 注意:並不是對應的層會和net有相同名字
- Net的名字是Capture決定的
- 如果想改名前面有教



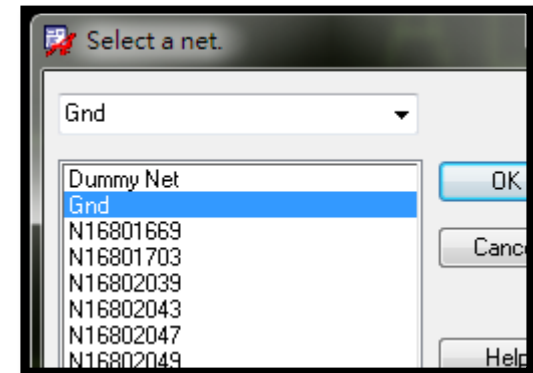
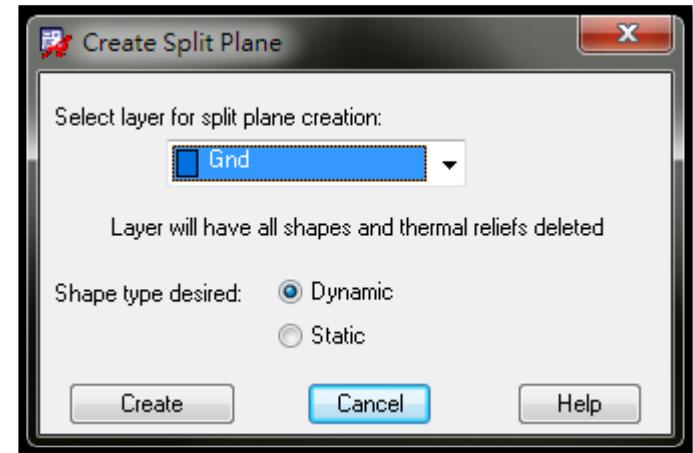
Dynamic shape

- When DRC rules (constraints) are updated, click “Update to Smooth”



Split Plane

- 走完線之後，接下來要鋪地平面和VDD平面
- Shape->Global Dynamic Param
- 照上面兩圖設定後按OK
- 接著按Edit -> Split plane -> Create
- 選擇要鋪的layer並選擇Dynamic後按Create
- 接著在Select a net中選擇相對應的net



Constraint Manager

- 按按鈕
- 改設定
 - 最小最大線寬
 - 各種間距
 - VIA

