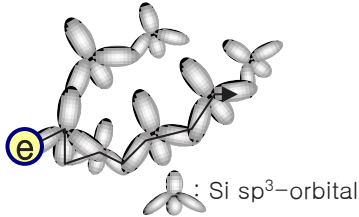
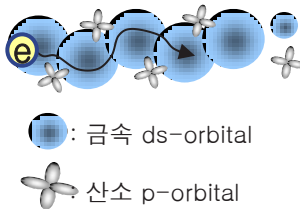


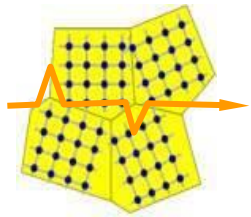


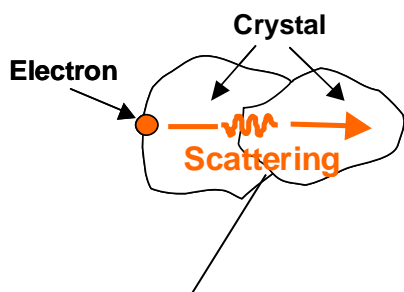
LTPS TFT 기술

○ Type별 성능 및 구조

| 구분 | | a-Si | Oxide | LTPS |
|-------------------|--------------------------------|---|--|---|
| Crystal structure | | 비정질 Si  |  <p>  : 금속 ds-orbital  : 산소 p-orbital </p> |  |
| 성능 | Mobility (cm ² /Vs) | 0.5 ~ 1 | 7~10 | 50 ~ 200 |
| | I _{off} Current (pA) | > 10 | < 0.1 | > 0.3 |
| 생산성 | Mask step | 4~6 | 6~8 | 9~11 |
| | Cost | ◎ | ○ | △ |
| | 대면적 적용 | ◎ | ◎ | △ |
| Substrate | | Glass | Glass | Glass |
| Application | | LCD | LCD/OLED | LCD / OLED |

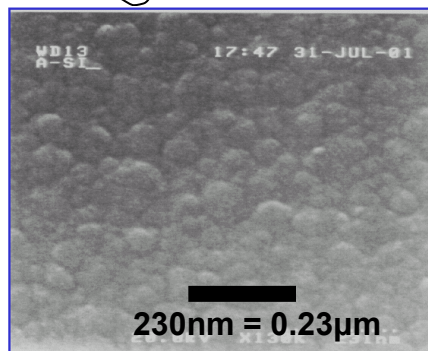
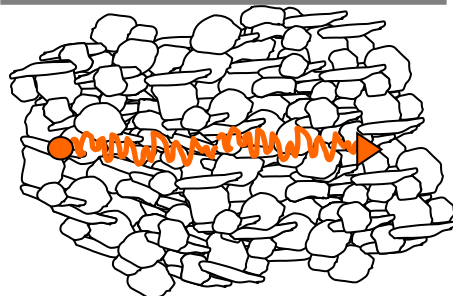
◎ 탁월 ○ 우수 △ 양호

Low-Temperature Polysilicon

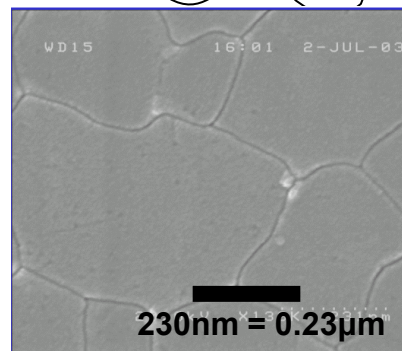
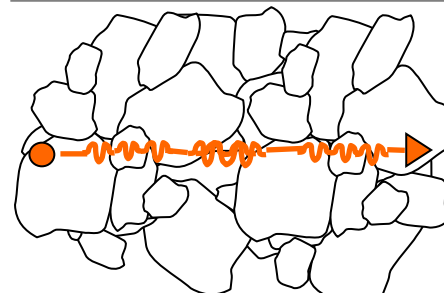


Electron의
mobility(이동도)
저하 발생.

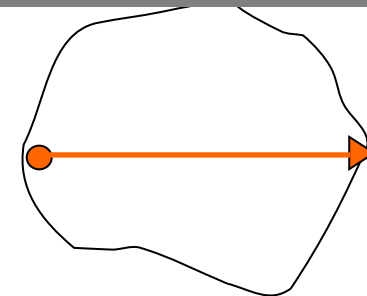
a-Si
(Amorphous-Silicon)



Poly-Si



c-Si
(Crystal-Silicon)



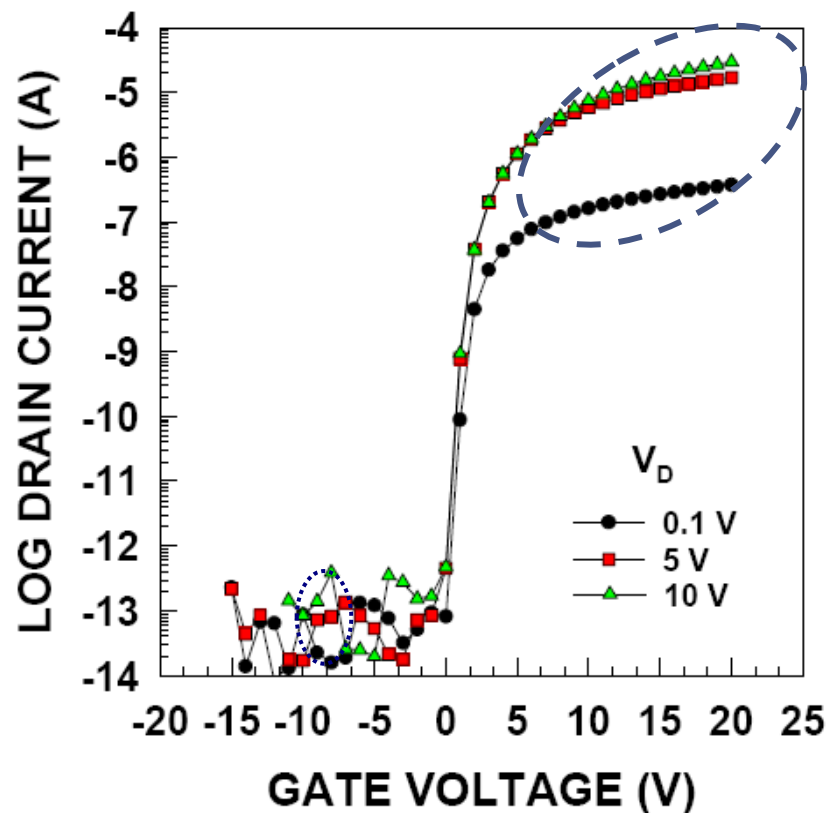
| Category | a-Si | Poly-Si | c-Si |
|---------------|----------------------------|-----------------------------|--------------------------|
| Crystallinity | Short Range Order | Long Range Order | Long Range Order |
| Mobility | 0.5~1cm ² /Vsec | 50~300cm ² /Vsec | 600cm ² /Vsec |

Transfer Curve

$V_s=0$

드레인 전압(V_d) 을 고정

게이트 전압(V_g)을 변화하며 측정

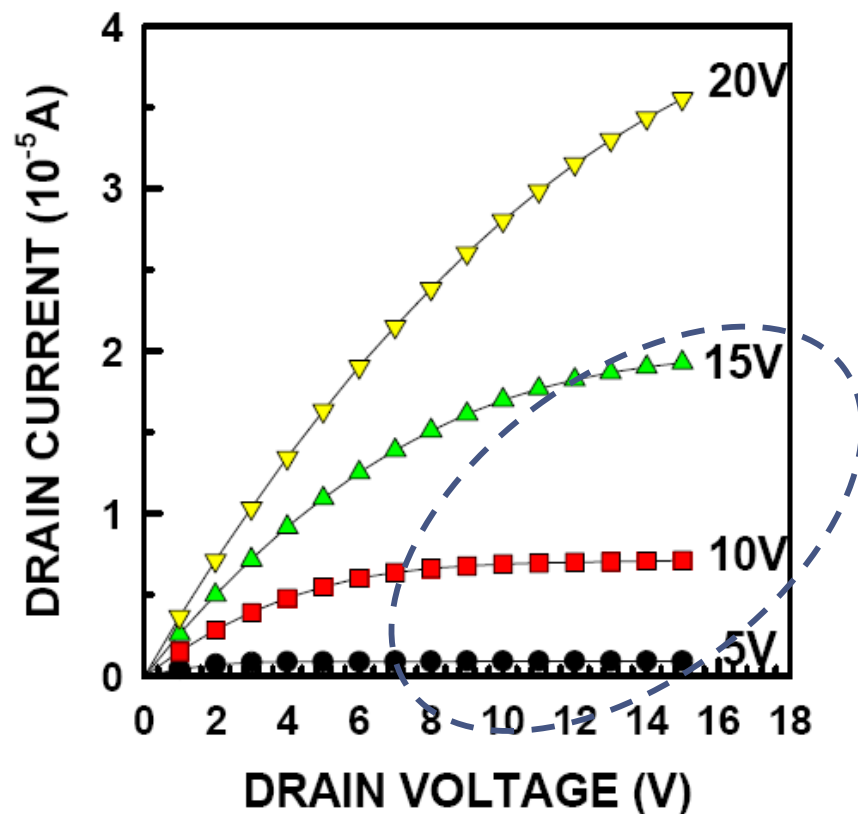


Output Curve

$V_s=0$

게이트 전압(V_g) 을 고정

드레인 전압(V_d)을 변화하며 측정



LTPS TFT Process (IPS 6-Mask 구조)

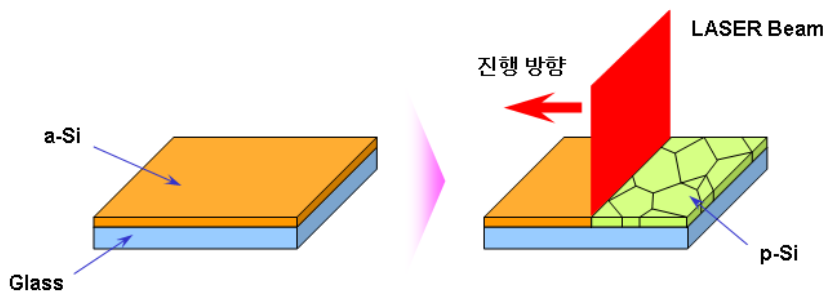
| a-Si TFT 공정 | LTPS TFT 공정 | 공정 | Issue | 공정 | Issue | 공정 | Issue |
|-----------------|-----------------|--|---|--|--|--|---|
| Glass | Glass | 1. Glass 세정 | - 초기 세정기 | 7. GI / 세정 / Gate 증착 Gate(Mo:500/AlNd:3000A) GI(SiO ₂ :1300A) | | 13. S/D CNT hole 형성 | - CNT hole 단면 형상 |
| Gate | a-Si 증착 | 2. Buff. / act. 증착 active(a-Si:H:500A) buffer(SiO ₂ :3000A) | - 결정화 불균일 (a-Si 두께), pin-hole (buffer ox 표면상태) | 8. Gate 형성 Gate(Mo/AlNd) GI(SiO ₂) | - Gate 단차 - GI 선택적 식각 | 14. Source/Drain 증착 S/D (Mo:500/AlNd:3000A) | |
| Gate 절연막 | 탈수소 & 결정화 | 3. 탈수소/HF 세정 | - Particle - Glass 열변형 | 9. Ion Shower 도포 | | 15. Source / Drain 형성 | - S/D metal 단선 |
| a-Si 증착 | Gate 절연막 | 4. 결정화 | - 결정화 균일성 - 결정 재현성 | 10. 활성화 | - Gate 열변형 - Defect 미 제거 | 16. Passi. 증착 Passi. (유기1.3um/SiNx4000A) | - Particle - 정전기 |
| Active 패턴 | Gate 패턴 | 5. Active 형성 | - PR 잔막 | 11. Interlayer 증착 Int. (SiN:1000/SiO ₂ :4000) | - Particle - 정전기 - Step coverage | 17. Pxl. CNT hole 형성 | - CNT hole 단면 형상 |
| S/D | p+ doping | 6. Active 세정 (HF 세정) | - Vf 변화 | 12. 수소화 | | 18. Pxl. 형성 | - CD loss - Pxl to Pxl short (Nega PR) |
| Passivation막 증착 | 충간 절연막 증착 | | | | | | |
| Via hole 형성 | Contact hole 형성 | | | | | | |
| Pixel | S/D 패턴 | | | | | | |
| | Passivation막 증착 | | | | | | |
| | Via hole 형성 | | | | | | |
| | Pixel 패턴 | | | | | | |

Laser를 이용, a-Si를 p-Si로 결정화하여 이동도(Mobility)를 높게 만드는 공정

공정 개요

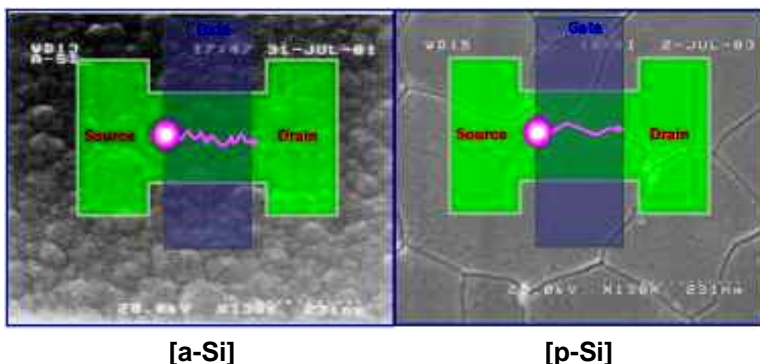
□ ELA 결정화

PECVD에서 증착된 a-Si layer를 Eximer Laser ($\lambda=308\text{nm}$)로 선택적으로 용융/응고 시켜 결정화하는 공정



□ ELA 결정화 막특성

결정화 후의 Grain은 약 $3000\sim4000\text{\AA}$ 이며, 전자 이동도 (Mobility)는 $50\sim200\text{cm}^2/\text{Vs}$ 수준임.



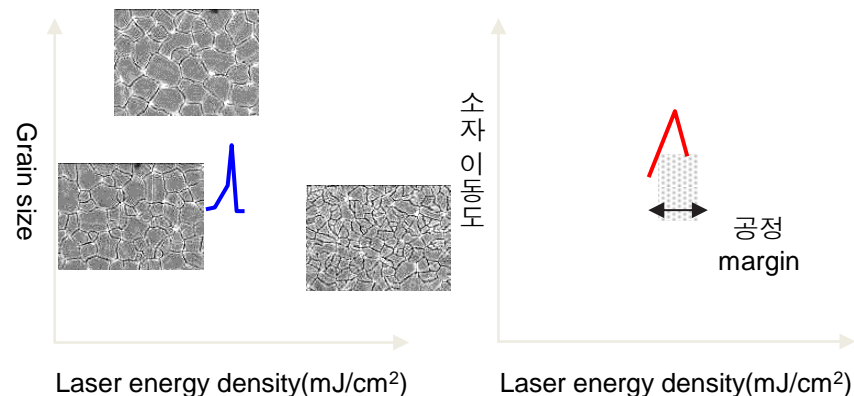
공정 특성

□ 공정 parameter

| Parameter | Range | 비 고 |
|--------------------------------------|---------|---|
| Beam size (mm ²) | 0.3×380 | 가공된 line beam 면적 (Beam size 제약으로 대면적 한계 : ~27") |
| Energy Density (mJ/cm ²) | 480~550 | 조사되는 에너지량 |
| Overlap (%) | 84~98 | Beam 중첩 비율 |
| Repetition rate (Hz) | 200~300 | 발진 주파수 |

□ ELA 결정화 조건에 의한 소자 특성

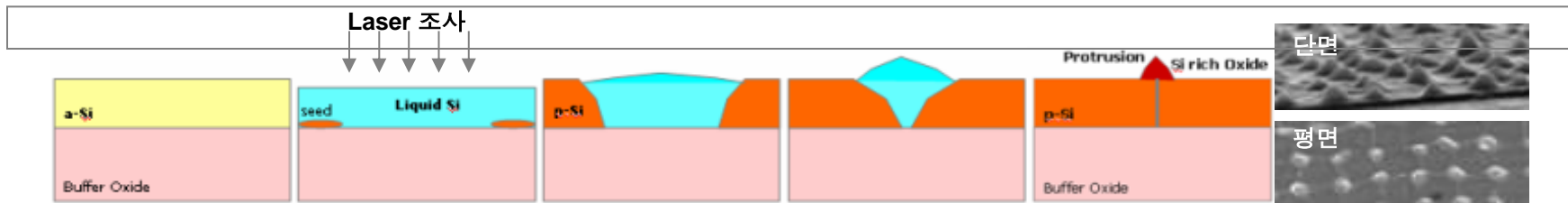
- Laser Energy density에 따라 소자 이동도 변화
→ 소자 특성 확보를 위한 공정 관리와 공정 margin 증대



- P-Si 표면 거칠기 심화는 GI 절연 내압을 감소시켜 **BV 특성을 저하 시킴**으로서 정전기에 취약하며 PD불량 유발하는 것으로 추정하고 있으며 또한, Grain Boundary에 존재하는 많은 defect site를 증가시켜 **TFT 소자 성능을 (광특성, Hysteresis, Leakage, Kink 등)저하** 시키는 것으로 알려져 있다.
- LCD 수율 향상 및 EL用 TFT의 강건 소자 구현을 위해서는 P-Si 거칠기는 작아질 수록 유리하다.

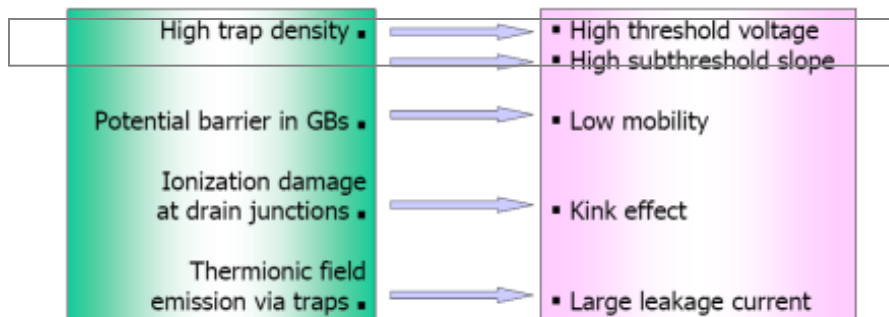
➤ P-Si 거칠기 발생 Mechanism

※ ELA 결정화에 의한 P-Si는 Laser beam조사에 의해 Liquid → Solid 과정을 거치면서 Si의 밀도차이에 의해 (고상에 비해 액상이 큼) 각 grain들의 부피 팽창에 의해 grain boundary가 솟아 오르게 된다. 이러한 돌기들은 grain이 만나는 위치마다(G/S 300~400nm) 발생되며 돌기 높이는 조건에 크게 달라지며 10~100nm까지 나타난다. 특히 Si막 표면에 존재하는 native oxide나 대기중의 O₂와 반응하여 protrusion이 가속되므로 표면 거칠기가 증가한다.



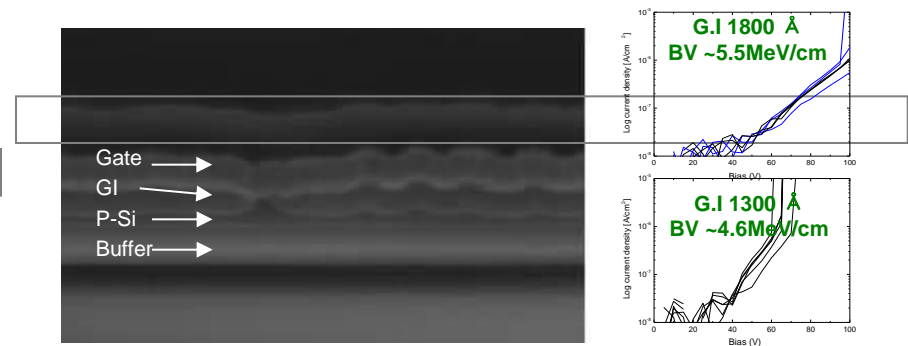
➤ P-Si Grain Boundary : 거칠기는 Grain boundary를 포함하고 있으므로 거칠기가 크면 GB의 defect가 증가하여 다음과 같은 TFT 소자 성능을 저하시킨다..

Existence of large number of high- and low-angle grain boundaries → Provide many trap states



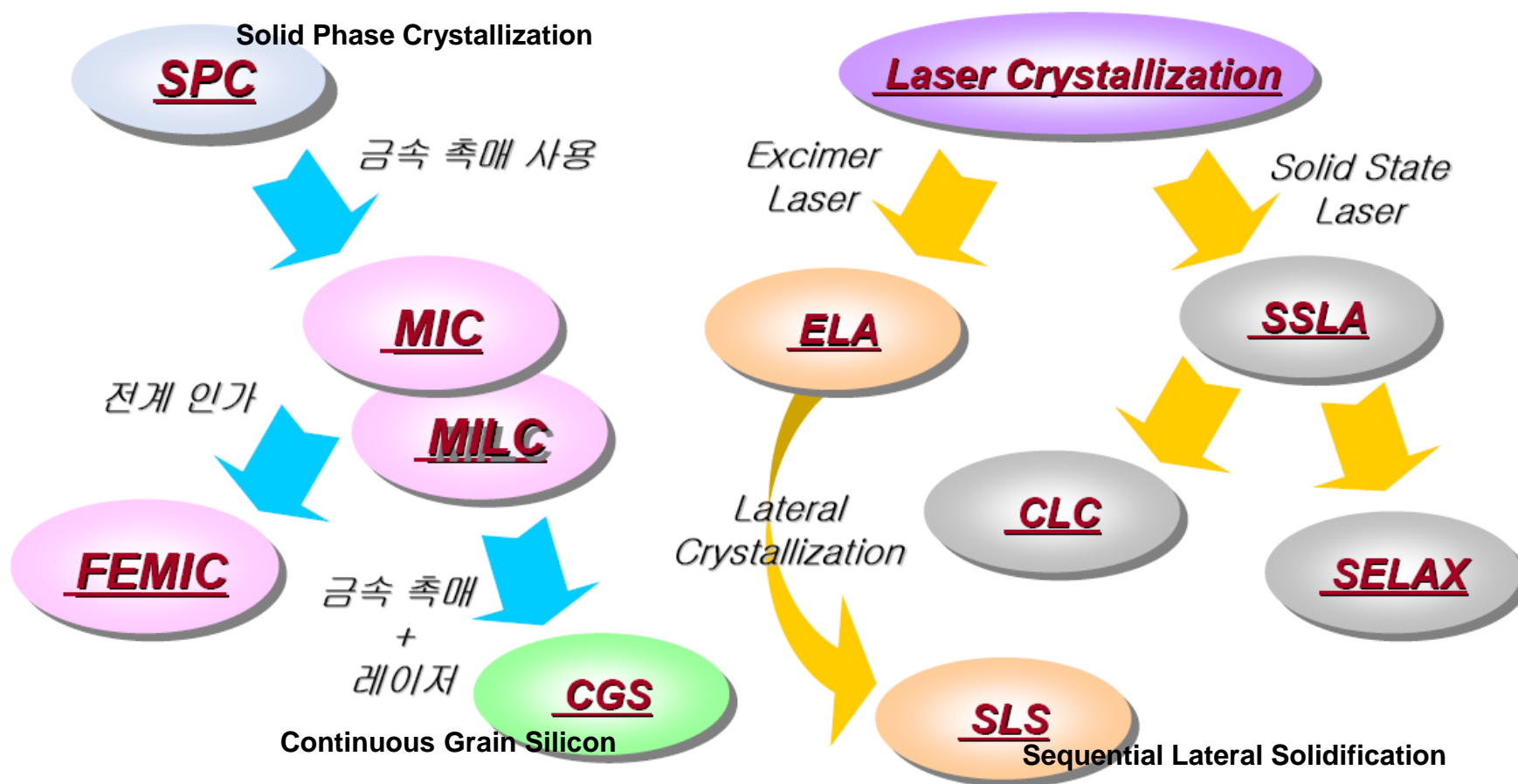
➤ P-Si 거칠기에 의한 물리적 특성
→ GI 절연 파괴 유발

[LCD向 : GI에 따른 BV특성]



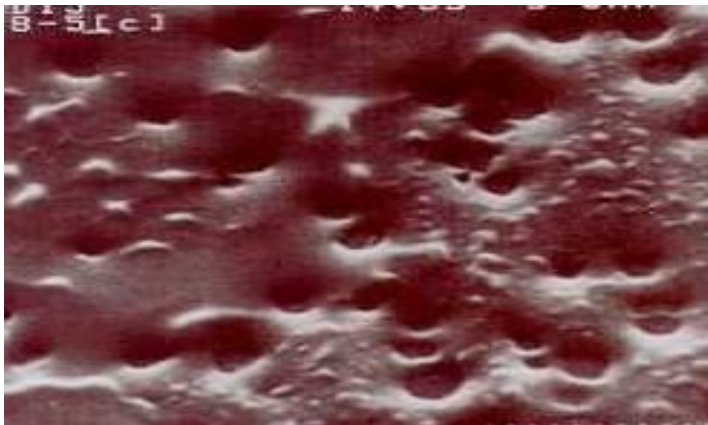
2. LTPS TFT

(3) Crystallization

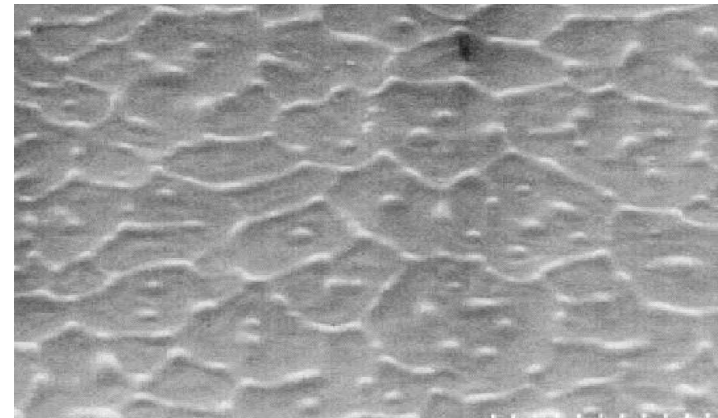


■ 현상

1. a-Si:H의 laser 결정화시 a-Si이 순간적으로 melting point까지 가열.
2. a-Si내에 함유된 수소(Si-H or Si-H₂)의 bonding breaking 발생. → 외부로 빠져 나옴.
3. 화산암처럼 silicon막에 damage를 발생시키며 void를 생성시킴. → Hydrogen blistering 현상.



Hydrogen Blistering 현상

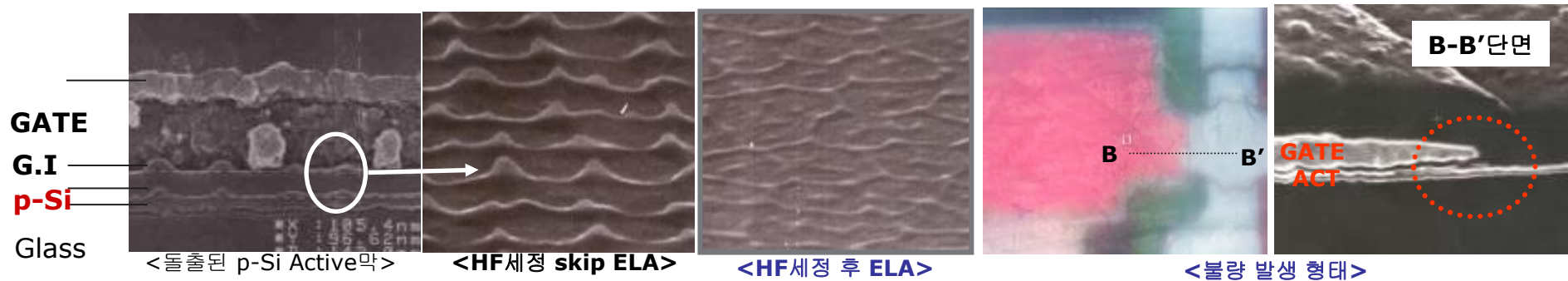


정상적인 LTPS film의 SEM 사진

• 대응

- Laser 결정화 전 450oC 근처의 열처리 공정을 통해, a-Si막내의 수소함량을 제거
→ 탈수소공정
- 탈수소 전 수소함량 12~18% → 탈수소 후 1~2% 이하로 수소량 감소.

- P-Si 막의 roughness 개선 및 막질이 불량한 native oxide에 의한 소자 변동을 최소화 하기 위해 HF 세정을 실시함. (HF dilution: 0.25~1w%)



CMOS 공정에서 사용되는 ion doping step 종류 및 목적

Ion doping은 전류에 기여할 수 있는 잉여 전자 혹은 정공을 제공할 수 있는 dopant ion을 poly-Si active에 직접 주입하는 공정을 말하며, CMOS 공정을 통해 많게는 아래와 같은 목적의 5가지 step이 적용된다.

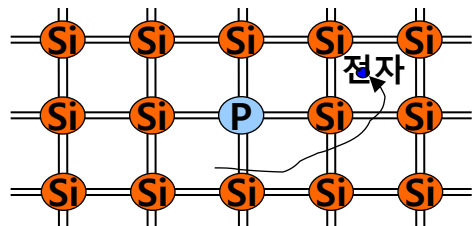
- **Channel doping** : 소자 V_{th} adjust를 위함 ($\sim 1e^{11}/cm^2$).
- **Storage doping** : active layer를 Capacitor의 하나의 전극으로 사용하기 위함이며, active layer doping을 통한 저항을 낮추는 것이 목적임 ($1e^{14}/cm^2$).
- **p+ doping** : pTFT source/drain 영역을 형성하기 위함 ($\sim 1e^{15}/cm^2$).
- **n+ doping** : nTFT source/drain 영역을 형성하기 위함 ($\sim 1e^{15}/cm^2$).
- **LDD(Lightly doped drain) doping** : 신뢰성 향상 및 I_{off} 감소를 위해 drain 인접부의 electric field를 낮추는 것이 목적임 ($\sim 1e^{13}/cm^2$).

Coplanar CMOS 9Mask Process Step

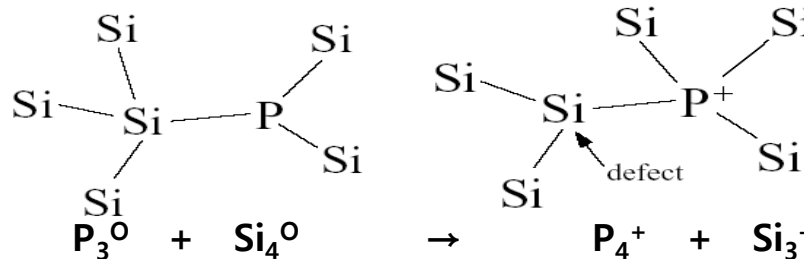
Buffer ox. depo. → a:Si depo. → 탈수소 (Dehydrogenation) → **Channel doping** → Laser 결정화 → Active Photo(#1) → Active etch (D/E) → PR Strip → Storage doping Photo (#2) → **Storage doping** → PR Strip → GI (SiO_2) depo. → Gate depo.(Mo) → Gate photo (#3) → Gate etch (W/E) → p+ doping photo(#4) → **p+ doping** → Ash (D/E) → PR strip → n+ doping photo(#5) → **n+ doping** → Ash (D/E) → PR strip → **LDD doping** → Interlayer depo. → 활성화 (Activation) → S/D contact Photo (#6) → S/D contact etch (D/E & W/E) → PR strip → S/D depo. (Mo/AlNd) → S/D Photo (#7) → S/D etch (W/E) → PR strip → Passilayer depo. → 수소화 (Hydrogenation) → ITO contact photo(#8) → Contact etch (D/E) → ITO depo. → ITO Photo (#9) → ITO etch → PR strip

Dopant type 비교

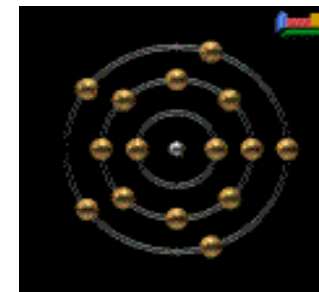
- ▶ n-type doping : 5가의 원자(P⁺)를 Si network에 주입, P의 4개 전자는 주위의 4개의 Si와 공유 결합. 나머지 1개의 전자는 쉽게 이온화 되어 자유 전자가 되고 P는 + 전하를 가짐.



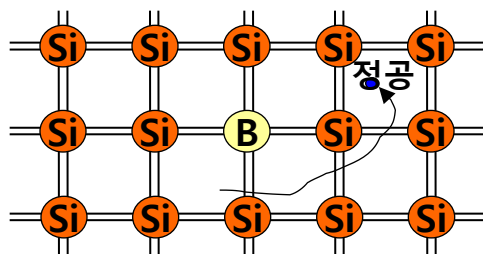
c-Si에서의 doping



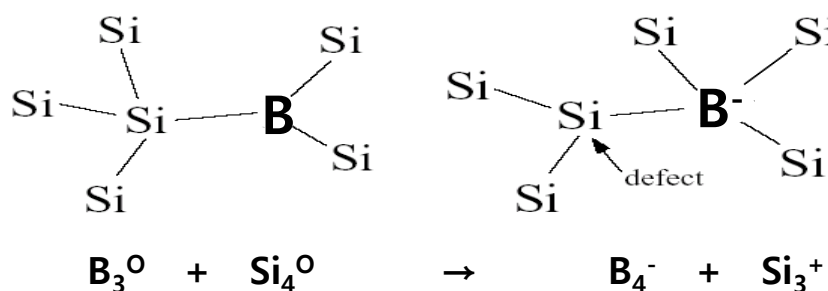
p-Si에서의 doping



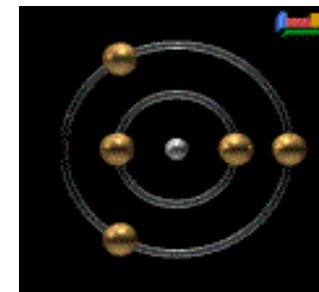
- ▶ p-type doping : 3가의 원자(B⁻)를 Si network에 주입, B의 3개 전자는 주위의 3개의 Si와 공유 결합. 주위의 전자 하나를 받아들여 이웃 하는 Si와 공유 결합하면서 정공(hole)을 생성.



c-Si에서의 doping

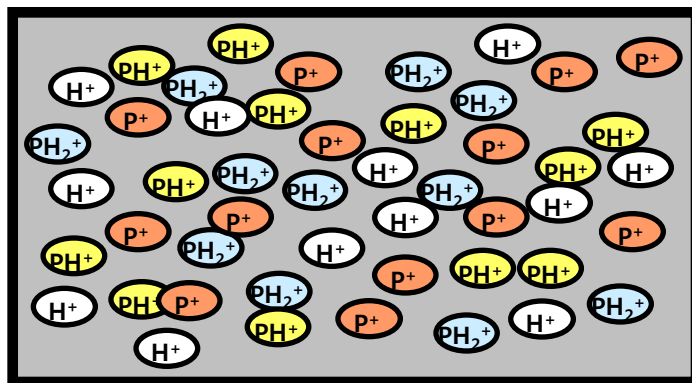


p-Si에서의 doping



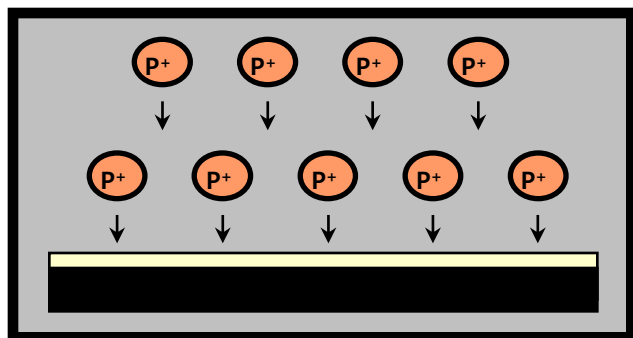
Ion Implant vs. Ion Doping

Ion Source Chamber



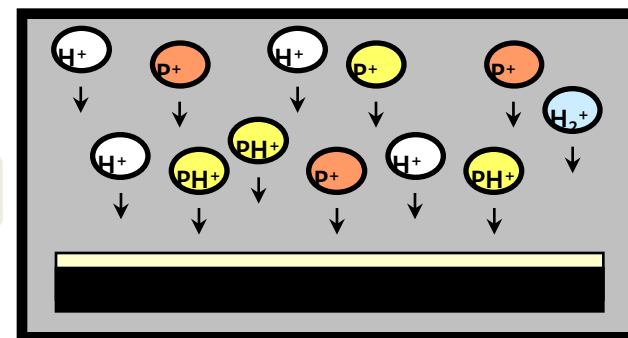
Ion Implantation

: Mass separated Source



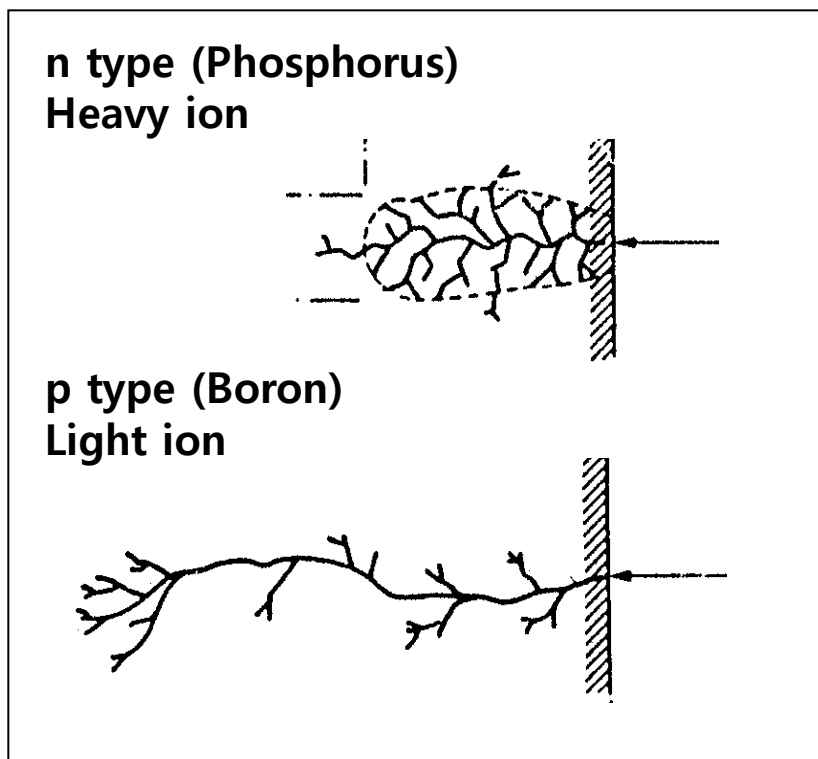
Ion Doping

: Non-mass separated Source

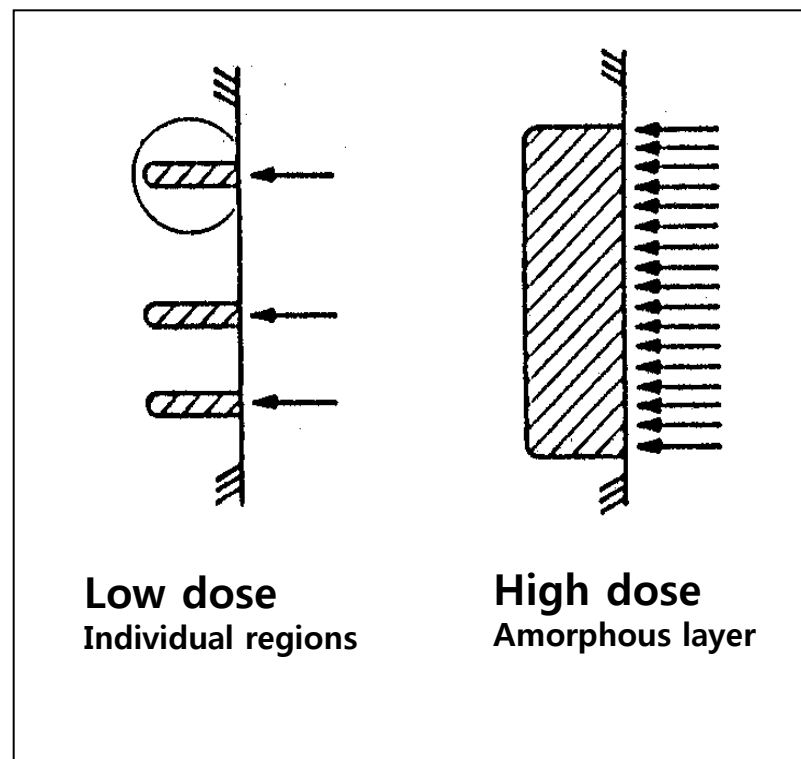


Process Chamber

Dopant type 및 dose량에 따른 비교



< Doping type 에 따른 차이 >



< Dose 양에 따른 차이 >

Activation 공정의 목적

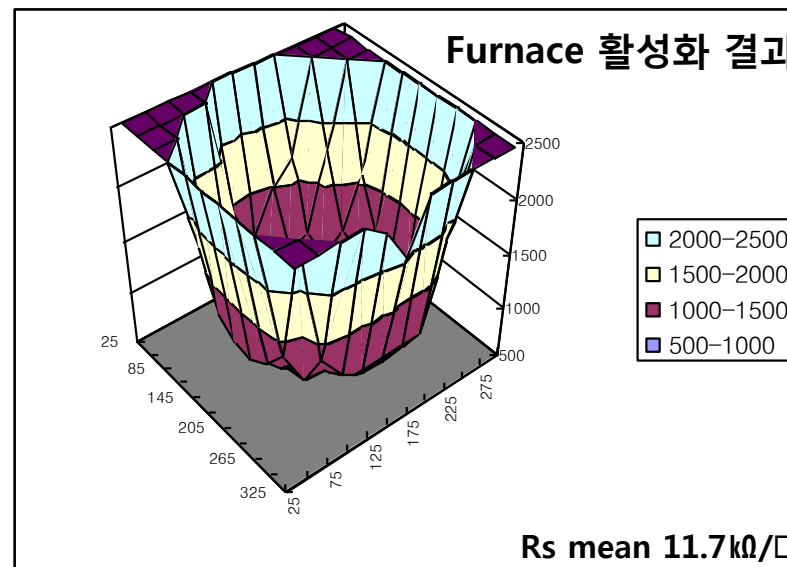
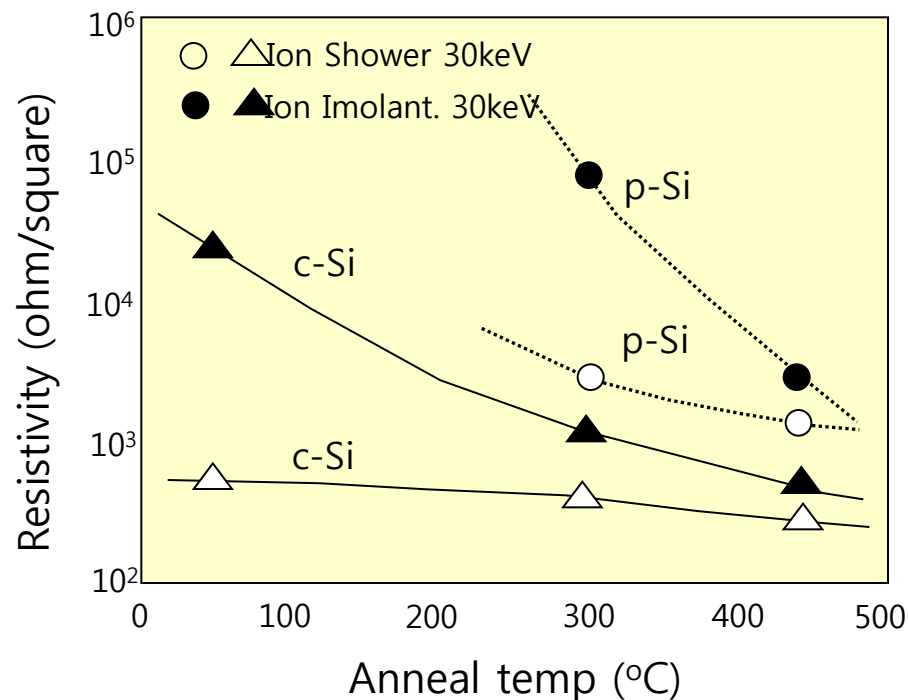
Activation 공정은 ion doping에 의해 amorphous화 된 막을 poly-Si 막으로 curing하는데 목적이 있으며, 더불어 dopant를 격자 위치로 움직여 전기적으로 활성화 될 수 있도록 열처리를 하는 공정을 말한다.

Activation 공정의 종류

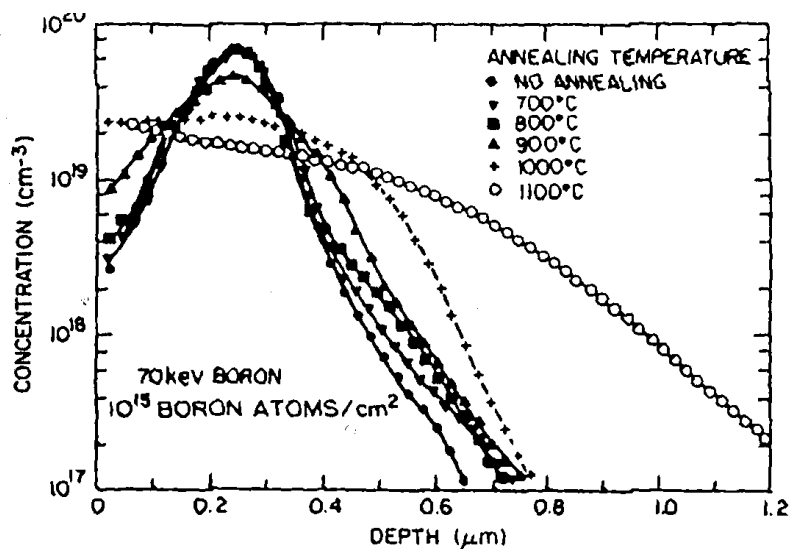
- **Laser activation** : laser 조사를 통한 source/drain 영역에 대한 활성화
- **Furnace annealing** : conventional furnace를 이용한 고온(~ 500°C), 장시간 (~ 1 hour) 열처리 진행.
- **Rapid thermal annealing** : glass shrinkage를 최소화하기 위해 고온(~600°C)에서 짧은 시간(~ 1 minute) 동안 열처리

Furnace Annealing

Conventional furnace를 이용한 activation은 상대적으로 높은 온도에($\sim 500^{\circ}\text{C}$)서 열처리를 진행하기 때문에 glass shrinkage 등이 문제 될 수 있으며, gate oxide 두께가 얇아지는 경우 특히 glass edge 영역에서 doping damage가 충분히 curing 되지 않을 수 있다.

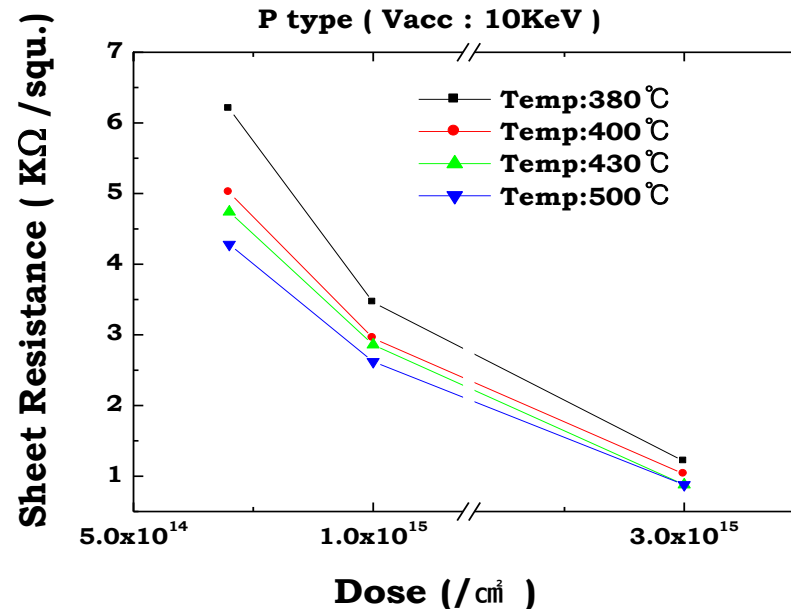


활성화 온도에 따른 dopant profile 및 sheet 저항



활성화 온도 별 단면 분포 차이

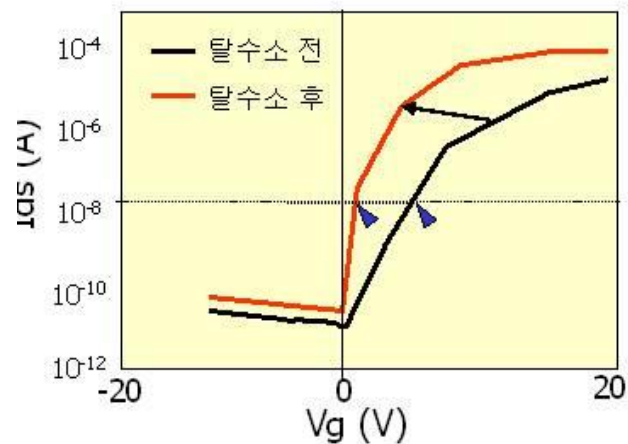
온도가 높을 수록 주입된 ion이 층 내에
고루 퍼짐



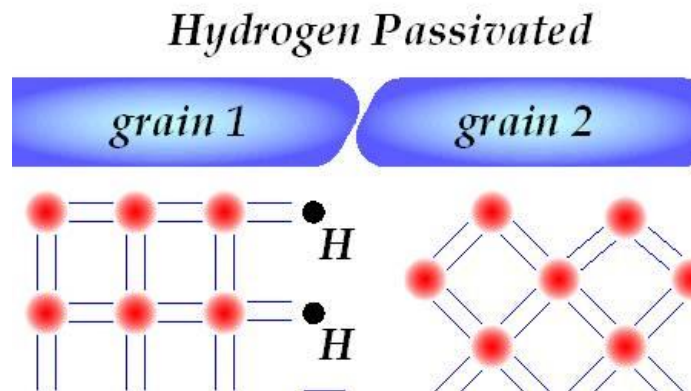
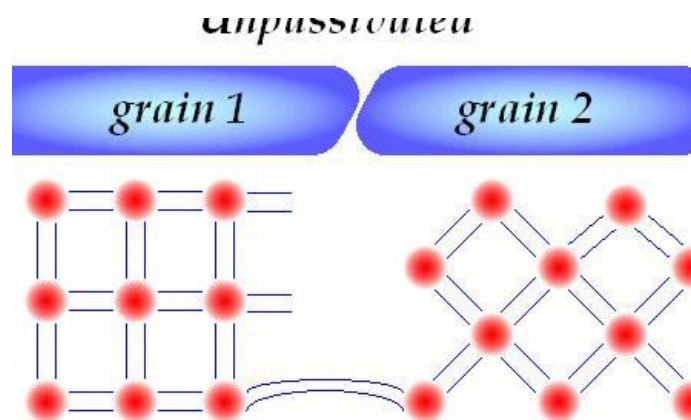
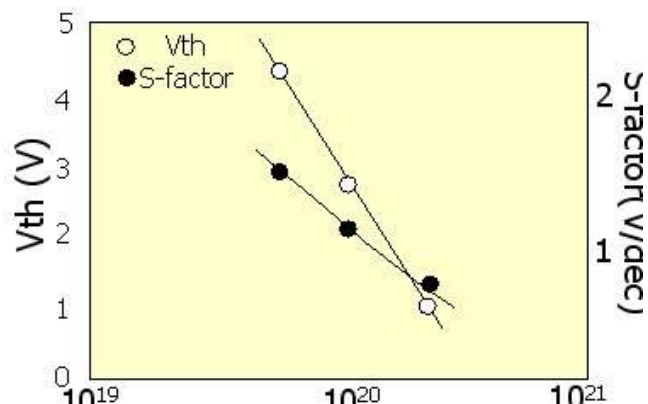
활성화 온도 및 dose 에 따른 Rs 차이

온도 ↑ 와 dose ↑ : Rs ↓

- Gate insulator(SiO_2)/Active(Si) 계면에 존재하는 Si의 dangling bond를 채워 줌으로써 소자특성을 개선.

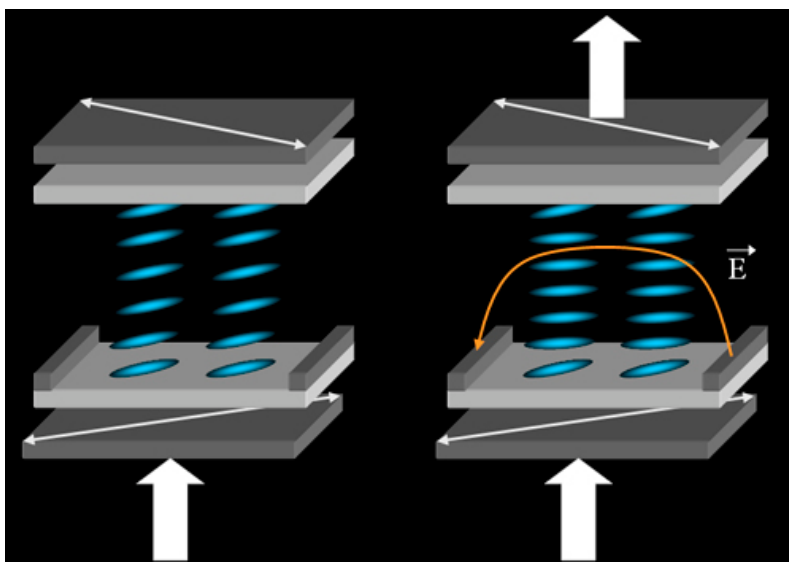


• 수소화 후 TFT 특성 개선 경향



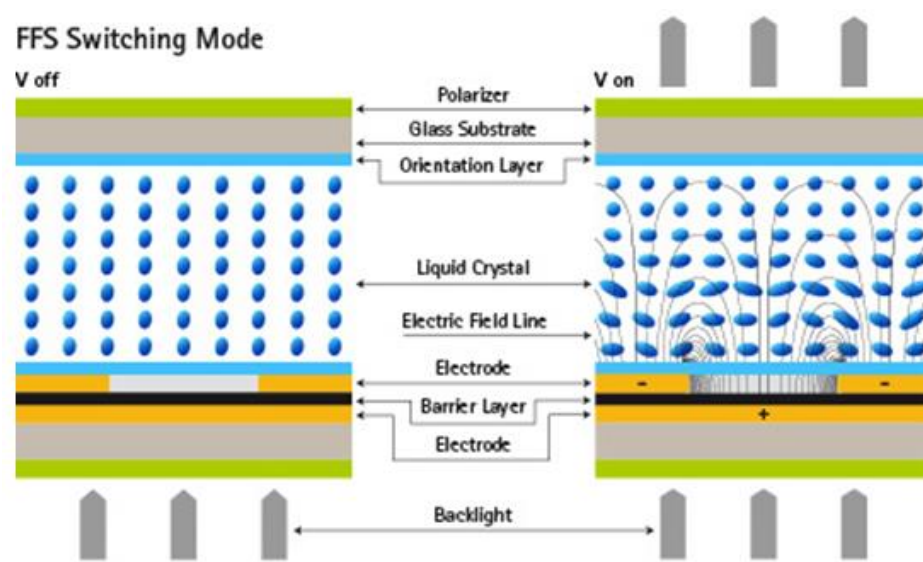
LGD LTPS Mobile은 모두 AH-IPS 구조 적용 중.

IPS (In-Plane Switching)



AH-IPS (Advanced High-Performance IPS)

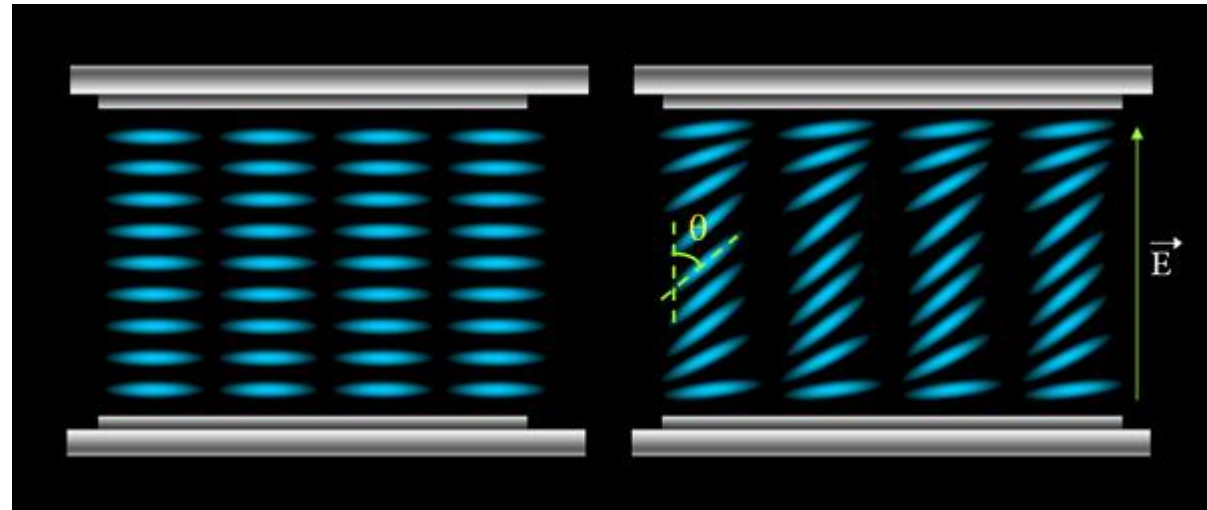
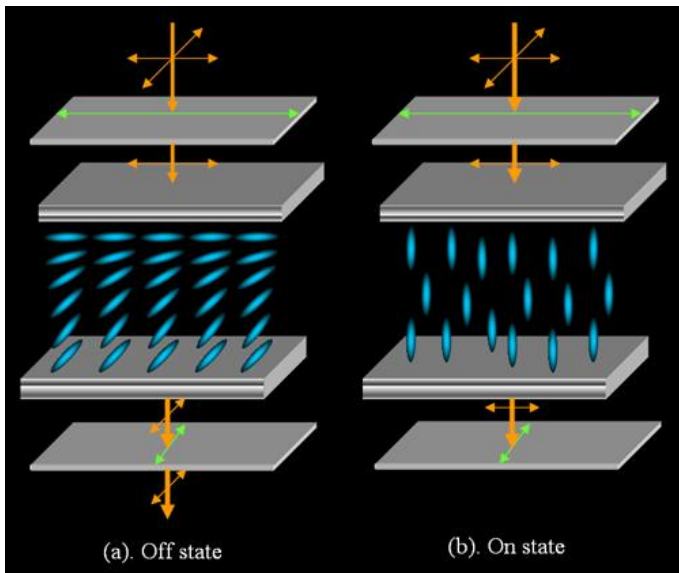
Fringe Field Switching (FFS)



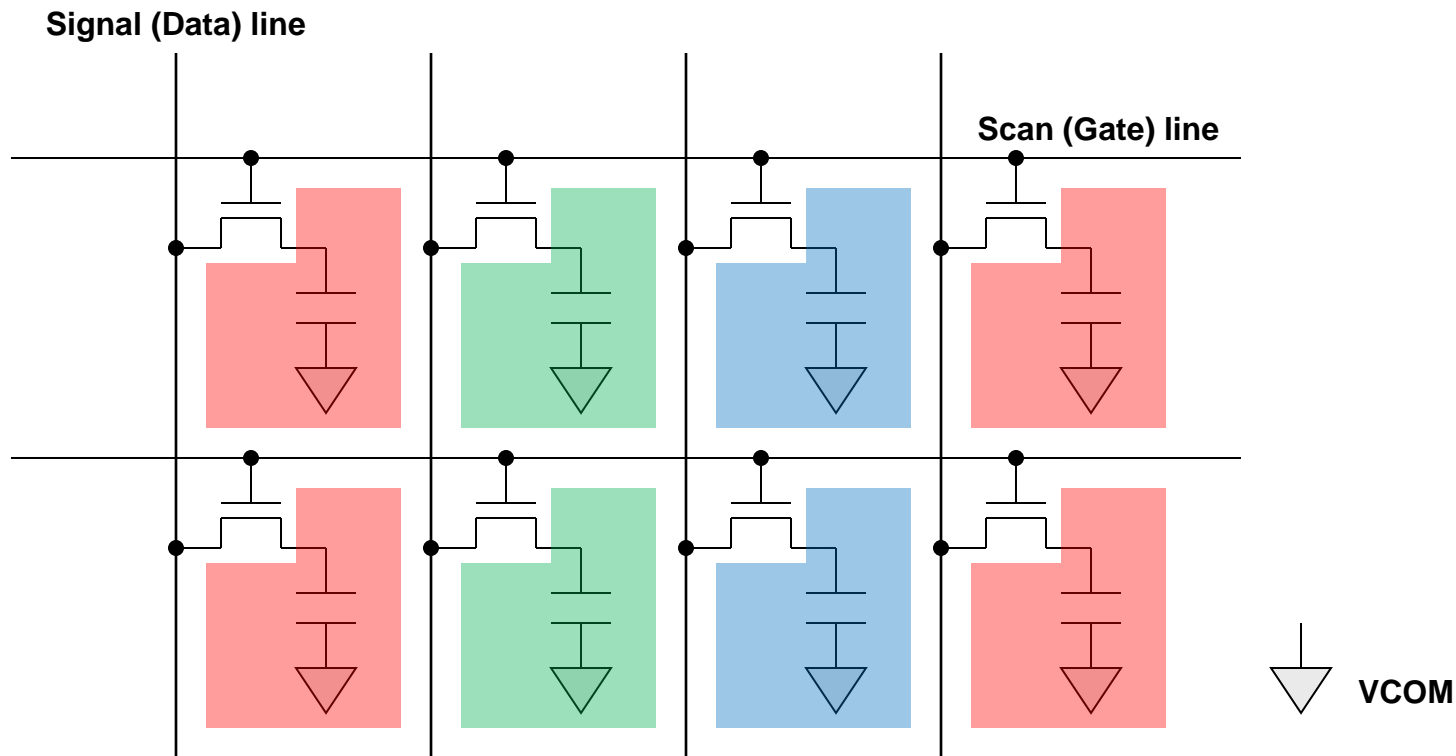
For your reference..

TN (Twisted Nematic)

ECB (Electrically Controlled Birefringence)



(1) Pixel Circuit in the Active Area



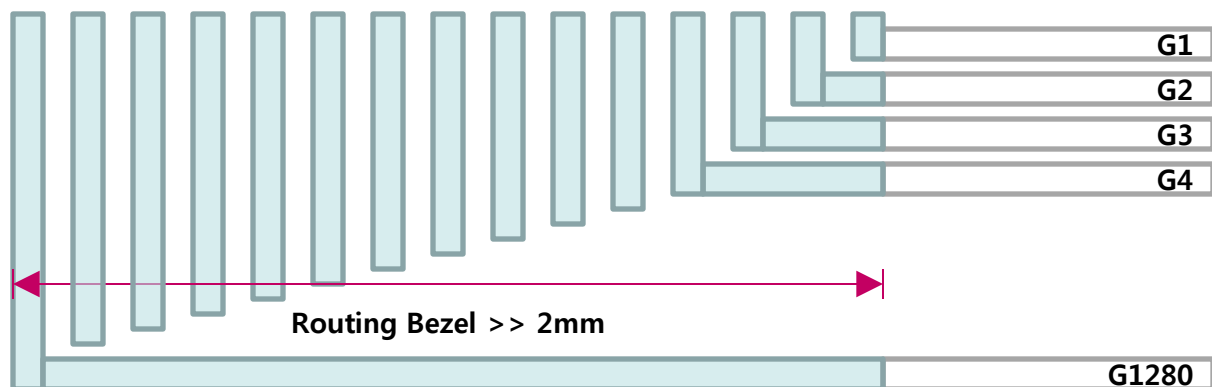
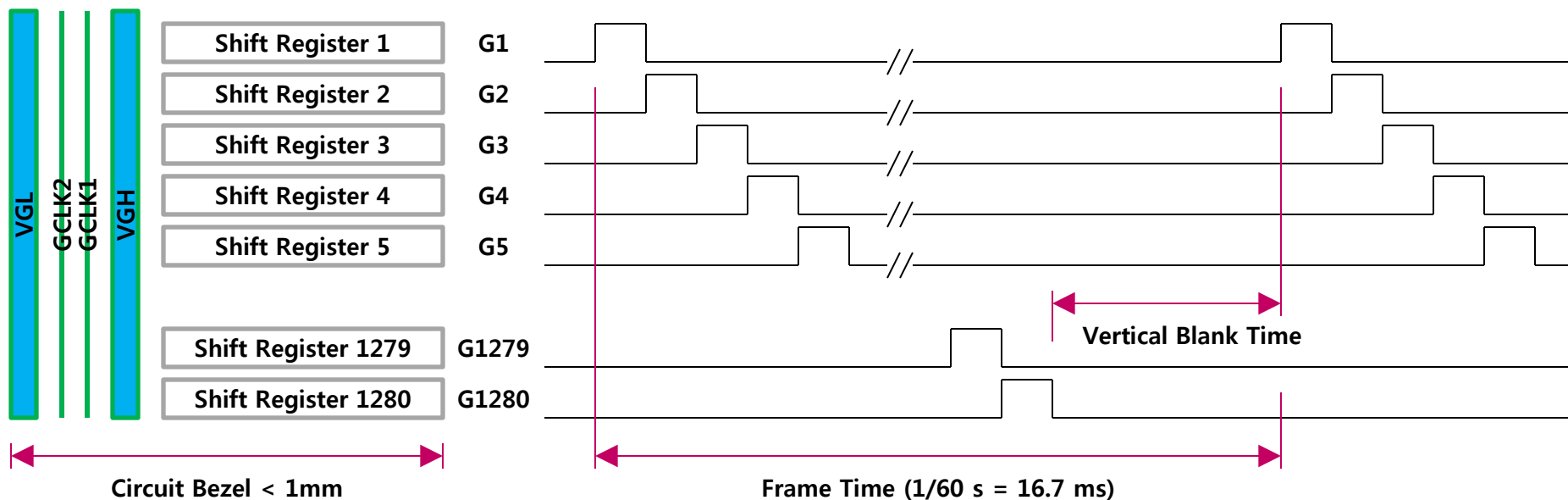
LTPS는 Pixel Transistor의 크기가 작고 성능이 우수하고 기생 용량이 작습니다.

투과율

Crosstalk

소비 전력

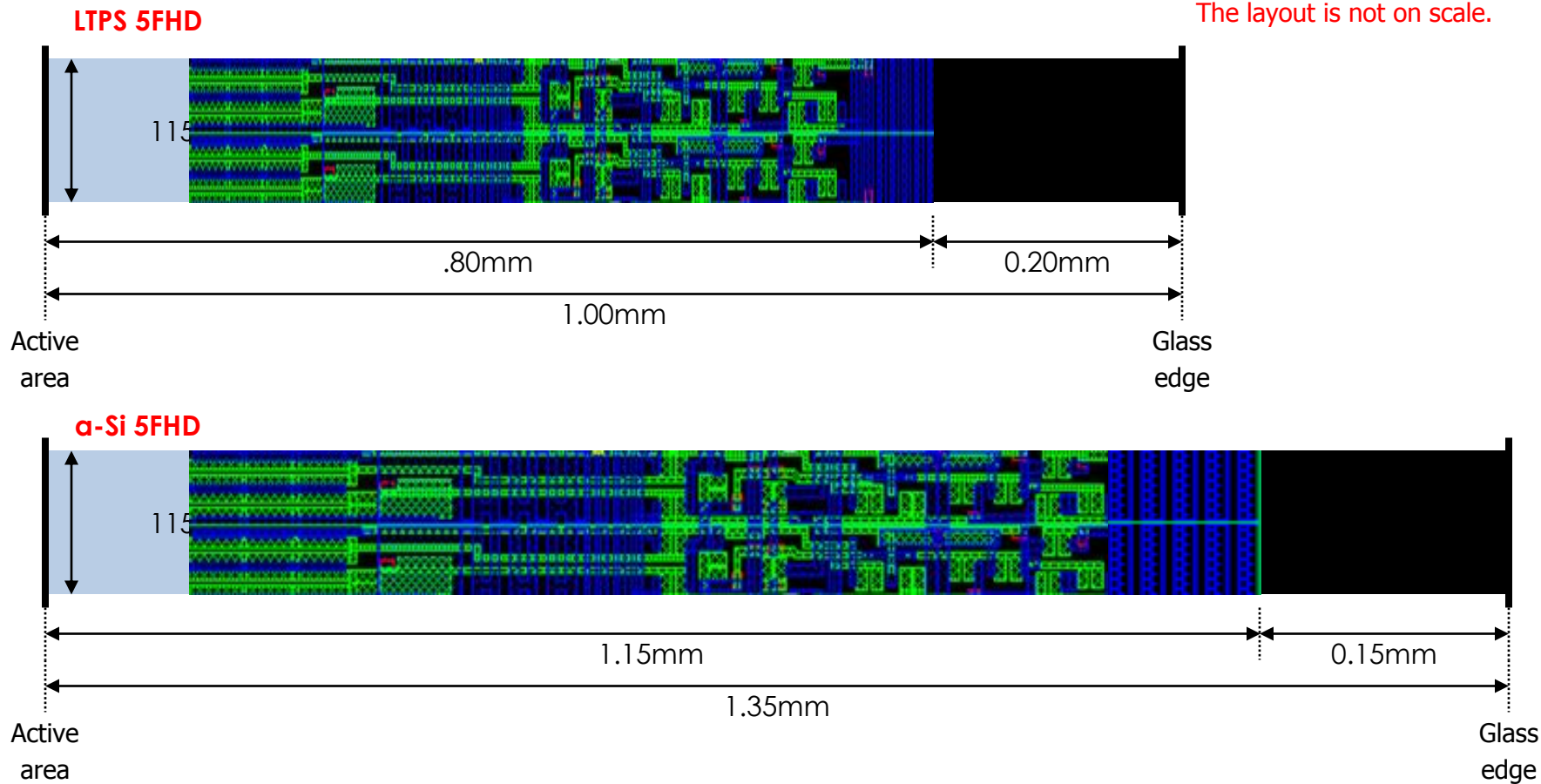
(2) GIP: Gate Driver Circuit in Panel



Gate Driver를 패널에 쉽게 내장되고
그 구동 성능이 우수하고
회로 면적이 작아 Narrow Bezel 구현에 유리함.
LTPS는 TFT 소자는 Cgs 기생 용량이 작아
GIP 기인 소비 전력도 작습니다.

(3) 좌우 베젤

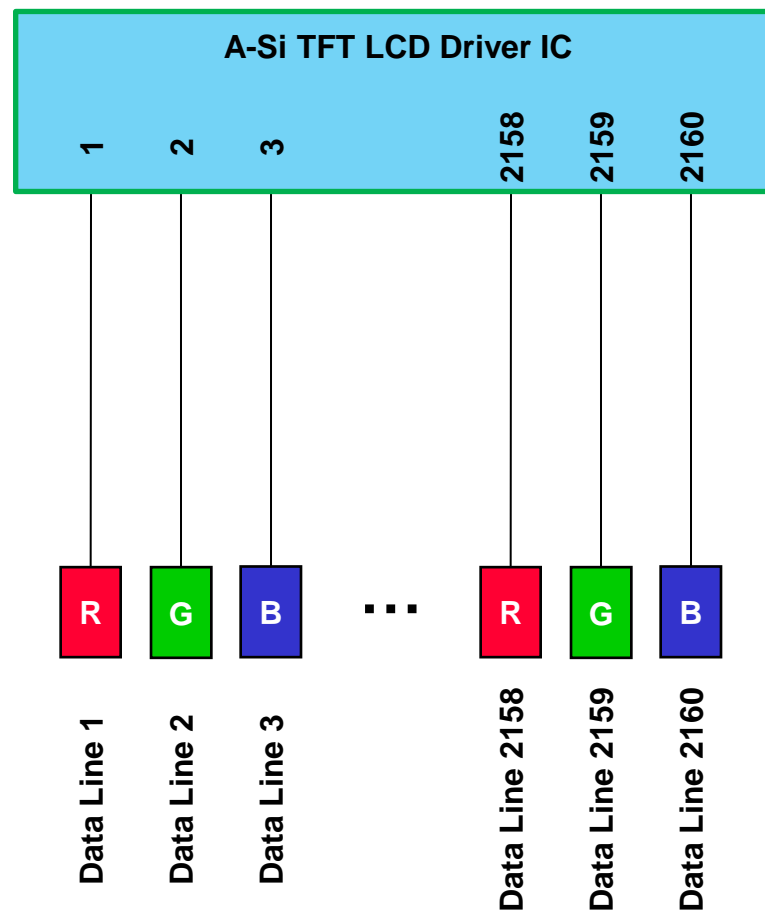
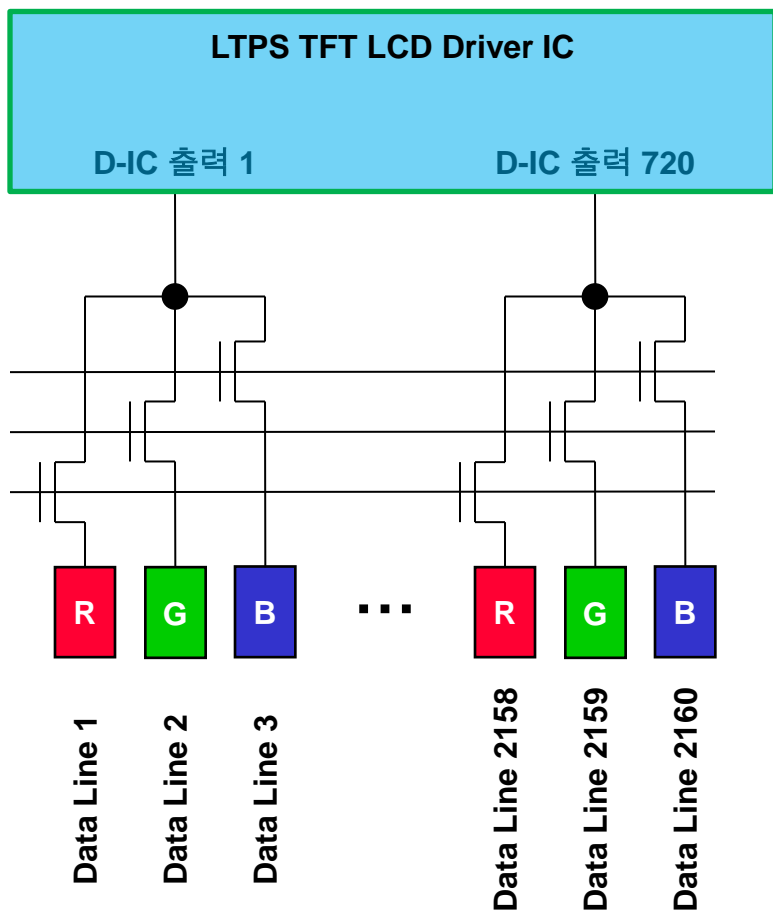
The layout is not on scale.



LTPS는 **Mobility**가 높아서 회로 내 **Buffer Size**가 작아 회로 면적이 작아집니다.

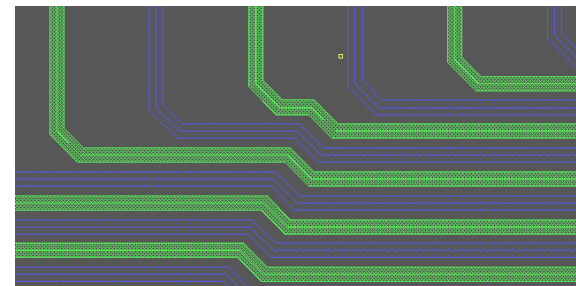
(4) MUX: 3:1 Multiplexer

LTPS는 MUX를 통한 Data 구동 성능이 가능해서 D-IC Pin 수를 줄일 수 있고 IC에서 Active Area까지의 Data Link 면적(높이)을 줄일 수 있습니다.

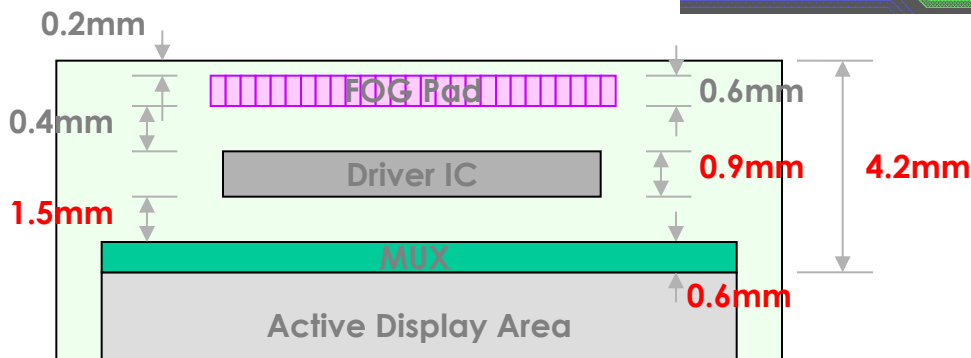


(5) Pad 단 베젤

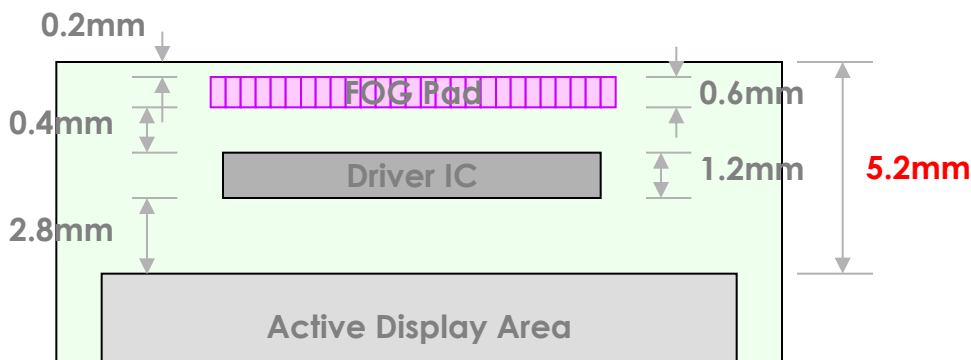
Data Link Design Example



LTPS 5FHD
Dual Layer Routing
Routing Pitch 7 μ m



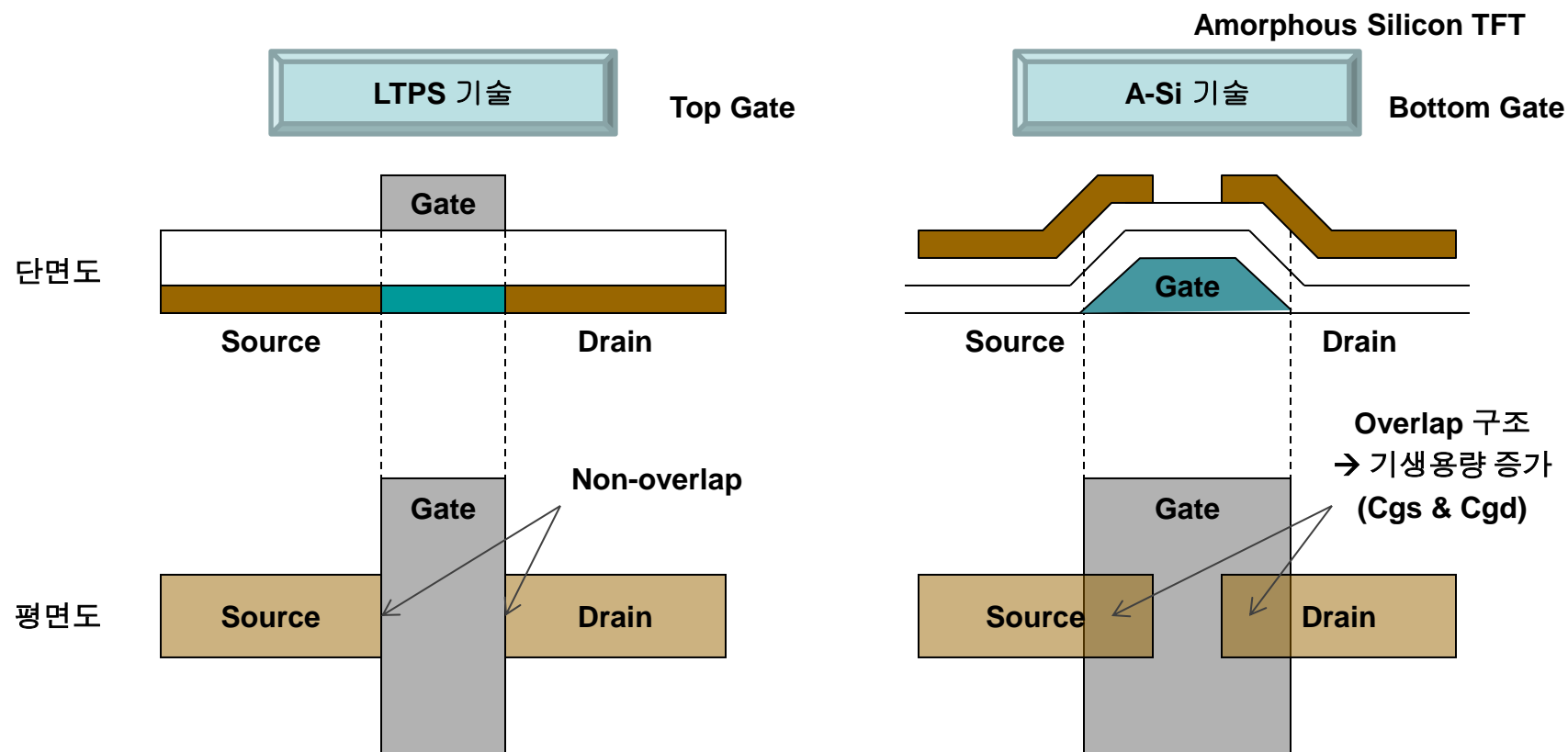
α -Si 5FHD
Dual Layer Routing
Routing Pitch 6.5 μ m



LTPS는 IC가 작고 Data Pin 수가 1/3로 줄어서 Routing 공간의 높이도 작아집니다.

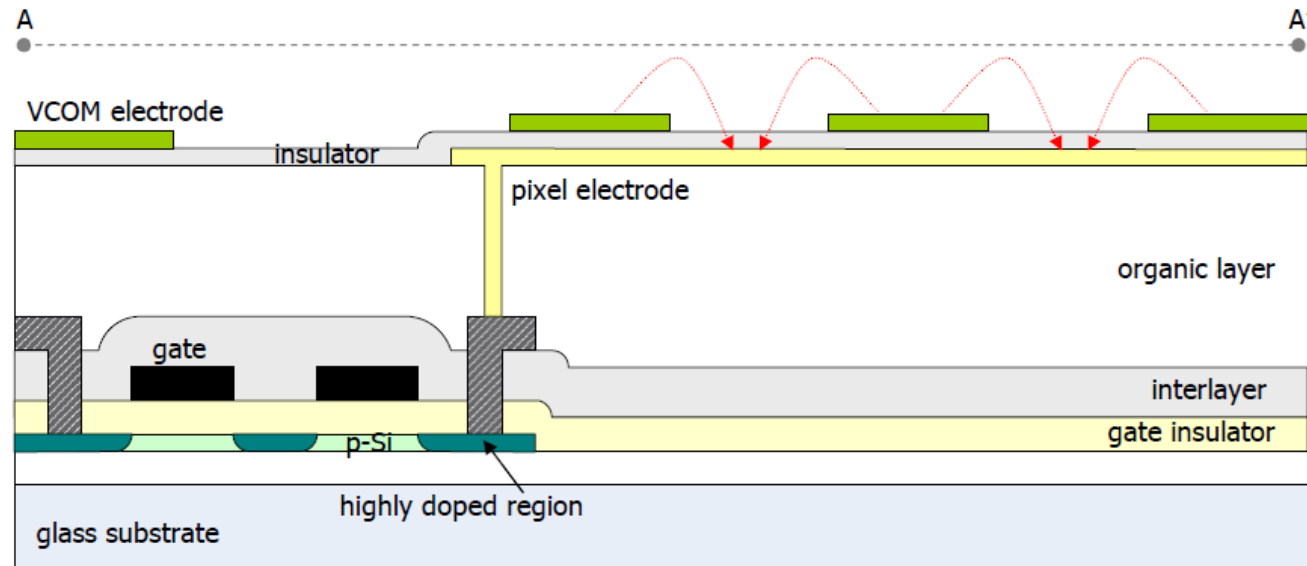
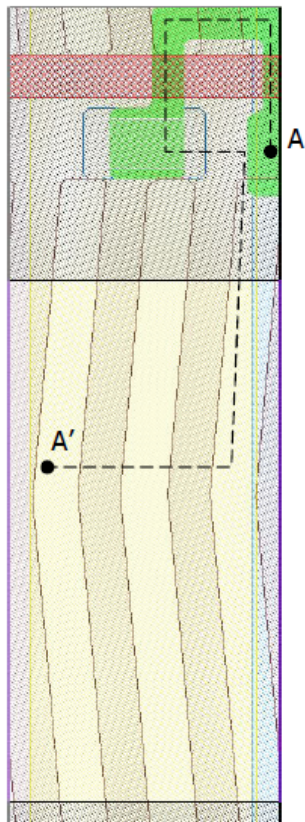
Top-Gate vs Bottom-Gate 기생 용량 비교

LTPS TFT 소자는 기생 용량이 a-Si 대비 현저히 작기 때문에, 화질 특성(flicker, crosstalk 등)과 소비 전력 특성이 매우 우수함.



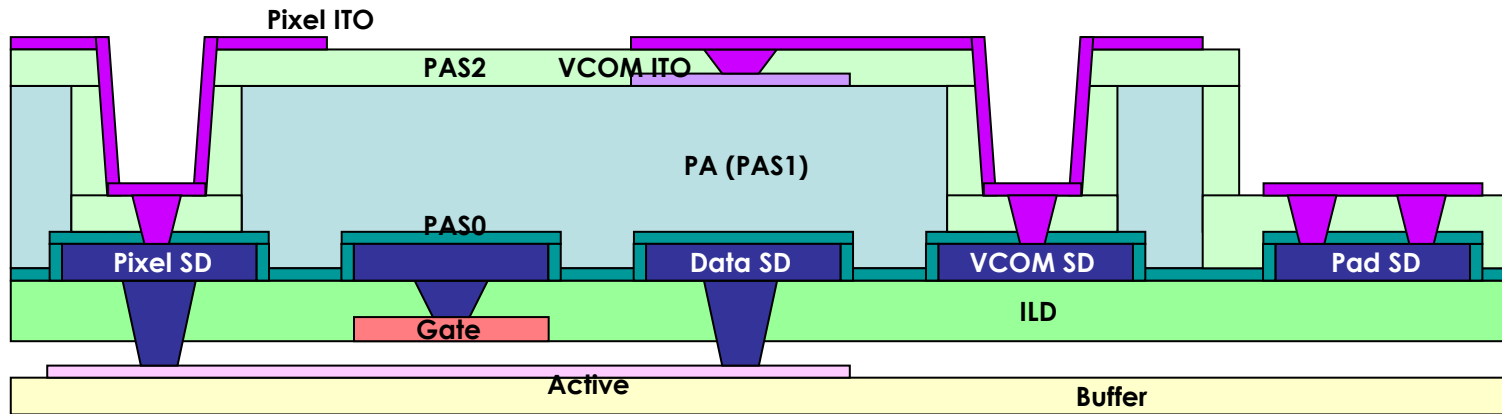
■ Unit pixel structure with organic-passivation layer

- (1) Low dielectric constant → Reducing the parasitic capacitance
- (2) Planarization → Preventing the rubbing scratch

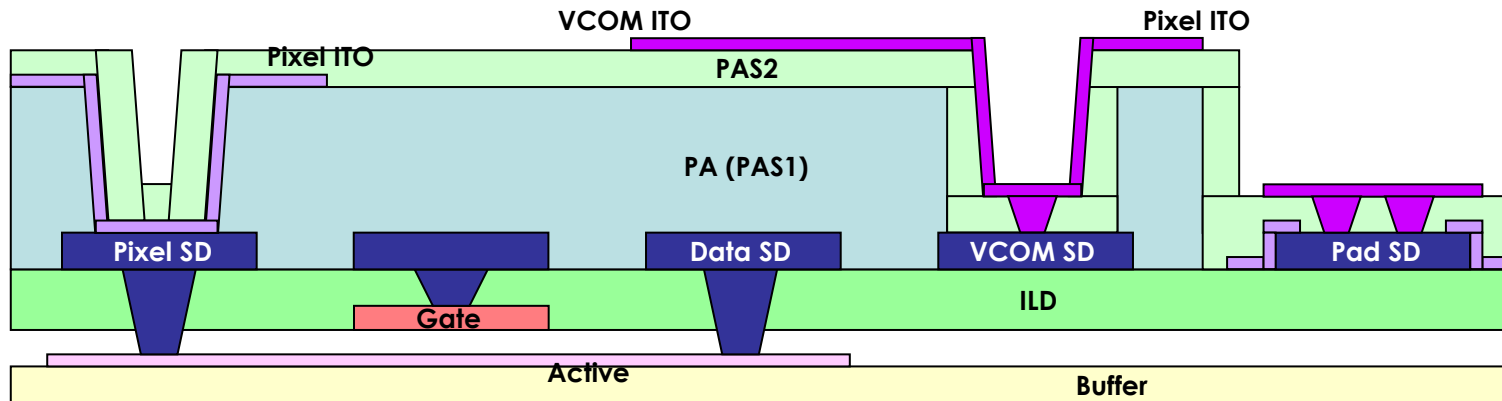


Pixel-Top vs. Vcom-Top

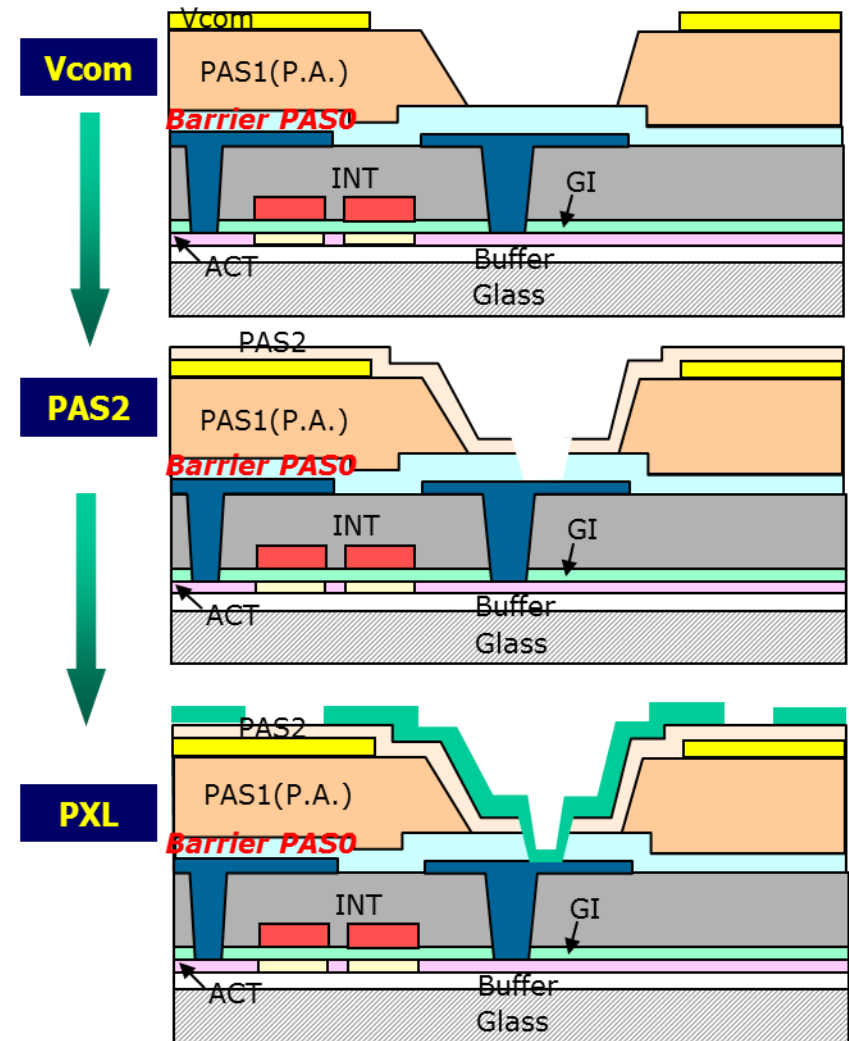
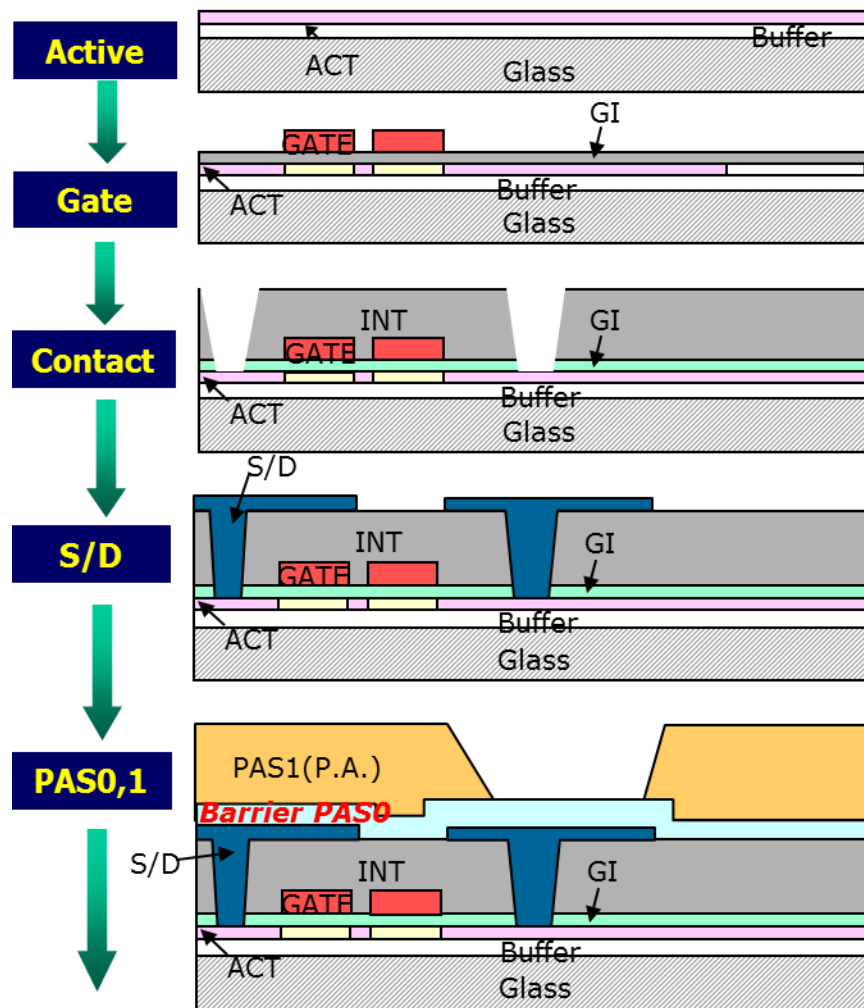
Pixel-Top

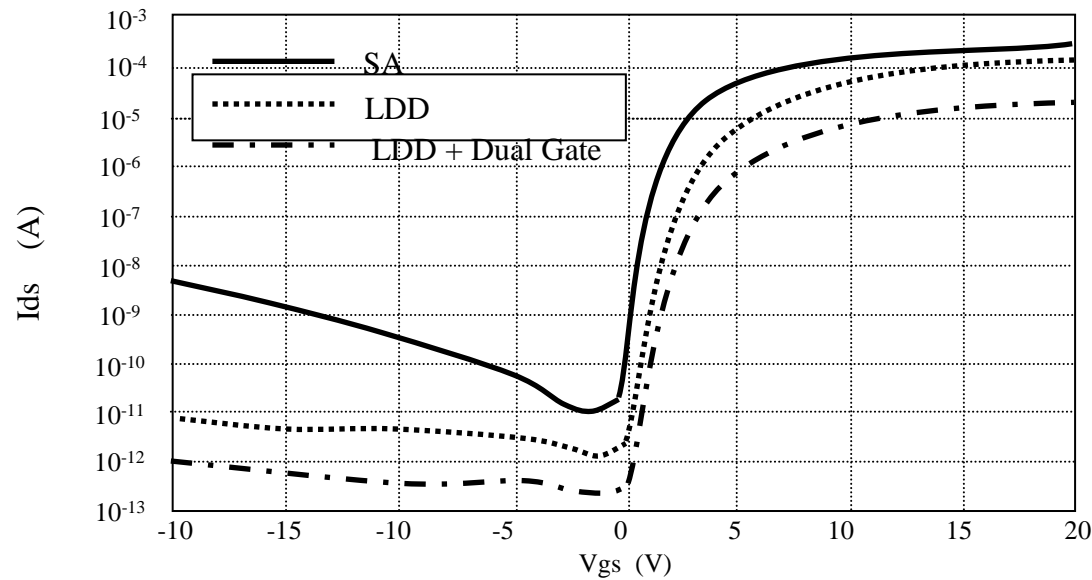
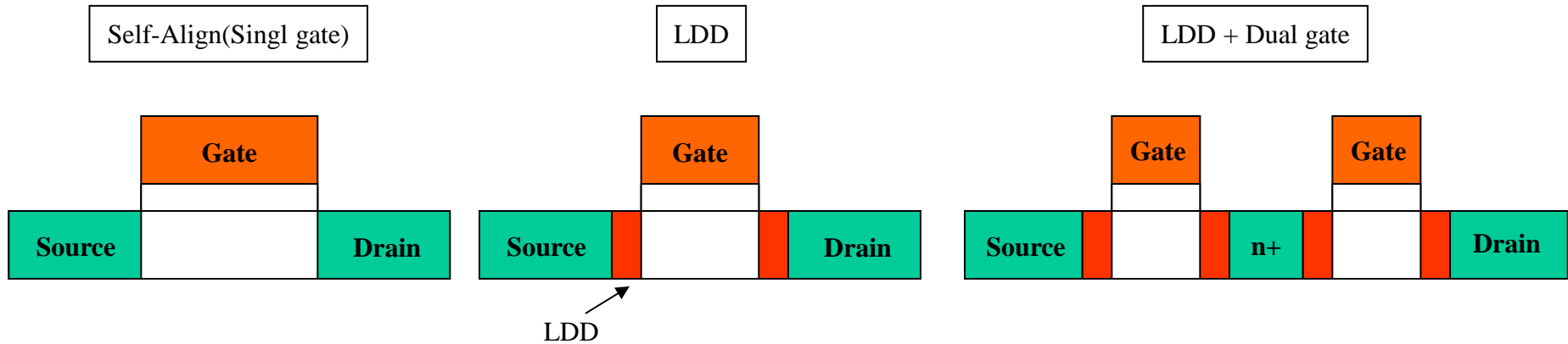


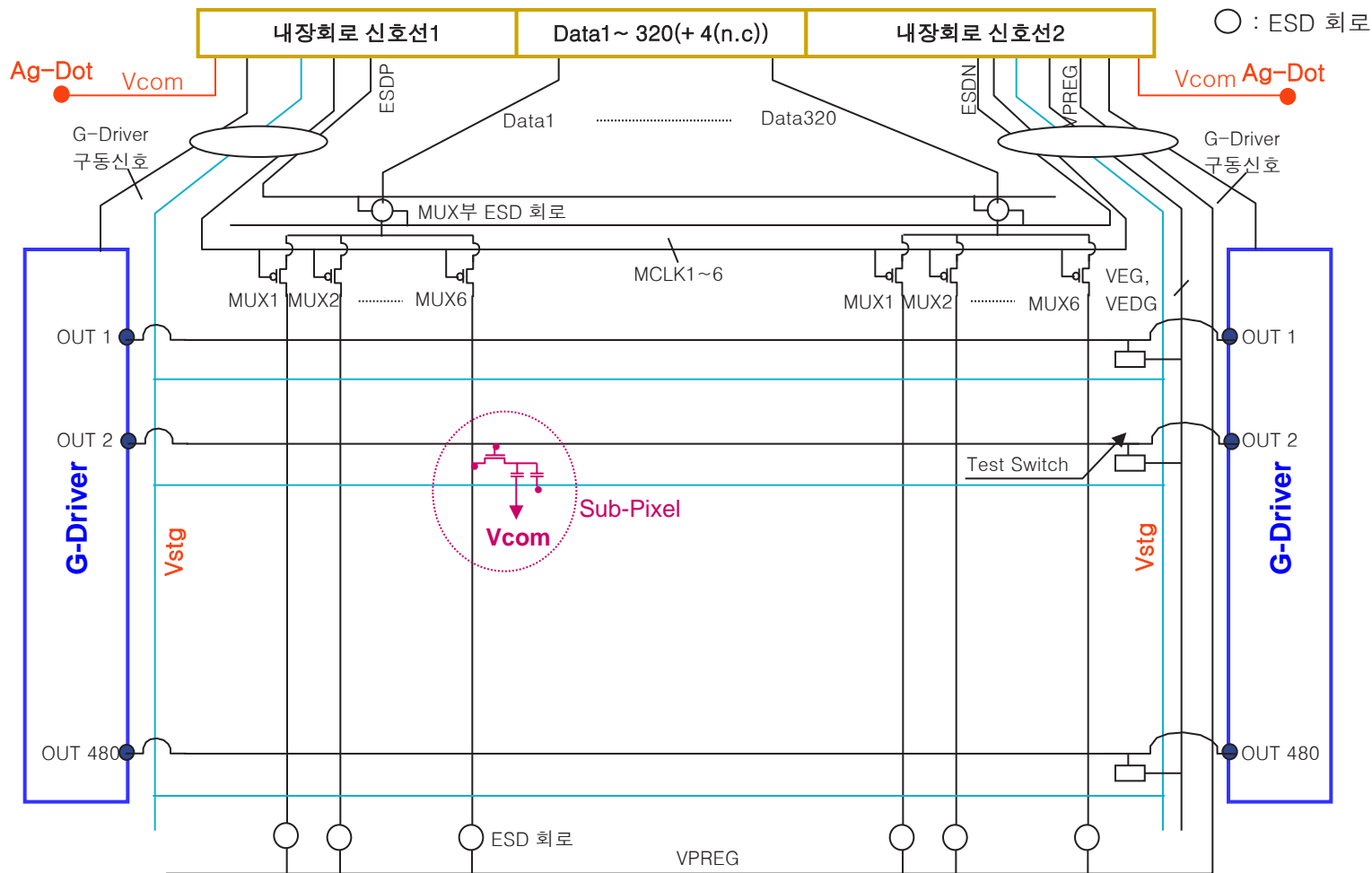
Vcom-Top



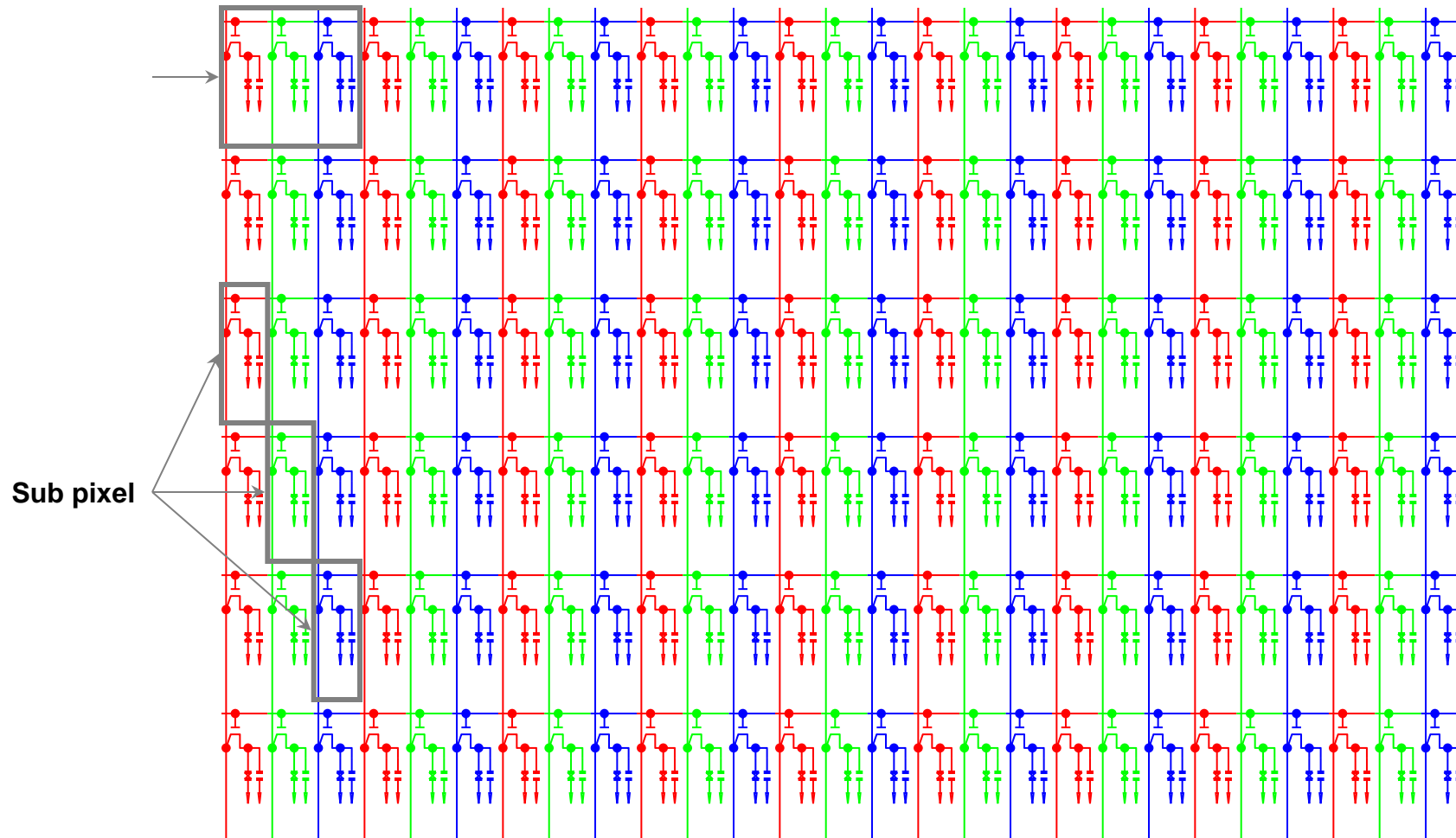
LTPS TFT Process (AH-IPS 9-Mask 구조)



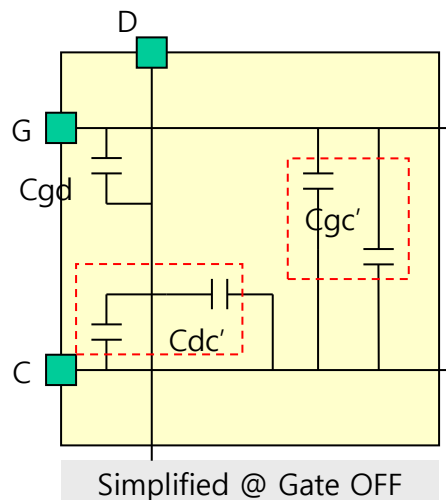
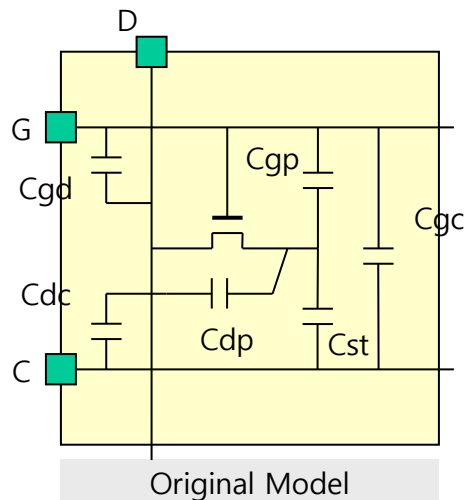
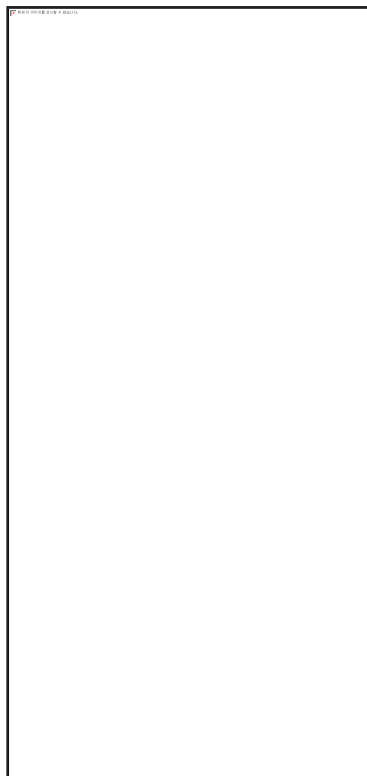




Pixel Arrangement

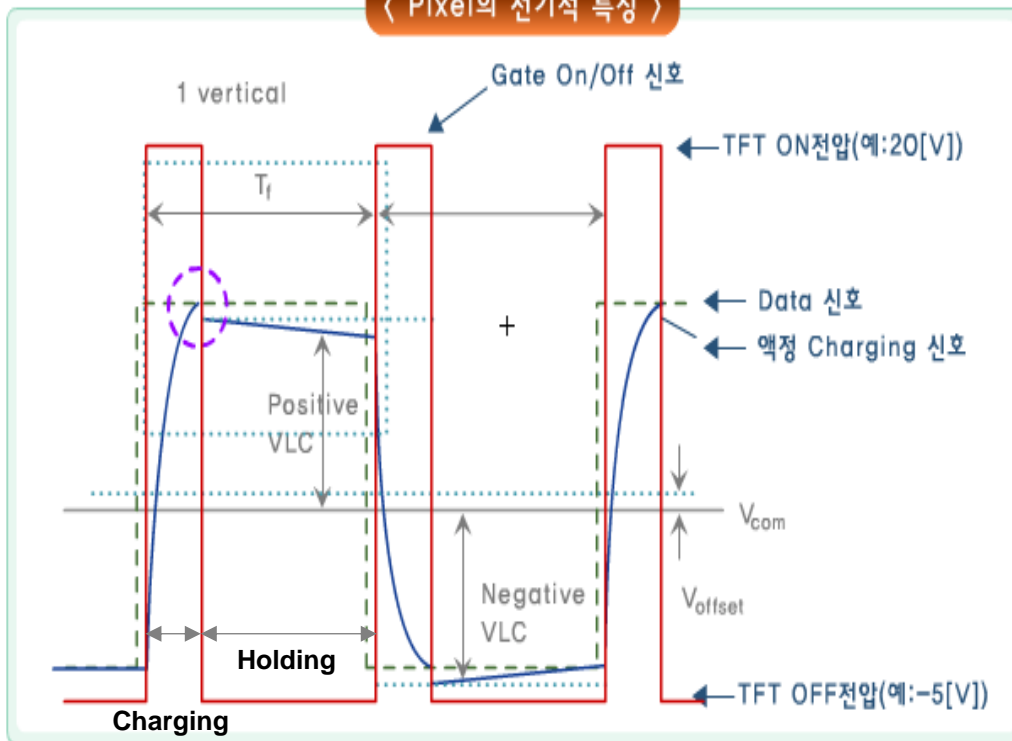


Pixel Parasitic Capacitance



| 명칭 | 정의 | 비고 |
|-----|--|--------------------------|
| Cst | A: Storage capacitance (hold능력을 좋게 하기 위한 보조 capacitance) | PXL 전압 Holding |
| Clc | B: 액정 고유의 capacitance | 액정 구동에 따라 변화 |
| Cdc | C : Data -Vcom | 소비 전력 증가 및 Data 신호 Delay |
| Cgs | D: Gate 와 Source 전극 사이의 parasitic capacitance | ΔV_p 유발 |
| Cdp | E: Data-PXL 횡 Cap. | Wavy, 수직 CT, 얼룩 유발 |
| Vgh | TFT 의 Gate on 전압 | |
| Vgl | TFT 의 Gate off 전압 | |

< Pixel의 전기적 특징 >



$$\Delta V_p = \frac{C_{gs}}{C_{lc} + C_{st} + C_{gs}} \Delta V_g (V_{gh} - V_{gl})$$

$$\Omega = \Delta V_{p_max} - \Delta V_{p_min}$$

| Parameter | 정의 |
|--------------|---------------------------|
| ΔV_p | 한 프레임동안 충전된 Pixel의 전압 변동량 |

→ Gate off 시점 전압drop 발생

: On/Off시 각 **Capacitor**들이 전체 전하량을 나눠가지면서 발생 → 정부극성의 비대칭 야기

→ **Flicker**와 잔상의 원인

PXL 구동의 이해

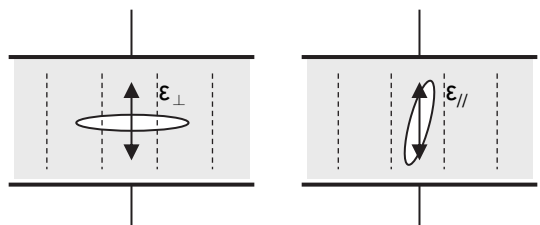
Clc - 액정을 둘러싼 **Vcom/PXL** 두 전극과 액정에 의해 형성되는 **Cap.**

- **Clc**의 경우 **Vcom**과 **PXL** 전압의 전위차와 그에 따라 반응하는 액정의 ' ϵ '에 의해 형성되는 **Cap.**으로 액정의 유전율에 따라 변화 되는 **Cap.** 이다.

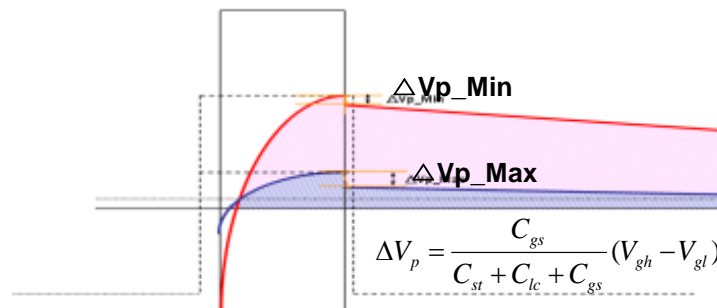
: $\Delta\epsilon$ 에 의해 **Clc** 변동 $\rightarrow \Delta V_p$ 변동 유발 $\rightarrow \Omega$ Value 발생 \rightarrow 최적 **Vcom** 변동 유발 \rightarrow **Flicker/잔상**

\rightarrow 최근 이를 보상하기 위해 **Gray별 Vcom**을 다르게 적용하여 **Data** 전압을 설정하는 ΔV_{com} 방식을 적용 하기도 한다.

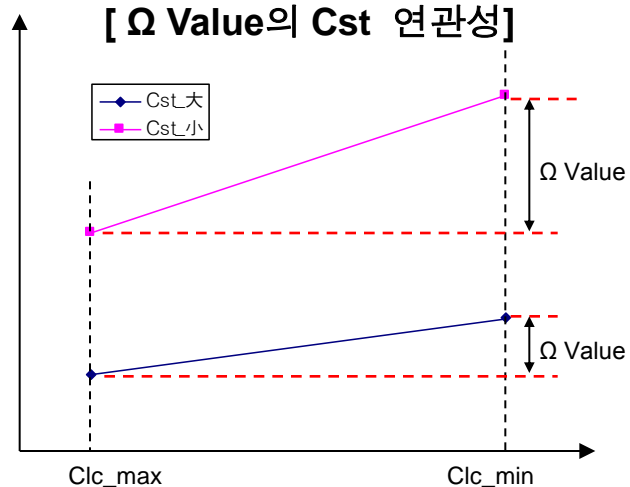
[액정의 유전율 이방성]



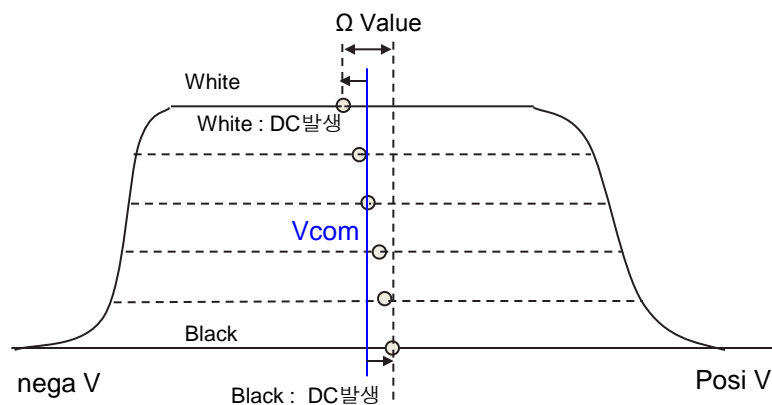
[Clc에 의한 ΔV_p 변동]



[Ω Value의 Cst 연관성]



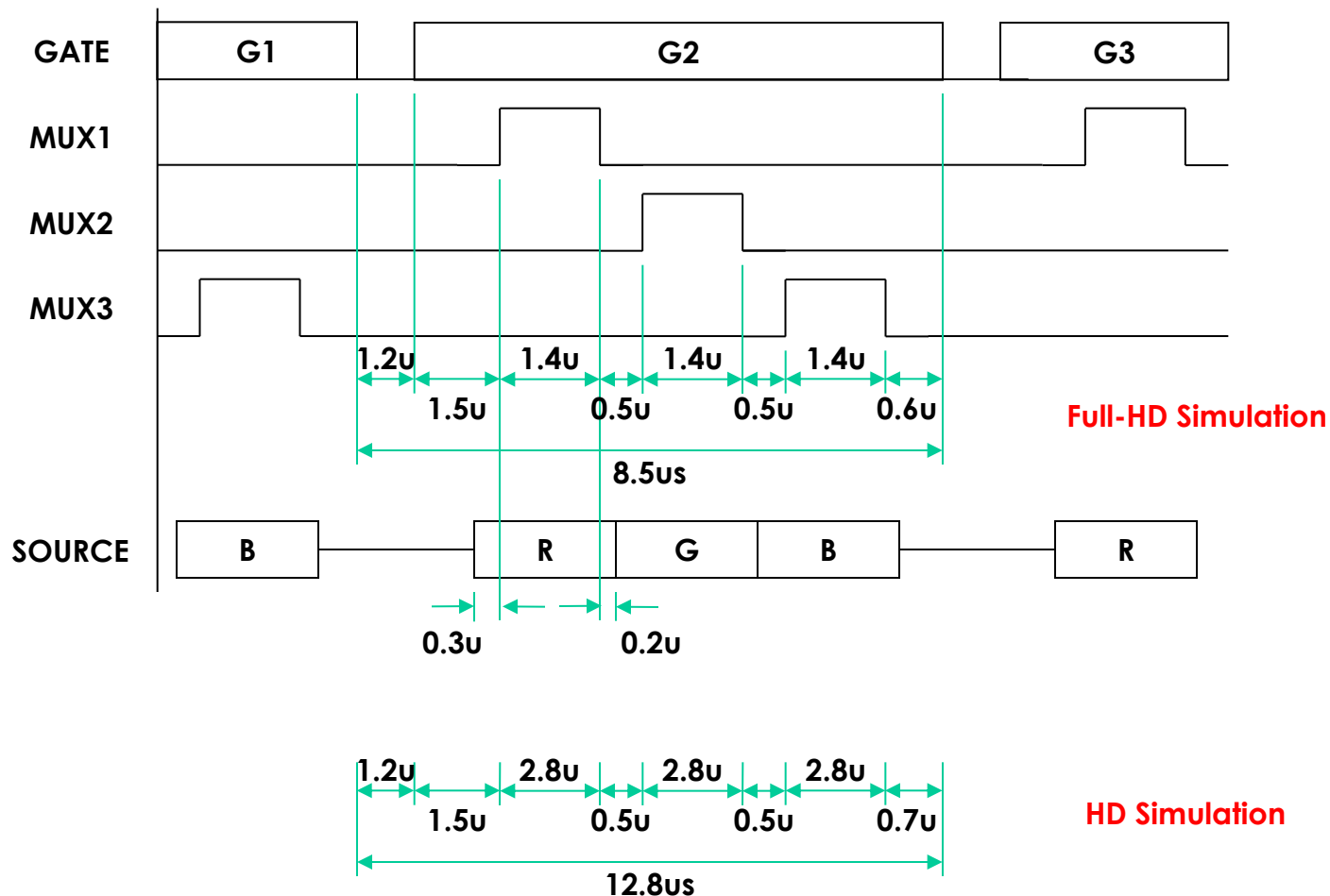
[Ω Value에 의한 DC 발생]



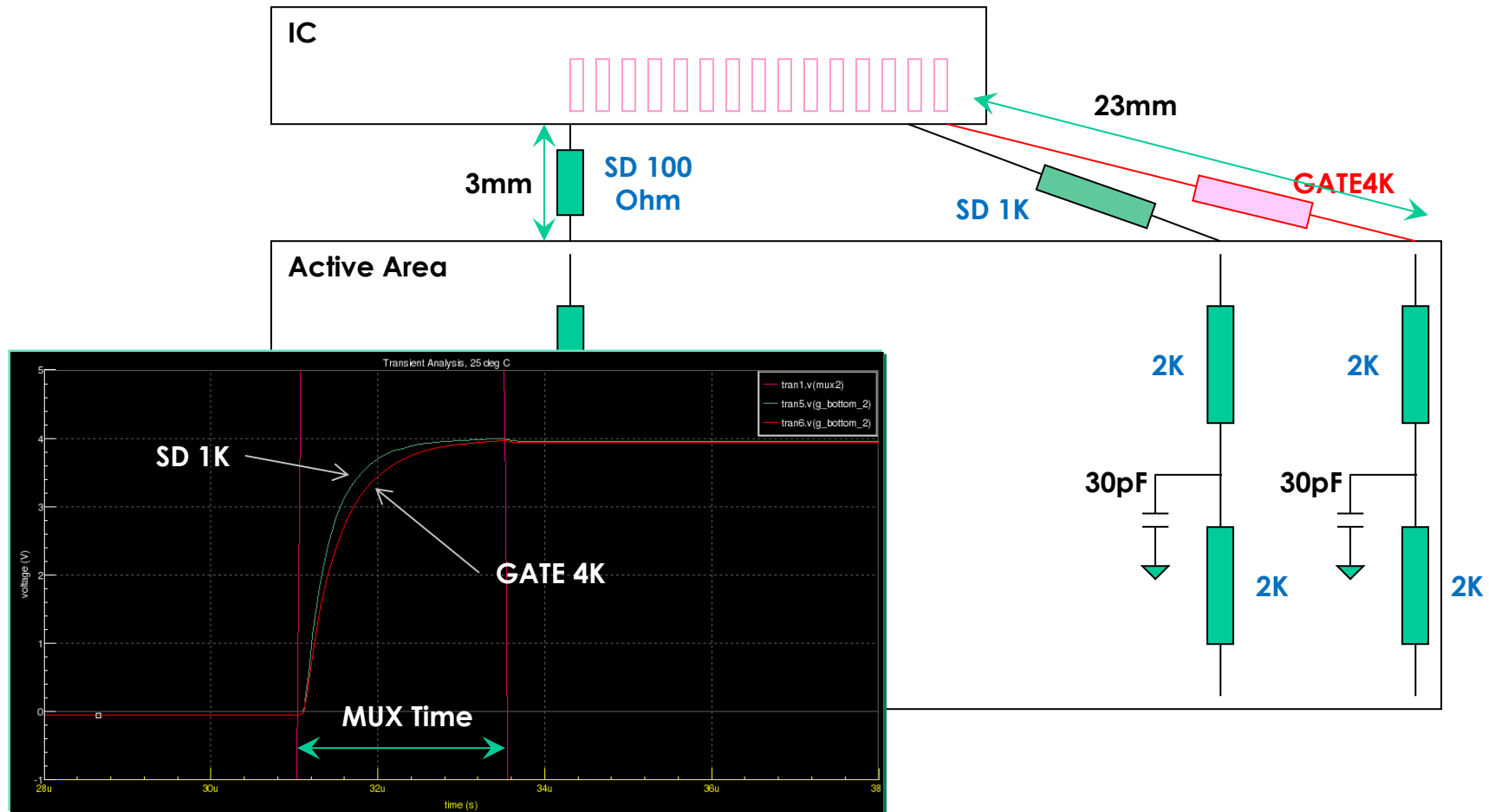
1020 x 1280 Panel Settling Simulation Timing



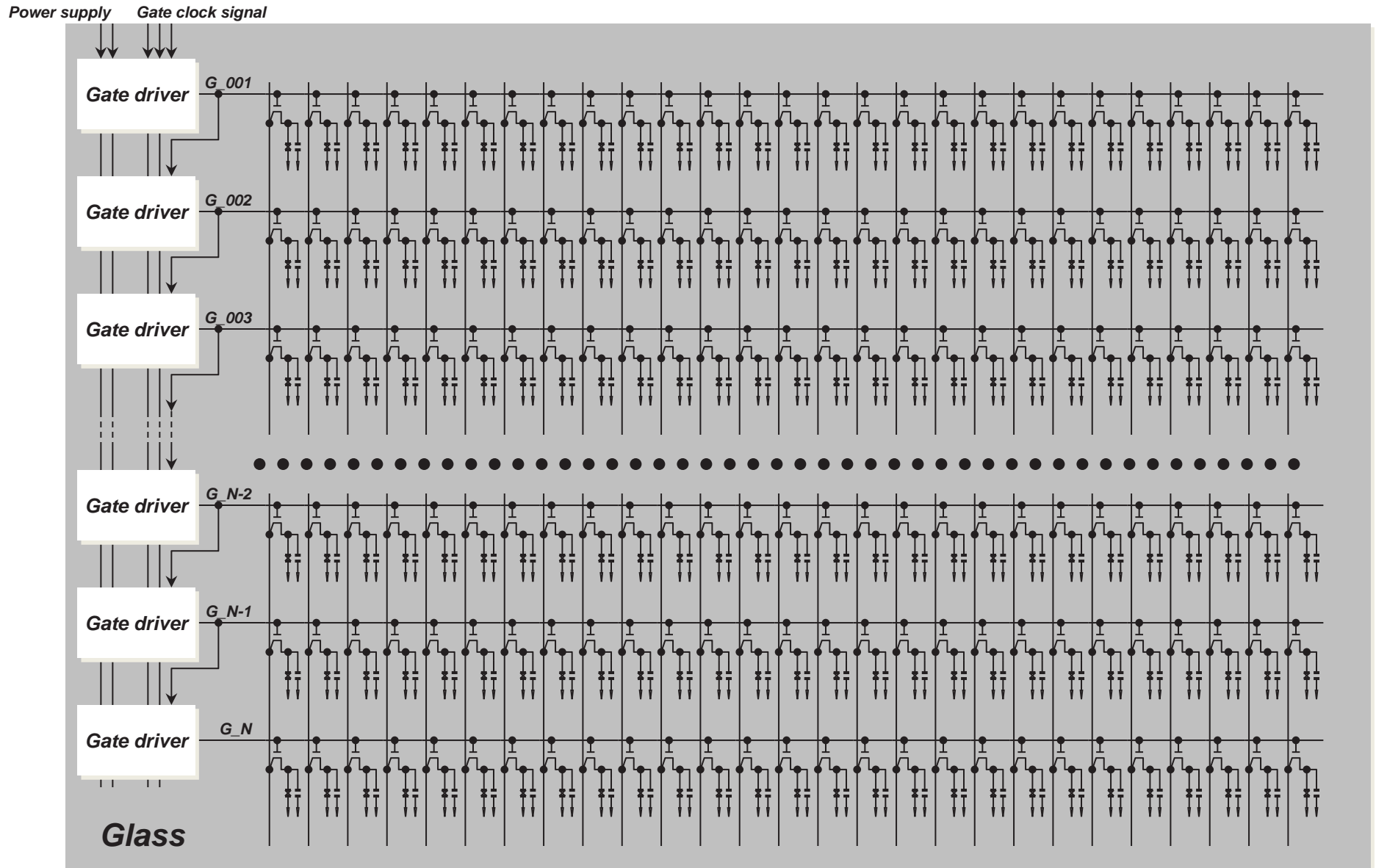
➤ Linetime 8.5us

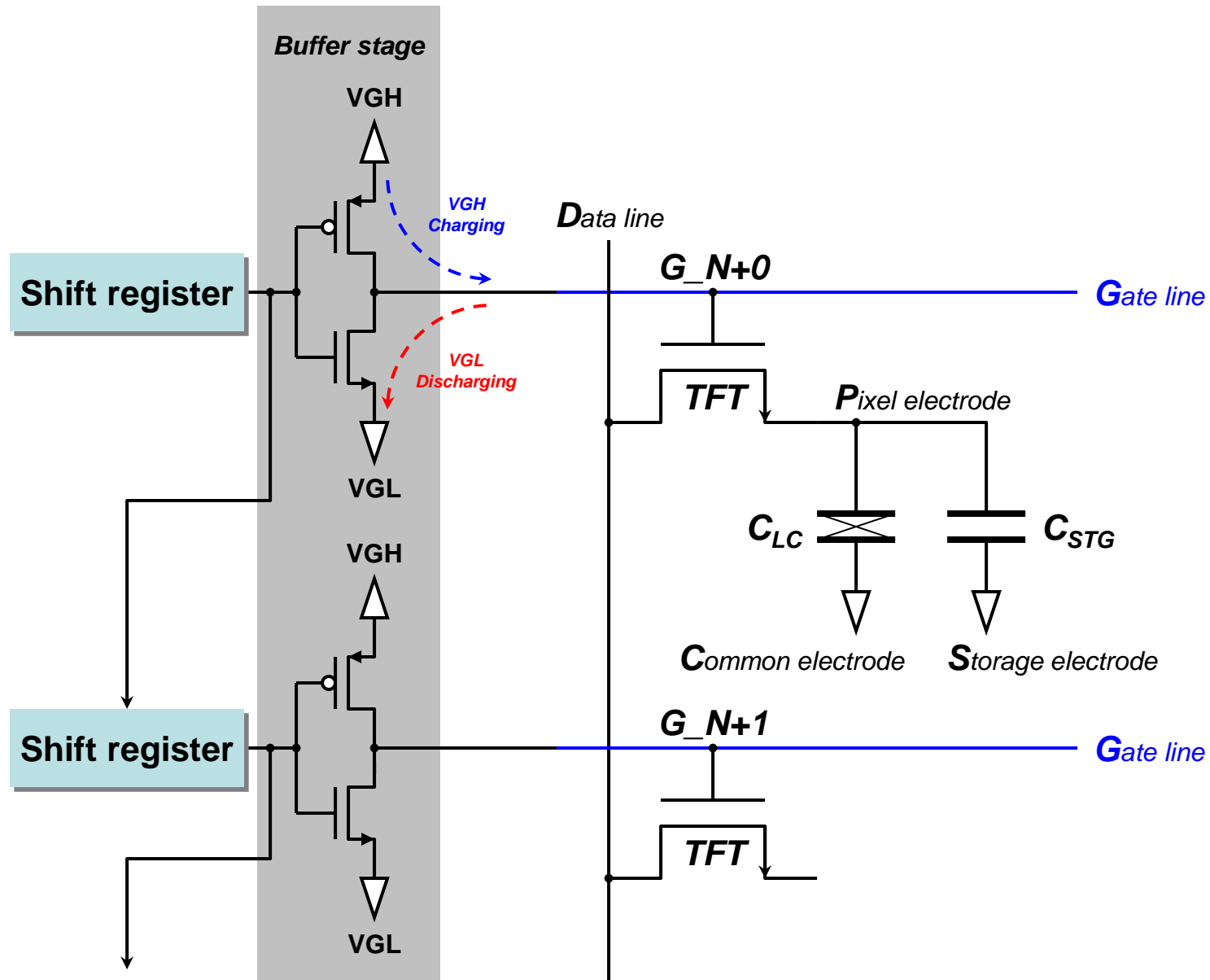


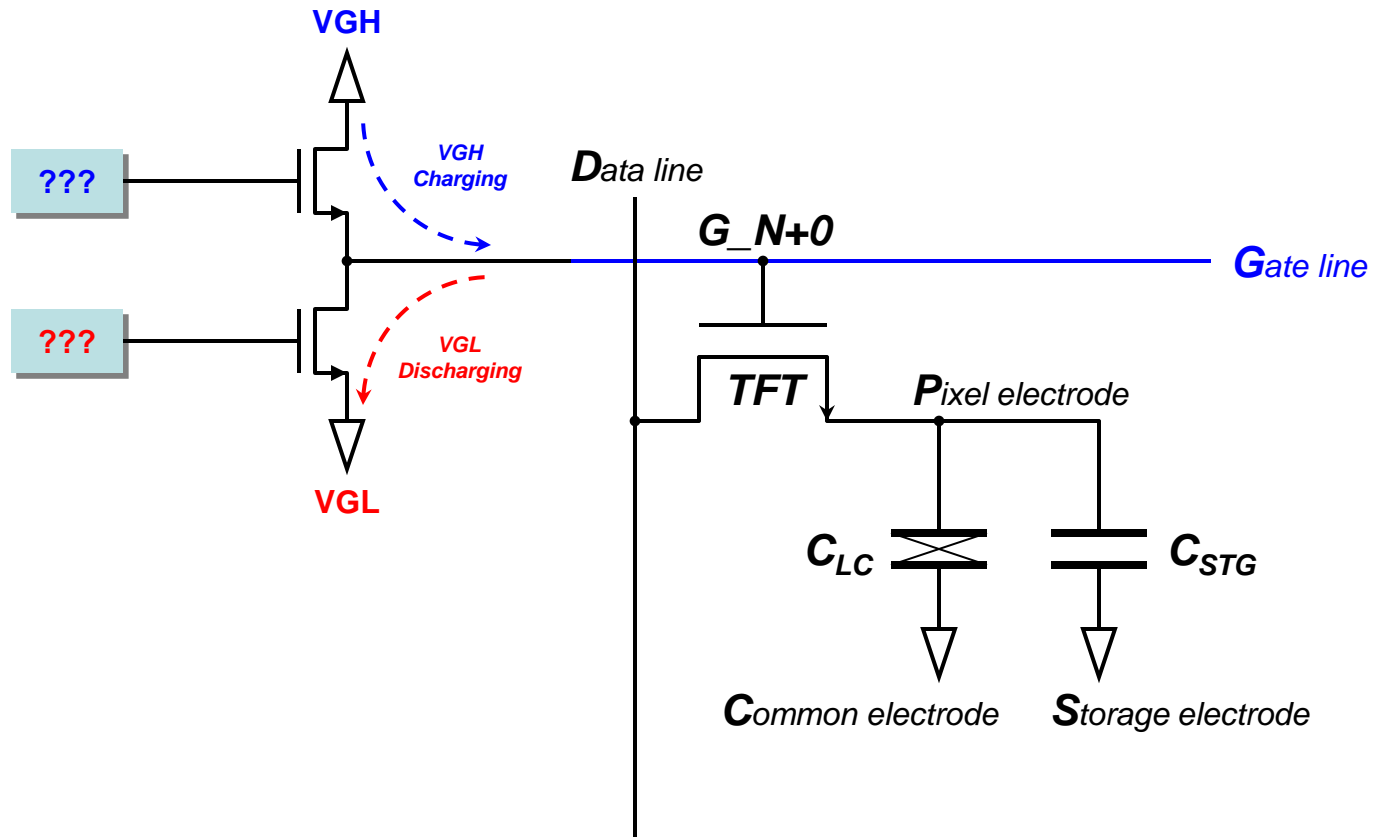
Charging Simulation

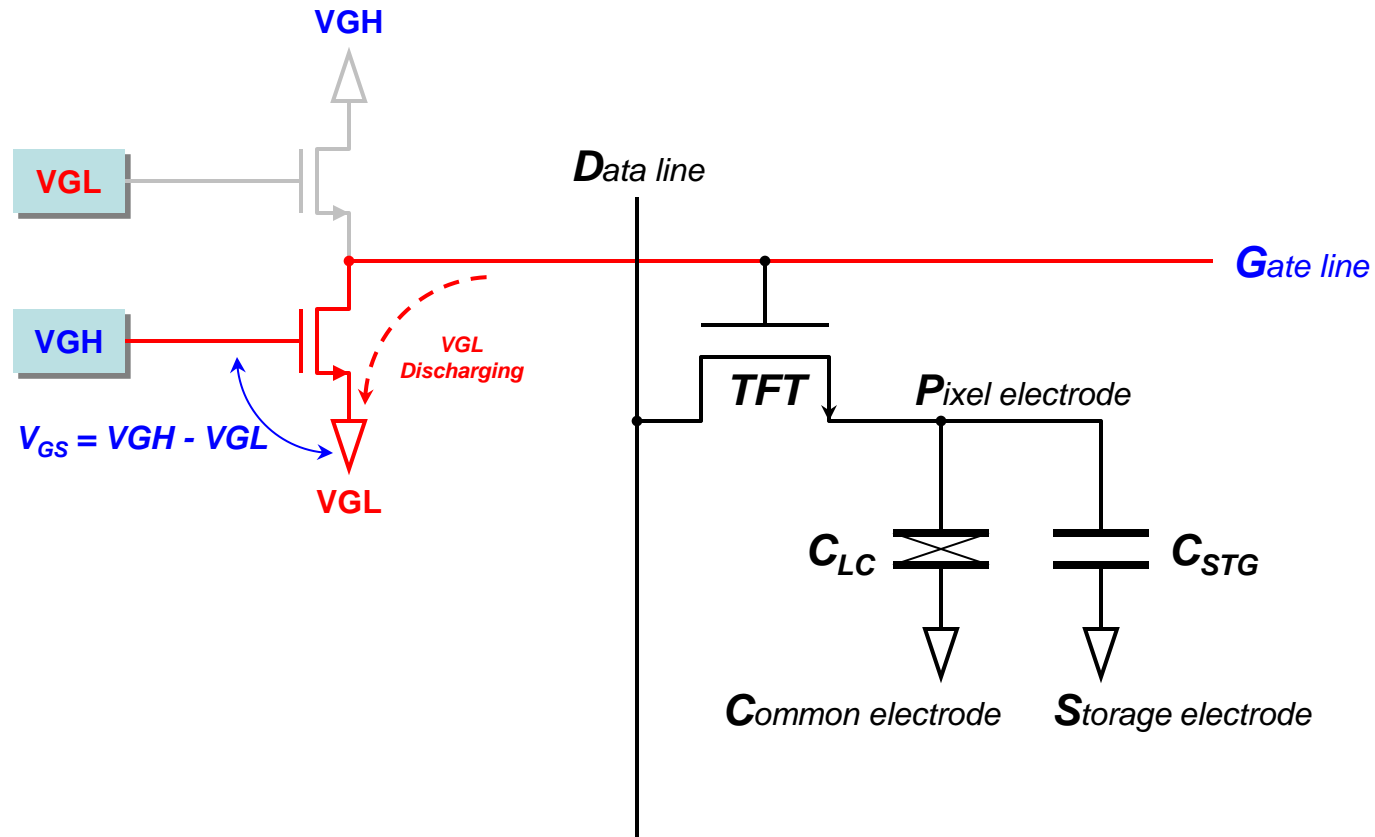


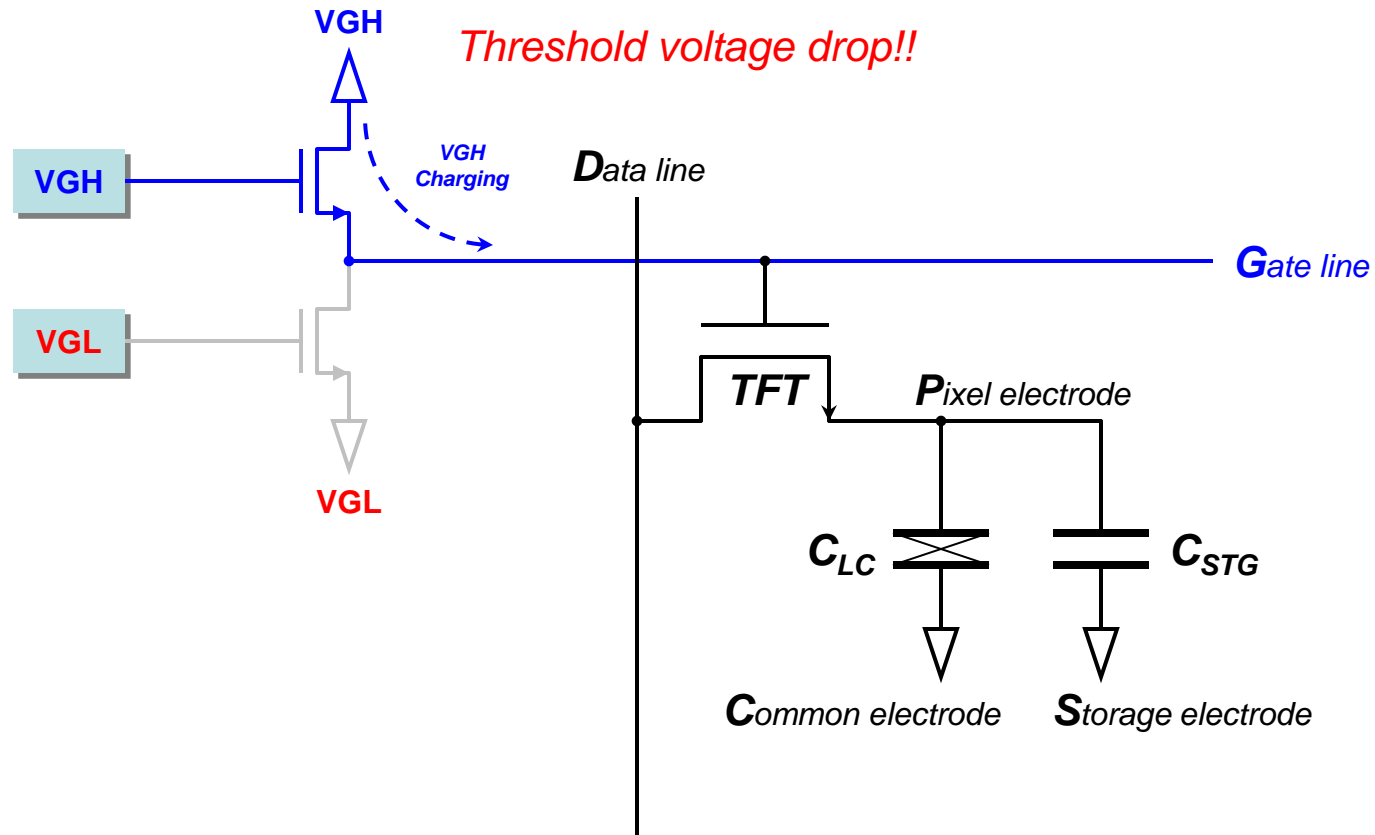
Gate Addressing

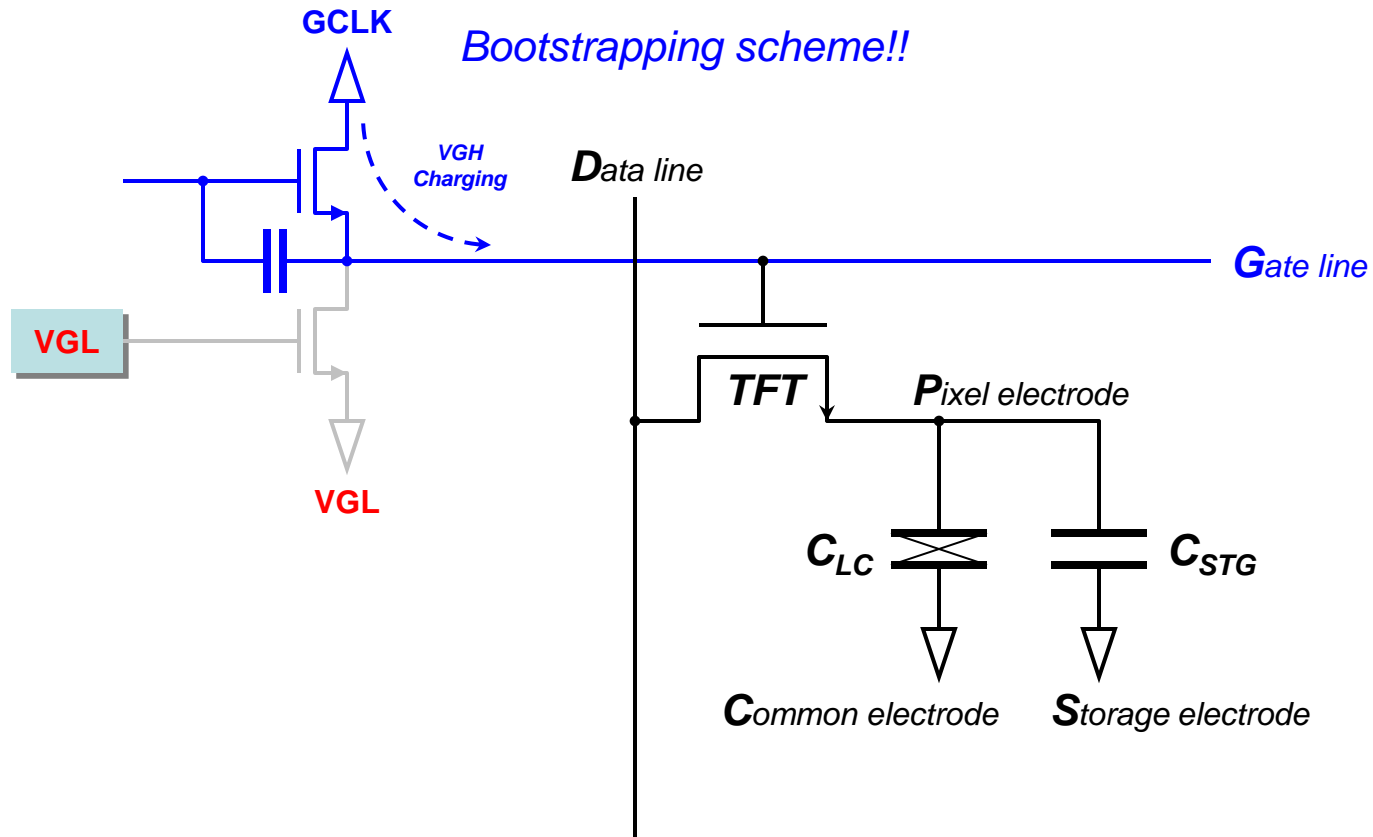






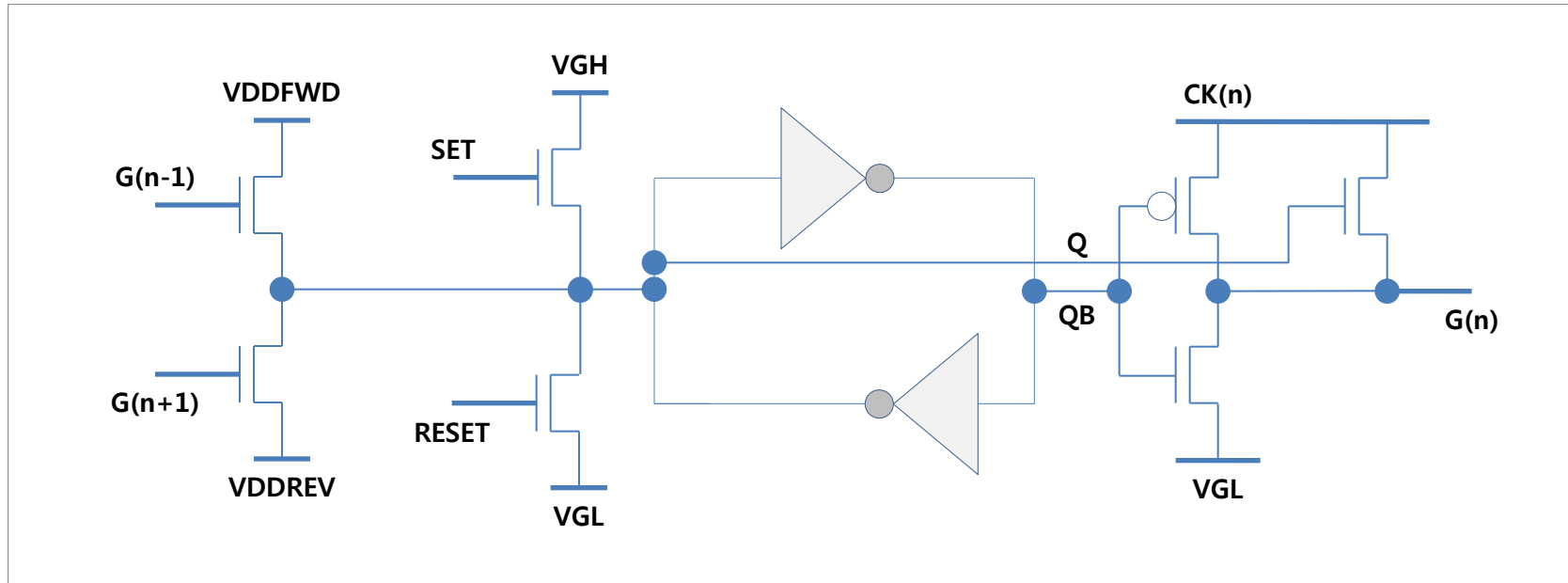






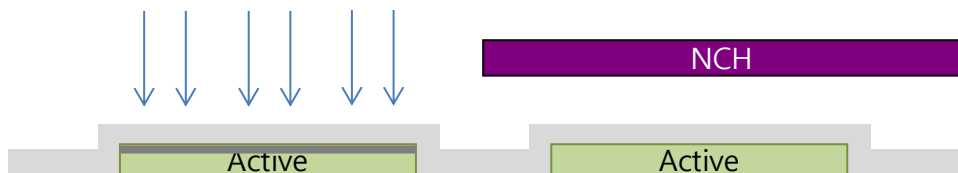
[illegible]

cMOS 회로는 Q, QB node가 floating되어 있지 않고 그 앞 단의 latch 회로가 일정 전압으로 hold하고 있음.



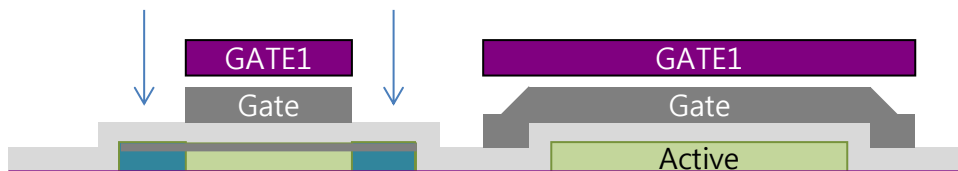
Self-LDD cMOS Process Sequence

nMOS 공정에서 GATE → GATE1(NPL), GATE2(PPL) 공정으로 나누고 NCH 공정 추가, 총 2 Photo Step 증가



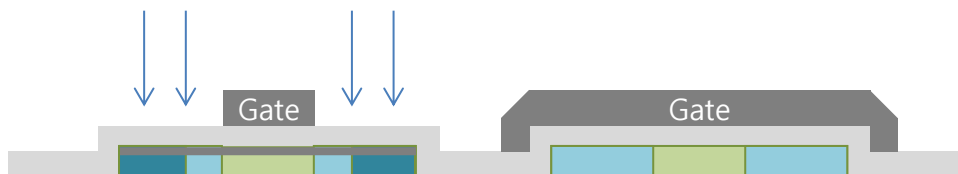
NCH Implant

NCH



Gate1 Photo/Etch

GATE1/NPL



Gate1 Ashing
N- Implant (No Mask)



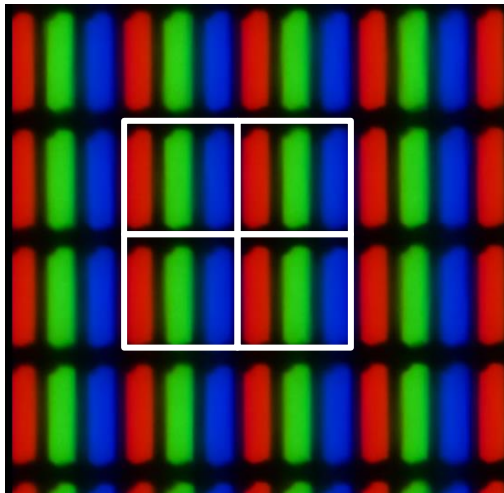
Gate2 Photo/Etch

GATE2/PPL

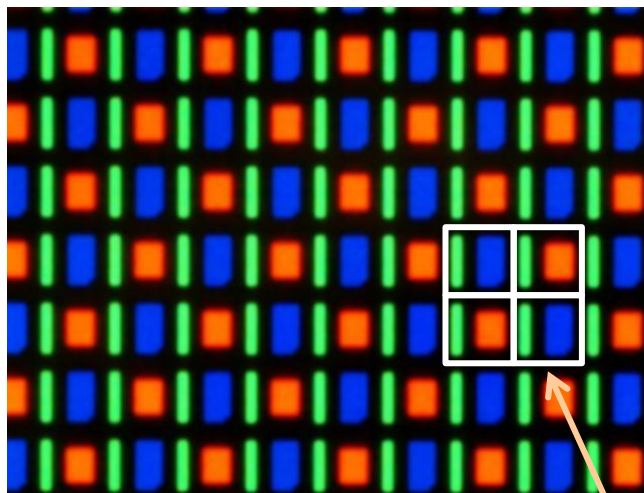
UHD Mobile을 2015. 출시 준비 중임.

| | HD | FHD | QHD | UHD |
|---------------------|-------------------|-------------------|-------------------|-------------------|
| 해상도 | 720 x 1280 | 1080 x 1920 | 1440 x 2560 | 2160 x 3840 |
| Pixel Size | 25um x 75um @4.3" | 20um x 60um @5.2" | 15um x 45um @5.2" | 10um x 30um @5.2" |
| Cst | 160 fF | 120 fF | 80 fF | 40 fF (개선 필요) |
| 1H | 13 us | 8.6 us | 6.5 us | 4.3 us |
| 충전 시간 (MUX ON Time) | 2.7 us | 1.6 us | 1.2 us | 0.85 us (2MUX 기준) |
| MP | Apple Retina | LGE G2 | LGE G3 | 2015. |
| Remark | | | | Mplus |

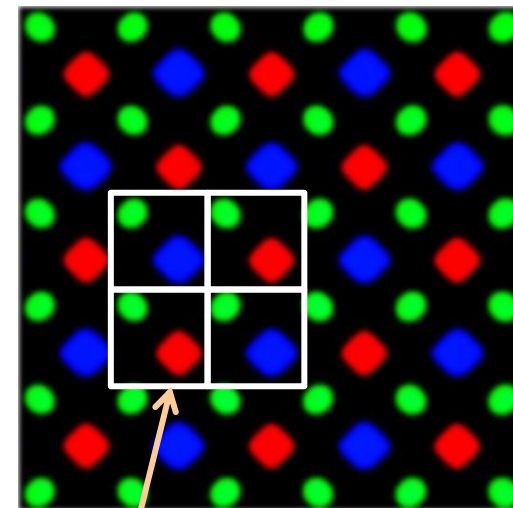
AMOLED는 Real 해상도가 아님. 하나의 픽셀에 두 개의 subpixel 밖에 없어서 개별적으로 모든 색깔을 표현할 수 없음.



Real RGB
LG G3



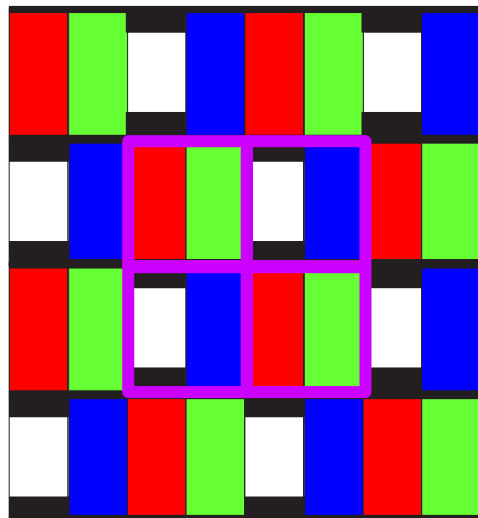
Pentile RGBG
Nexus One AMOLED



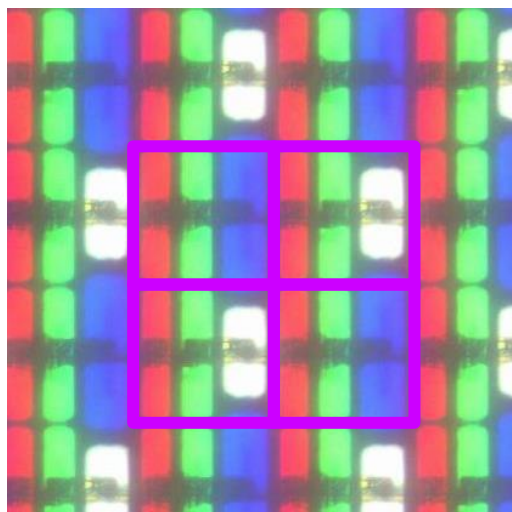
Diamond RGBG
Galaxy S5 AMOLED

Pixel Counting
Only two sub-pixels in one pixel

UHD는 Real UHD와 M+ Rendering 기술을 모두 준비하고 있음.



비대칭 RGBW
(RGB 개구율 극대화)

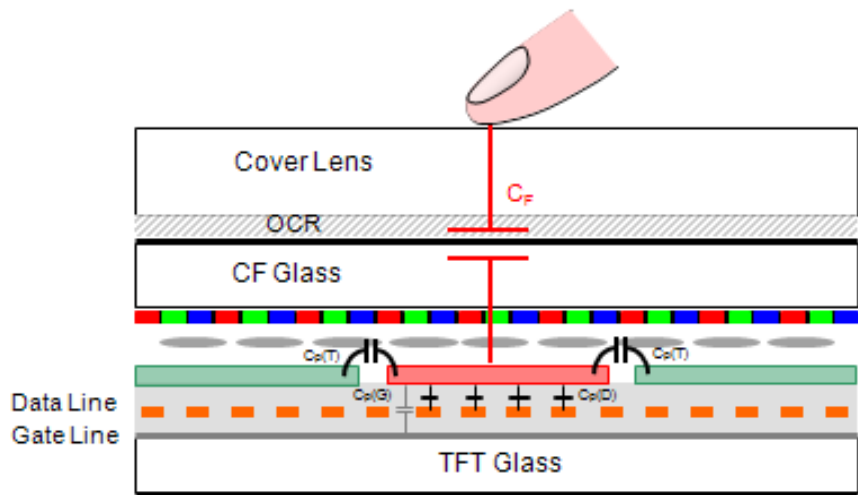


White Magic, JDI
(RGB/RGW)

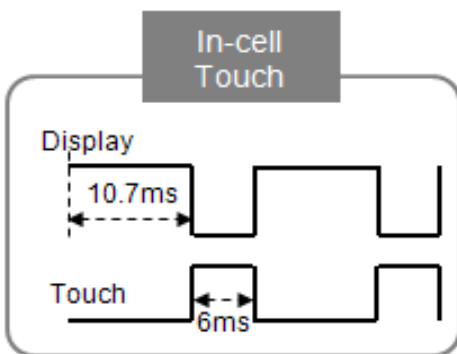
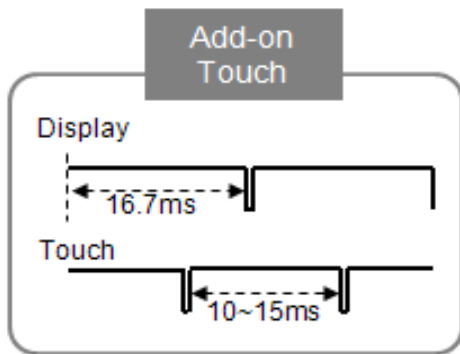
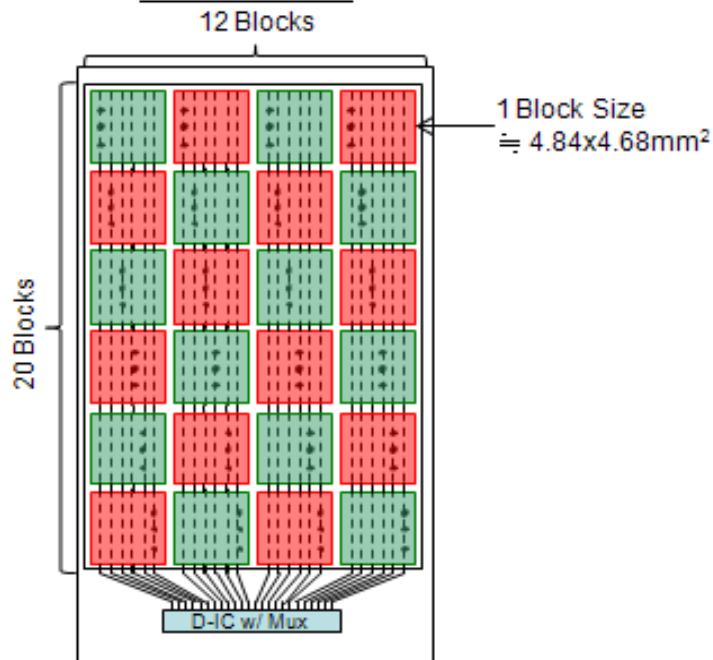
| | Real RGB | White Magic (JDI) | M+B RGBW (LGD) |
|-------------------|-----------------------|-----------------------|--------------------------|
| Configuration | RGB/RGB in two-pixels | RGB/RGW in two-pixels | RG/BW in two-pixels |
| 최대 휘도 (야외 시인성) | 400 nit | 800 nit | 800 nit |
| RGB 순색 휘도 (W OFF) | 400 nit | < 400 nit (순색 휘도 저하) | > 400 nit (+10%) |
| 소비 전력 | 1000 mW | 800 mW | 800 mW |
| 하단 베젤 | 7.2 mm w/ UHD 2MUX | 7.2 mm w/ UHD 2MUX | 6.3mm w/ UHD 2MUX (-1mm) |

AIT(Advanced In-cell Touch)는 AH-IPS의 Vcom 전극을 Block 단위로 분할하여 Self Cap. 방식으로 All Point Sensing 이 가능한 LGD의 독자적인 In-cell Touch 임.

Cross-Sectional View



Plane View



→ Display asynchronous sensing

→ Display time sharing sensing

- Vcom 전극을 여러 Block 으로 분할하여 Line으로 연결하는 구조임.
- 각각의 Touch Block은 Self Cap. 방식으로 구동됨.
- 각각의 Block 전극은 Display시에는 Vcom 전극으로 Touch시에는 Sensing 전극으로 활용됨.

AIT 주요 구성 요소

- 각각의 좌표에 해당하는 Touch Block 으로 구성, Block 별로 구분되는 Vcom 전극을 이용.
- 각 Block 의 VCOM 전극은 A/A 내의 Touch Trace (M3) 를 통해 IC 와 연결 (Bezel 최소화)

AIT 주요 구동 특성

- Display 와 Touch 시분할을 위한 Vcom전압 및 Touch Pulse전압 Switching(D-IC 내장)
- Touch IC 채널수 감소를 위해 Touch 채널 Mux 구동(D-IC 내장)
- Parasitic Cap. 저감을 위한 Vertical All Sensing Scheme 구현
- DTX Noise 는 Compensation algorithm 을 통해 개선.

