

Cadence PCB 信号和电源完整性

简化数字电路板高速互联的实现

Cadence 集成了高速设计与分析环境，以简化在数字印刷电路板（PCB）系统上高速互联创建。通过一系列从简单到高级的功能使得电子工程师能够非常容易地探索、优化和解决电气性能相关的问题。无论是在设计周期的哪一个阶段，通过约束驱动的设计流程，上述高速设计与分析环境都可以提高设计一次性成功的可能性，从而降低最终产品的总成本。

Cadence PCB 信号和电源完整性

Cadence PCB 信号完整性 (SI) 和电源完整性技术(PI)提供了可调整、高性价比并且支持前仿真和后仿真的系统互联设计和分析环境。Cadence PCB SI 和 PI 产品与 Cadence Allegro PCB 编辑器、Allegro PCB 布线器、Allegro Design Entry HDL 和 Allegro System Architect 紧密结合，能够实现从前端到后端、约束驱动的高速 PCB 系统设计。

Cadence PCB SI 技术让设计师能够在整个设计过程中解决高速问题、从而能够解决高密度、高复杂度和高速边沿变化率等不断挑战带来的问题。通过这种方法，设计团队不需要在设计过程的后期进行耗时的仿真——修复——再仿真的反复验证。它还让设计团队在最大化系统电气性能的同时最小化成品的总成本。除了支持 Cadence DML 建模外，IBIS 建模标准也已经原生支持，而晶体管级模型可以通过原生的 Spice 仿真器以及一个向导来执行导入。另外，工程师可以通过将生产容差加入拓扑仿真来提高产量（成品率）。

Cadence PCB SI 技术集成的设计和

分析环境使的设计师不再需要转换设计数据库进行仿真。设计师还可通过考虑封装设计对芯片间传输的信号整体表现的影响，从而更精确地解决时序预算的问题。此设计流程让设计师能够轻松执行对复杂的高速 PCB 系统布线前和布线后的模型提取与仿真实验。

优势

- 高度集成的设计和分析环境避免设计转换带来的错误和时间消耗。
- 简单易用的布线前分析（前仿真）工具引入了一个设计方法，可以通过一致的、从前端到后端的约束管理系统简化布线后的设计验证。
- 电源稳定性和供给可以通过 DC 和 AC 电源分析得以优化。
- 串行设计方法支持采用前仿真和后仿真的方式，通过使用最新的业界标准 IBIS-AMI 模型执行快速、精确而且详细的超大码长仿真，从而指导设计。
- 复杂的源同步并行接口的时序预算可以使用优化的总线分析解决方案有效地确认。

特性

集成的高速设计和分析

Allegro PCB SI 可以对 Allegro PCB 编辑器的数据库进行读写操作，从而避免可能出现的转换问题，并且允许将约束规则和模型嵌入到电路板设计文件中（见图 1）。集成的设计和分析系统关注于从前端到后端的的多网络电路架构的逻辑设计到物理实现。例如，差分对和拓展网络（带有串联匹配的网络）会作为一个电网络进行识别、提取和仿真，无论是在原理图中还是电路板设计中。SigXplorer 模块，集成在逻辑设计（原理图）或物理设计（电路板）设计工具中，提供了一个图形化的界面，可以查看由输入输出缓冲器、传输线、过孔等构成的复杂拓扑网络，并可以修改参数执行假设分析（what-if）仿真，而不必在实际电路中修改。SigXplorer 还允许工程师扫描拓扑中变量参数以确认拓扑解决方案空间（各项参数的容差），并将这些要求加入约束管理器中指导 PCB 设计。输入输出缓冲器可以使用多种流行的技术（模型标准）包括业界标准 IBIS 模型和加密 SPICE 模型。

约束驱动的设计方法

Cadence PCB SI 技术与 Allegro PCB 设计平台的约束管理器紧密无缝地协同工作。源自仿真度的约束规则可以在 SigXplorer 拓扑界面中集成成一个电气约束规则集 (ECsets)。这些电气约束规则集可以通过约束管理器应用到其它网络中。Allegro PCB SI、Allegro Design Entry HDL 和 Allegro PCB Designer 中都包含了约束管理器, 可以让设计师通过仿真和参数扫描分析建立约束规则, 并实现从前端到后端、约束驱动的设计过程。

电源完整性

Allegro PCB SI 带有直流和交流电源完整性功能。包含静态电阻压降 (直流) 分析技术, 可以验证电源分布系统是否能够提供足够的电流以驱动信号。分析考虑了传输线颈变窄带来的影响, 在紧密的针脚栅格阵列的元件会在针脚间或过孔间造成狭窄铜皮带来的影响, 以及电源和地平面层上的走线造成的有效铜皮减小带来的影响。分析还考虑了所有过孔连接多个同名网络地平面带来的影响。分析的结果可以在一个图形化的电压降低界面中显示 (见图 3) 或是将所有设定为电流吸收针脚的电压下降显示在一个报告中。用户还可以查看网络上任意点的相对和绝对压降。

交流电源完整性 (分析) 在 Allegro PCB PDN Analysis 中实现。后者是 Allegro PCB SI 的一个选项。Allegro PCB PDN Analysis 是一个特有的、集成的设计和分析环境, 可以避免在电源供给网络的噪声量化和控制时的不确定性。用户可以更多地关注于设计, 而不需要费力解决 ECAD 系统与分析引擎间可能出现的数

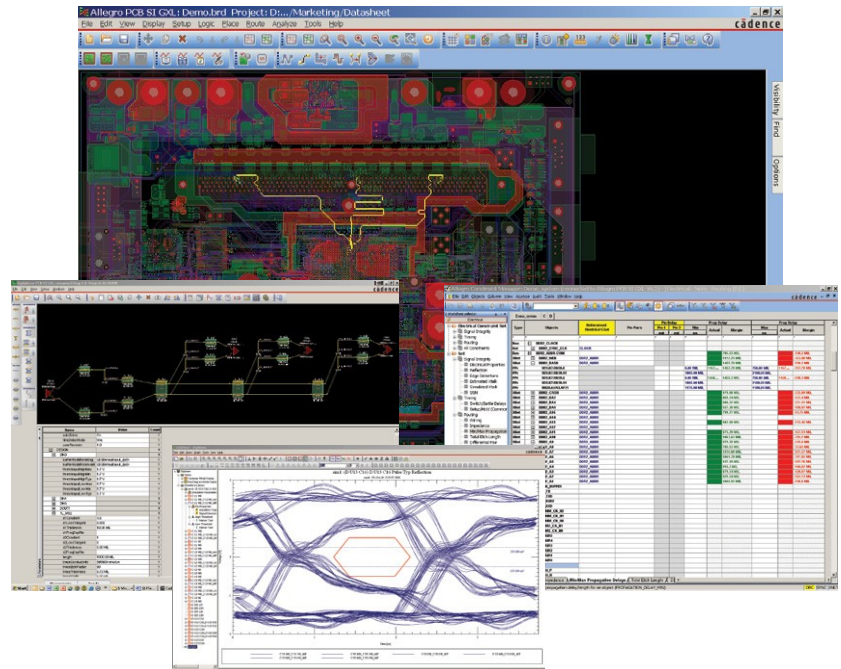


图 1 使用 Allegro PCB SI, 在电路板中分析选中的信号或者将这些信号提取到 SigXplorer 模块的过程中, 不需要进行任何转换; 分析结果会在与 Allegro PCB 编辑器相同的约束管理器中报告。

将已验证的技术集成到 Cadence 设计和分析环境中, 以处理高速设计引入的电源供给问题。

Allegro PCB PDN Analysis 的频域仿真允许用户仿真频域中存在的问题, 在特定的频段内量化电源供给系统的阻抗。另外, 去耦电容的选择和布局可以在时域中验证, 电压纹波也可以在此得以测量和优化。

在 Allegro PCB PDN Analysis 中, 芯片电流概况精确地描述了目标阻抗的特征。另外, 芯片电容和封装电感, 或者晶

元电源分布模型, 可以被指定到电路板上某个两维铜皮上的假设位置, 以执行频域或时域仿真。

串行设计方法

当工程师面对如今越来越快的传输速率要求时, 接口的任意部分也显得更为复杂。收发器的动态均衡化与时钟和数据重建算法特性需要更高级的建模技术。芯片封装模型需要使用 S 参数以更精确地描述从晶元到封装针脚的互联特性。PCB 架构, 例如信号损耗、介质材料的频率影

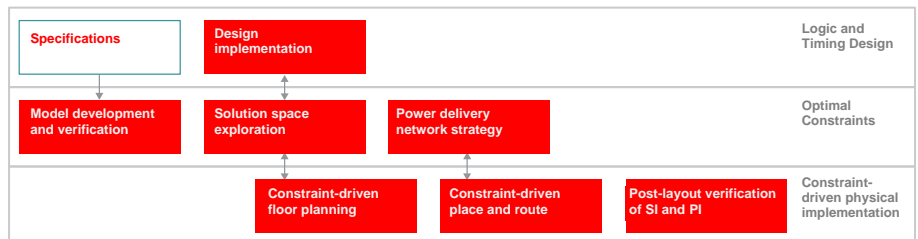


图 2 Allegro PCB SI 及其 PDN Analysis 选项允许工程师在一个约束驱动的设计流程中研发最优化的约束规则和电源去耦方案

响和非连续阻抗等，也必须通过精确的宽带 S 参数互联模型进行细节性描述。

Allegro PCB SI 解决方案集成的场求解器（包含二维全波 FEM），支持最新的描述串行/解串流程的 IBIS 5.x 算法模型接口（AMI）标准，以及精确的分析法过孔建模（支持窄带、宽带和 S 参数建模）。

Allegro PCB SI 的通道仿真功能是一个单独集成的准确的解决方案，用于串行连接设计和兼容性测试。它包含了从晶元到晶元精确建模，以及超大码长（数百万比特）仿真和统计分析技术，从而可以确保业界串行传输标准协议如 PCIE 和 SATA 等的电气兼容性。

带有兼容眼状掩码的眼图，以及噪声曲线（误码率曲线）在工程师所必须测量的接口兼容性波形特性之中。（见图 4。）相对于半导体和串行器/解串器供应商所提供的私有工具，使用 Allegro PCB SI，工程师可以更彻底、更有效率地执行串行连接分析。

源同步总线分析方法

Allegro PCB SI 提供了迅速而简易的方法进行所有与源同步总线相关信号的后仿真分析。它可以缩短带有或不带有芯片内建端接电阻（ODT）的源同步总线功能相关的个各种配置（读写、激活、空闲）的仿真时间。Allegro PCB SI 解决方案允许将信号关联起来并将这种关联关系保存到设计数据库中。用户可以选择仅仅执行反射分析，或者是包含串扰的全面分析。Allegro PCB SI 允许用户对源同步总线中不同的信号设置自定义的减额表格（derating table），并据之计算信号的建立和保持时间裕量。（见图 5。）

额外的特性

评估串扰——这个特性允许用户通

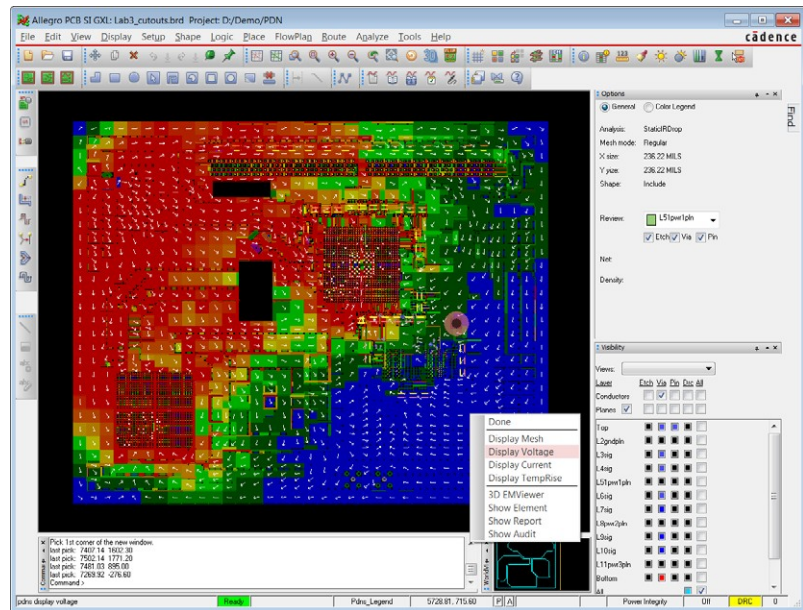


图 3 静态压降分析可以与信号完整性分析相同的用户界面下执行，工程师可以在一个单一的环境中确认电源供给和信号质量。

过创建串扰表格驱动在交互式 and 自动布线中控制串扰预算来减少所需的布线层数目。

设计关联（封装基板到电路板或者多电路板）——多电路板和芯片封装基板设计中的互联可以使用 Allegro PCB SI 设计关联技术结合在一起，从而分析历经封

装基板、电路板和连接器，从晶元到晶元的信号特性。

EMI 分析和规则检查——单线或多线的 EMI 仿真综合规则检查引擎，EMControl，使工程师能够执行电磁兼容设计。

模型综合（编辑器）——用户可以在

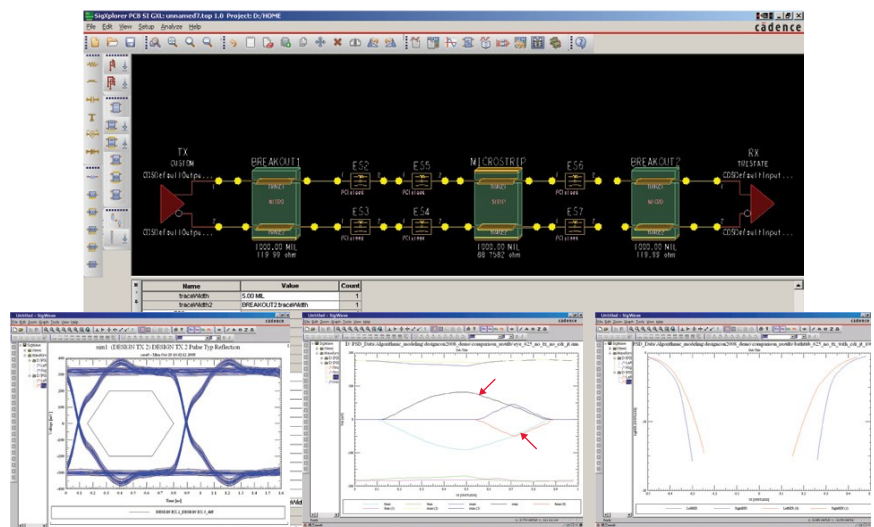


图 4 工程师可以通过总线分析功能验证已完成布线的源同步信号的时序要求，而不用像原始的方法那样，费时费力的对众多网络逐一地仿真和计算。

一个易用的编辑环境中快捷地创建、维护和验证仿真模型。支持的模型包括 IBIS、Spectre、Mentor/Quad XTK 和 Hspice（后者需要有 Synopsys 公司的 HSPICE 仿真器授权）。

PCB 设计规划选项——通过这个平面规划选项，用户可以评估布线策略，并结合设计逻辑输入（网表编辑）工具，将设计意图以嵌入约束规则的方式指定到从前端到后端的设计数据库中。

资源库——在 Cadence.com 上提供了一个涵盖技术文档、设计 IP 和教学视频等内容的在线综合资源库。（在网站上的路径是 Products and Solutions > PCB Design > Resource Library。）

Mentor Board Station 接口——提供一个到 Mentor Board Station 工具的双向接口，允许使用 Allegro PCB SI 对 Board Station 的设计进行分析和布线，然后将最终结果交还到 Board Station 环境中，从而进行剩下的生产文件输出流程。

操作系统支持

Allegro 平台支持：

- Sun Solaris
- Linux
- IBM AIX
- Windows

OrCAD 支持：

- Windows

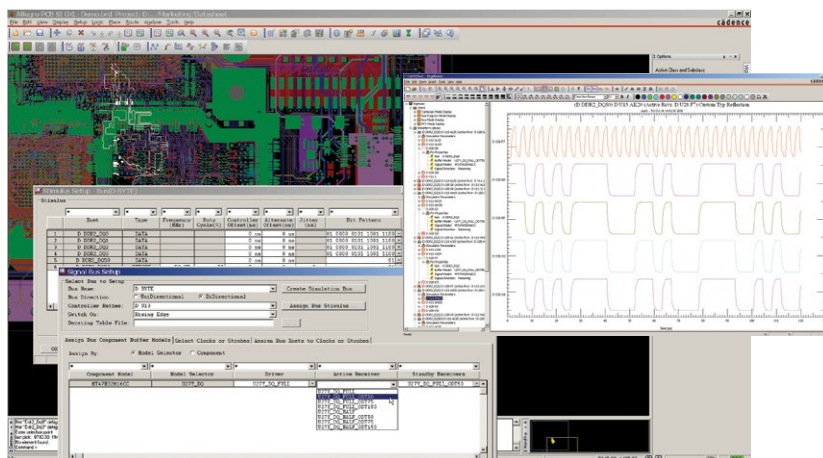


图 5 可以通过使用眼状掩模，算法型收发器模型 (IBIS-AMI) 和超大码长（数百万比特）仿真来确认多吉比特串行连接是否和接口标准（例如 PCIe 2.0）电气兼容

Sofer 解决方案

- Cadence PCB 设计平台建设
- ECAD/CIS 库平台建设
- Allegro 软件二次开发
- PCB 项目设计及仿真外包服务
- Cadence 软件培训服务

Sofer 优势

- 实力雄厚的资深技术团队，多名 10 年以上经验的 FAE
- 丰富的 PCB 设计/EDA 平台建设等实践经验
- 出色的二次开发能力，为客户提供各种定制化开发需求
- 高效的技术服务平台，通过电话/邮件/Web/BBS，及时帮客户解决各类软件使用/设计相关问题
- 实战指导、项目现场支持等索服特色服务
- 最新技术资料下载客户专享通道，包括软件使用技巧、设计经验、国外技术文献翻译等

- 为客户提供量身定制的全面的针对性培训服务

联系方式

全国统一服务电话：400 600 9600

网站：www.sofer.cn

邮件：sales@sofer.cn

上海总部：

电话：021-64821908

传真：021-64821908 转 100

地址：上海市漕溪路 251 弄 5 号楼 16B

苏州分部：

电话：0512-69382258

传真：0512-69382258 转 100

地址：苏州市东吴南路 388 号吴中商城大厦 2005 室

Allegro PCB SI 产品的主要特性概述

PCB SI 产品特性比较(OrCAD PCB SI, Allegro PCB SI XL / GXL)	OrCAD PCB SI	Allegro PCB SI XL	Allegro PCB SI GXL
宏模型支持(Macro modeling support (DML))	•	•	•
IBIS 5.0 支持(IBIS 5.0 support)	•	•	•
IBIS ICM 模型支持(IBIS ICM model support)	•	•	•
Spectre 到 DML 转换(Spectre-to-DML)	•	•	•
HSPICE 到 IBIS 转换(HSPICE-to-IBIS)	•	•	•
图形化拓扑编辑器(Graphical topology editor)	•	•	•
有损传输线(Lossy transmission lines)	•	•	•
最多 3 个耦合网络仿真(Coupled (3 net) simulation)	•	•	•
差分对探索和仿真(Differential pair exploration and simulation)	•	•	•
自定义激励(Custom stimulus)		•	•
拓扑附加(Topology append)		•	•
生成评估串扰表格(Generate estimated crosstalk tables)		•	•
细节仿真报告(Detailed simulation reports)		•	•
大于 3 个耦合网络仿真(Coupled (>3nets) simulation)		•	•
Allegro Physical Viewer Plus		•	•
从 Allegro PCB Designer 中提取差分对 (Differential pair extraction from Allegro PCB Designer)		•	•
从 Allegro Design Authoring 中提取差分对 (Differential pair extraction from Allegro Design Authoring)		•	•
电流探头(Current probes)		•	•
拓扑网络中多端口黑盒子模型(Multi-terminal black boxes in topologies)		•	•
自定义测量(Custom measurement)		•	•
从 Allegro Design Designer 中执行布线后选择和串扰仿真 (Post-layout selection and crosstalk simulation from Allegro PCB Designer)		•	•
HSPICE 接口(HSPICE interface)		•	•
差分信号约束规则捕捉(Differential signal constraint capture)		•	•
综合仿真(Comprehensive simulation)		•	•
扫描仿真(Sweep simulations)		•	•
约束规则开发和拓扑捕捉(Constraint development and capture of topologies)		•	•
宽带分析法过孔模型生成器(Wide band analytical via model generator)		•	•
拓扑应用(Topology apply)		•	•
约束驱动的规划和布局(Constraint-driven floorplanning and placement)		•	•
Allegro 约束管理器(Allegro Constraint Manager)		•	•
违背实时地颜色码反馈(Color-coded real-time feedback on violations)		•	•
Spectre 晶体管级模型支持(Spectre transistor-level model support)		•	•
源同步总线分析(Source synchronous bus analysis)		•	•
批量仿真(Batch simulation)		•	•
电磁兼容控制: 规则开发(EM Control: rules development)		•	•
电磁兼容控制: 规则检查(EM Control: rules checking)		•	•
EMI 差分仿真(EMI differential simulation)		•	•

PCB SI 产品特性比较(OrCAD PCB SI, Allegro PCB SI XL / GXL)	OrCAD PCB SI	Allegro PCB SI XL	Allegro PCB SI GXL
约束驱动布线(Constraint-driven routing)		•	•
Allegro PCB Router XL		•	•
静态压降分析(Static IR drop analysis)		•	•
同步开关噪声分析(Simultaneous switching noise (SSN) analysis)		•	•
S 参数直流推断(S-Parameter DC extrapolation)		Multi-Gigabit	•
从叠层生成 S 参数(S-Parameter generation from stack-up)		Multi-Gigabit	•
在 SigWave 中显示 S 参数(S-Parameter plotting in SigWave)		Multi-Gigabit	•
S 参数的时域仿真(Time domain simulation of S-Parameters)		Multi-Gigabit	•
模型综合器中 S 参数库管理(Library management of S-Parameters in model integrity)		Multi-Gigabit	•
耦合过孔模型生成器(Coupled via model generator for pre-layout explorations)		Multi-Gigabit	•
高容量(超大码长)通道仿真(High-capacity channel simulation)		Multi-Gigabit	•
最合适的预加重位设置(Optimum pre-emphasis bit configurations ("tap settings"))		Multi-Gigabit	•
误码率预估(BER prediction)		Multi-Gigabit	•
澡盆曲线(误码率曲线)(Bathtub curves)		Multi-Gigabit	•
通道统计法分析(Channel compliance—statistical analysis)		Multi-Gigabit	•
布线后 MGH 提取(Post-layout MGH extraction)		Multi-Gigabit	•
以布线网络信号质量甄选(Signal quality screening of routed nets)		Multi-Gigabit	•
时域下的电压纹波(Voltage ripples in time domain)		PDN Option	•
阻抗需求计算器(Impedance requirements calculator)		PDN Option	•
去耦电容选择和布局(Decoupling capacitor selection and placement)		PDN Option	•
电压调节模块编辑器(VRM editor)		PDN Option	•
去耦电容库编辑器(Decoupling capacitor library editor)		PDN Option	•
波形和设计界面交叉(关联)选择(Cross-probing between waveform and design canvas)		PDN Option	•
频域分析(Frequency domain analysis)		PDN Option	•
芯片开关电流(IC switching currents)		PDN Option	•
封装和晶元寄生参数(Package and die parasitics)		PDN Option	•