
Allegro PCB SI: 一步一步学会前仿真

Learn Allegro PCB SI Pre-simulation Step by Step

Doc Scope : Cadence 16.5
Doc Number : SFTEC12007
Author : Daniel Zhong
Create Date : 2012-04-10
Rev : 1.00



目录

1 Cadence Allegro PCB SI简介	7
1.1 高速 PCB 设计流程	7
2 Allegro PCB SI的前仿真	8
2.1 准备仿真模型和其他需求	8
2.1.1 获取所使用元器件的仿真模型	9
2.1.2 获取所使用连接器的仿真模型	10
2.1.3 获取所使用元器件和连接器的器件手册和用户指南等相关资料	10
2.1.4 获取所需的规范文档	10
2.1.5 了解相关电路和接口工作原理	10
2.1.6 提取与信号完整性相关的要求	10
2.1.7 预先创建拓扑样本	11
2.1.8 预先创建相对于不同阈值电压的眼图模板	11
2.1.9 预先创建自定义测量	12
2.2 仿真前的规划	12
2.3 关键器件预布局	13
2.4 模型加载和仿真配置	13
2.4.1 模型的转化	14
2.4.2 使用SI Design Setup配置	15
2.4.3 选择需要配置的信号线	16
2.4.4 设置仿真库	18
2.4.5 设置电源和地网络	20
2.4.6 设置叠层	24
2.4.7 设置元器件类别	27
2.4.8 为元器件分配和创建模型	28
2.4.9 设置差分对	37
2.4.10 设置仿真参数	42
2.4.11 SI Design Audit相关	50
2.4.12 提取拓扑	52
2.4.13 在SigXP中设置仿真库和仿真参数	54
2.4.14 在SigXP中绘制拓扑	58
2.5 方案空间分析	68
2.5.1 输出驱动力扫描分析	71
2.5.2 Stub长度扫描分析	73

2.5.3 线宽线间距扫描分析	74
2.6 方案到约束规则的转化	76
2.6.1 传输线延迟规则的设置	77
2.6.2 拓扑结构等传输线特性规则的设置	79
2.6.3 传输线耦合规则的设置	80
2.6.4 拓扑规则在约束管理器中的应用	81
3 Allegro PCB SI的后仿真	84

表格

表格 1 : Routed Interconnect Models参数	45
表格 2 : Simulation栏眉仿真参数	47
表格 3 : IO Cell Stimulus Edit窗口中的选项	68

图

图 1 : 传统的PCB设计流程图	7
图 2 : Allegro PCB SI高速PCB设计流程图	8
图 3 : 眼图模式下的眼图模板	11
图 4 : 地址、命令和控制信号传输线拓扑	12
图 5 : RDIMM的布局示意图	13
图 6 : Model Integrity界面	14
图 7 : 使用Model Integrity将IBIS文件转换至DML格式	15
图 8 : Cadence Product Choices产品选择器窗口	16
图 9 : Allegro PCB SI GXL界面	17
图 10 : Setup Category Selection窗口	17
图 11 : Setup Xnet Selection窗口	17
图 12 : Allegro PCB SI GXL关于网络设置的提醒框	18
图 13 : Setup Library Search Directories窗口	19
图 14 : Setup Library File Extensions窗口	19
图 15 : Setup Working Libraries窗口	19
图 16 : Setup Power and Ground Nets窗口	20
图 17 : Allegro PCB SI GXL电压赋值窗口	21
图 18 : 选择“Edit Voltage On Any Net In Design”	21
图 19 : Identify DC Nets窗口	22
图 20 : Allegro PCB SI GXL关于电源和地网络的提醒框	22
图 21 : 设置电源和地网络环节的SI Design Audit窗口	23

图 22 : Select Errors to be Resolved窗口自动修复VTT问题	23
图 23 : Change Pin Use of a Pin窗口	24
图 24 : 选中管脚后的Change Pin Use of a Pin窗口	24
图 25 : Setup Design Cross-Section窗口	25
图 26 : JEDEC规范中的RDIMM RC B0叠层	26
图 27 : Layout Cross Section窗口	26
图 28 : SI Design Audit窗口提示不合理的介电常数	27
图 29 : Setup Component Classes窗口	28
图 30 : Assign Values to Discrete Components窗口	29
图 31 : Allegro PCB SI GXL分立元件赋值对话框	29
图 32 : Assign Models to Components窗口	30
图 33 : SI Model Browser窗口的DML Models栏眉	31
图 34 : Create Espice Device Model窗口	32
图 35 : 在Create IBIS Device Model窗口中创建金手指模型	32
图 36 : 在Create IBIS Device Model窗口中创建SPD模型	33
图 37 : SI Design Audit窗口提示丢失的模型	33
图 38 : Select Errors to be Resolved窗口自动修复模型丢失问题	34
图 39 : Signal Model Assignment窗口	35
图 40 : SI Model Browser窗口中分配IBIS文件	36
图 41 : SI Model Browser窗口中分配IBIS器件	37
图 42 : Setup Diff Pairs窗口	38
图 43 : Setup Diff Pairs窗口中显示问题差分对	39
图 44 : Change Diff Pair to be Defined by a Model窗口	40
图 45 : Change Diff Pair to be Defined by a Model窗口	40
图 46 : 在SI Model Brower窗口中编辑IBIS器件	41
图 47 : 在IBIS Device Model Editor窗口中选择管脚	41
图 48 : IBIS Device Pin Data窗口	42
图 49 : IBIS Device Pin Data窗口中修改数据	42
图 50 : Setup SI Simulations窗口	43
图 51 : Setup Complete窗口	43
图 52 : Analysis Preferences窗口DevicesModels栏眉	44
图 53 : Analysis Preferences窗口InterconectModels栏眉	44
图 54 : EMS2D Preferences对话框	45
图 55 : Via Model Extraction Setup窗口	46
图 56 : Analysis Preferences窗口Simulation栏眉	46
图 57 : Analysis Preferences窗口S-Parameters栏眉	46
图 58 : Set Advanced Measurement Parameters对话框	47
图 59 : Fast/Typical/Slow Simulations Definition窗口	48
图 60 : Analysis Preferences窗口Units栏眉	48
图 61 : Analysis Preferences窗口EMI栏眉	48
图 62 : Analysis Preferences窗口Power Integrity栏眉	49
图 63 : SI Design Audit窗口审核项目选择界面	50

图 64 : SI Design Audit窗口网络选择界面	51
图 65 : SI Design Audit窗口审核错误显示界面	51
图 66 : RDIMM上的预布线	52
图 67 : 选择SI用户界面	52
图 68 : 过滤器	52
图 69 : 查看拓扑	52
图 70 : SigXplorer界面中显示网络拓扑	53
图 71 : 在Signal Analysis窗口选择网络提取拓扑	53
图 72 : Cadence Products Choices窗口	54
图 73 : SI Model Browser窗口	55
图 74 : Set Model Search Path窗口	55
图 75 : DML Library Management窗口	55
图 76 : SI Model Browser窗口转换IBIS	55
图 77 : LayerStack Manager窗口	56
图 78 : 导入叠层	56
图 79 : 选择来源文件	56
图 80 : 命名叠层	56
图 81 : Layout Cross Section窗口显示默认6层板叠层	57
图 82 : Pulse Stimulus栏眉	57
图 83 : S-Parameters栏眉	57
图 84 : Simulation Parameters栏眉	58
图 85 : Simulation Modes栏眉	58
图 86 : Measurement Modes栏眉	58
图 87 : EMI栏眉	58
图 88 : Add Element Browser窗口中选择IbisDevice	59
图 89 : Add Element Browser窗口中选择寄存器芯片	59
图 90 : Select IBIS Device Pin窗口中选择缓冲器模型	60
图 91 : 在SigXplorer窗口中摆放缓冲器模型	60
图 92 : 在SigXplorer窗口中摆放电源模型	61
图 93 : 在SigXplorer窗口中摆放传输线模型	61
图 94 : 在SigXplorer窗口中摆放过孔模型	62
图 95 : 在SigXplorer窗口中电源参数值	62
图 96 : 在SigXplorer窗口中修改电阻阻值	63
图 97 : View Trace Model Parameters窗口显示传输线参数	63
图 98 : 在SigXplorer窗口中修改传输线参数	64
图 99 : 在SigXplorer窗口中修改传输线所在层面	64
图 100 : 在SigXplorer窗口中拷贝传输线模型	65
图 101 : 在SigXplorer窗口中拷贝和移动模型	65
图 102 : 在SigXplorer窗口中连接模型绘制拓扑	66
图 103 : 在SigXplorer窗口中设置驱动器状态	66
图 104 : 在IO Cell Stimulus Edit窗口中设置伪随机码激励	67
图 105 : 在SigXplorer窗口中选择测量	68

图 106 : 最前端正面接收器眼图波形	69
图 107 : 最前端背面接收器眼图波形	69
图 108 : 次前端正面接收器眼图波形	69
图 109 : 次前端背面接收器眼图波形	69
图 110 : 中部正面接收器眼图波形	70
图 111 : 中部背面接收器眼图波形	70
图 112 : 次末端正面接收器眼图波形	70
图 113 : 次末端背面接收器眼图波形	70
图 114 : 最末端正面接收器眼图波形	70
图 115 : 最末端背面接收器眼图波形	70
图 116 : Set Buffer Parameter: buffer Model窗口	71
图 117 : Sweep Sampling窗口	72
图 118 : 不同驱动力下的最前端芯片波形	72
图 119 : 不同驱动力下的次前端芯片波形	72
图 120 : 不同驱动力下的中部芯片波形	72
图 121 : 不同驱动力下的次末端芯片波形	72
图 122 : 不同驱动力下的最末端芯片波形	72
图 123 : Parameters栏修改传输线长度	73
图 124 : 在Set Parameter窗口输入多个参数值	73
图 125 : 在Set Parameter窗口的Expression栏设定变量参数值	74
图 126 : Stub线长对波形的影响	74
图 127 : 串扰分析拓扑	75
图 128 : 串扰对波形的影响—4mil线宽, 8mil线距, 弱驱动	75
图 129 : 串扰对波形的影响—5mil线宽, 7mil线距, 弱驱动	76
图 130 : 串扰对波形的影响—5mil线宽, 7mil线距, 强驱动	76
图 131 : JEDEC规范中地址类信号拓扑	77
图 132 : JEDEC规范中地址类信号的线长要求	77
图 133 : 转换拓扑成为Constraint Manager约束管理器认可的规则拓扑	78
图 134 : 整理后的地址信号规则拓扑	78
图 135 : Set Topology Constraints窗口的Prop Delay栏眉	79
图 136 : Prop Delay栏眉下输入绝对延迟规则	79
图 137 : Set Topology Constraints窗口的Rel Prop Delay栏眉	79
图 138 : Rel Prop Delay栏眉下输入相对延迟规则	79
图 139 : Set Topology Constraints窗口的Wiring栏眉	80
图 140 : Wiring栏眉修改拓扑规则	80
图 141 : Set Topology Constraints窗口的Max Parallel栏眉	80
图 142 : Set Topology Constraints窗口的Signal Integrity栏眉	80
图 143 : Allegro Constraint Manger中导入规则拓扑	81
图 144 : 导入LA_CSets.top规则拓扑	82
图 145 : Electrical栏Electrical Constraint Set目录下出现导入的LA_CSETS规则	82
图 146 : Analysis Modes窗口Electrical Modes栏选择DRC模式	83

1 Cadence Allegro PCB SI简介

Allegro PCB SI是Cadence SPB系列EDA工具之一，针对电路板级的信号完整性和电源完整性提供了一整套完善、成熟而强大的分析和仿真方案，并且和Cadence SPB的其他工具一起，实现了从前端到后端、约束驱动的高速PCB设计流程。

信号完整性和电源完整性的仿真按照在这个设计流程中所处的阶段可以分为前仿真和后仿真，本文会介绍Allegro PCB SI在前仿真阶段基本的设计流程和操作步骤，并重点介绍其中的配置和模型加载环节。

1.1 高速PCB设计流程

传统的PCB设计流程如下图所示：

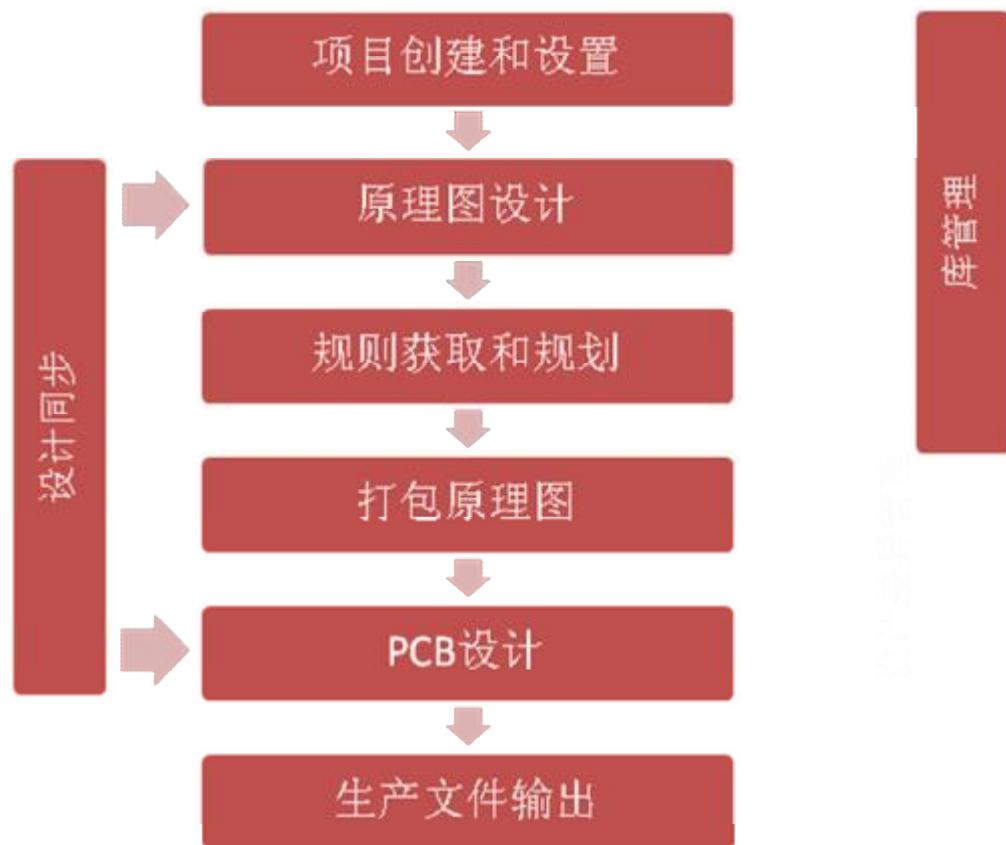


图 1：传统的PCB设计流程图

而引入的Allegro PCB SI仿真工具后的设计流程改进为：



图 2: Allegro PCB SI高速PCB设计流程图

2 Allegro PCB SI的前仿真

前仿真，顾名思义，就是布局或布线前的仿真，是以优化信号质量、避免信号完整性和电源完整性为目的，在众多的影响因素中，找到可行的、乃至最优化的解决方案的分析和仿真过程。简单的说，前仿真要做到两件事：其一是找到解决方案；其二是将解决方案转化成规则指导和控制设计。

一般而言，我们可以通过前仿真确认器件的IO特性参数乃至型号的选择，传输线的阻抗乃至电路板的叠层，匹配元件的位置和元件值，传输线的拓扑结构和分段长度等。

使用Allegro PCB SI进行前仿真的基本流程如下：

- [准备仿真模型和其他需求](#)
- [仿真前的规划](#)
- [关键器件预布局](#)
- [模型加载和仿真配置](#)
- [方案空间分析](#)
- [方案到约束规则的转化](#)

2.1 准备仿真模型和其他需求

在本阶段，我们需要为使用Allegro PCB SI进行前仿真做如下准备工作：

- [获取所使用元器件的仿真模型](#)
- [获取所使用连接器的仿真模型](#)
- [获取所使用元器件和连接器的器件手册和用户指南等相关资料](#)
- [获取所需的规范文档](#)
- [了解相关电路和接口工作原理](#)
- [从上述文档资料中提取与信号完整性相关的要求](#)
- [当需要时，预先创建拓扑样本](#)
- [当需要时，预先创建相对于不同阈值电压的眼图模板](#)
- [当需要时，预先创建自定义测量](#)

下面，我们会以一个实际的电路板为例，介绍前仿真在Allegro PCB SI 16.5中的具体执行过程。

案例电路板：DDR3带寄存器内存条（RDIMM）B0公版，其原理图和brd设计文件可以在JEDEC网站上下载，下载链接为：

http://www.jedec.org/system/files/docs/design/DDR3/PC3-RDIMM_V072_RC_B0_20090713.zip.

编者注：以上链接需要在JEDEC网站注册成功后才能下载。

对于DDR3内存条，它的分类有多种，RDIMM、UDIMM、SODIMM、MicroDIMM等；每一种类型又根据配置的不同（主要是所使用的内存芯片的数目和位宽的不同）分成多款公版（Raw Card）。分类的细节编者就不在此详述，如需了解可参阅JEDEC相关规范或其他相关文章。

对于RDIMM，从内存控制器发送过来的时钟和地址、命令、控制信号都会先经过内存条上的寄存器寄存，然后再发送到内存芯片。所以在RDIMM内存条上，寄存器和内存芯片上的时钟和地址、命令、控制信号就构成了一个时域系统。在本文中，我们将针对这个时域系统进行仿真和分析。而对于数据类信号（数据、数据选通和数据掩码），需要通过金手指、内存插槽、主板上的信号线和内存控制器相连，文本将忽略对其的仿真和分析。

根据上文所述，本文中我们只关心寄存器和内存芯片的地址、命令、控制和时钟信号的时域系统，所以模型文件和文档资料也只需要准备与这部分系统相关的即可。

2.1.1 获取所使用元器件的仿真模型

DDR3的寄存器多数由TI或IDT提供，但TI或IDT并没有在其公司网站上公开提供IBIS或Hspice仿真模型，我们可以向TI或IDT询问索要寄存器的IBIS模型；而内存芯片的IBIS模型可以在Samsung、Micron、Hynix、Elpida等公司的网站上找到，各个厂商的模型虽然在参数曲线上有少许区别，但其特性都符合JEDEC的DDR3规范，都可在RDIMM设计上使用，我们选择一个类型相符（位宽、容量、管脚数目、堆叠与否）的即可。

这里，我们可以在Micron网站上下载以下EBD模型，由于其本身的配置和RDIMM的B0公版一致（应该就是使用公版设计生产的），所以我们可以从下载到的EBD压缩包中解压得到所需的寄存器和内存芯片模型。

http://www.micron.com/~media/Documents/Products/Sim%20Model/Modules/DDR3/MT18JDF51272PDZ-1G6M1_ebd.ashx

下载得到MT18JDF51272PDZ-1G6M1_ebd.zip，在压缩包中可解压找到EA32882_1p6.ibs和v78d.ibs两个文件，依次是寄存器和内存芯片的IBIS仿真模型。

2.1.2 获取所使用连接器的仿真模型

本案例中，不执行通过内存金手指、内存插槽和主板相连的信号的仿真分析，所以相关金手指和插槽的模型忽略。

2.1.3 获取所使用元器件和连接器的器件手册和用户指南等相关资料

TI寄存器的datasheet下载链接如下：

<http://www.ti.com/cn/lit/ds/symlink/sn74ssqe32882.pdf>

IDT寄存器的datasheet下载链接如下：

http://www.idt.com/sites/default/files/documents/IDT_SSTE32882KB1_DST_20120217.pdf

Micron内存芯片的datasheet下载链接如下：

http://www.micron.com/parts/dram/ddr3-sdram/~media/Documents/Products/Data%20Sheet/DRAM/4251Gb_DDR3_SDRAM.ashx

2.1.4 获取所需的规范文档

DDR3 SDRAM规范可以在JEDEC网站如下网页下载：

<http://www.jedec.org/sites/default/files/docs/JESD79-3E.pdf>

DDR3 RDIMM RC B设计规范可以在JEDEC网站如下网页下载：

http://www.jedec.org/sites/default/files/docs/4_20_20_AnnexBR21.pdf

DDR3 SSTE32882寄存器规范可以在JEDEC网站如下网页下载：

http://www.jedec.org/sites/default/files/docs/JESD82-29A_0.pdf

编者注：以上链接都需要在JEDEC网站注册成功后才能下载。

2.1.5 了解相关电路和接口工作原理

做仿真分析前，了解相关电路和接口的原理是必须的。但介绍DDR3 RDIMM工作原理和DDR3接口规范等内容不在本文范畴内，本小节忽略。

2.1.6 提取与信号完整性相关的要求

这一环节，简而言之，就是从元器件手册和相关规范中找到与信号完整性相关的要求，例如建立时间、保持时间、变化沿斜率范围、最大过冲电压、最小下冲电压等等，从而通过仿真分析找到符合这些要求或参数的解决方案。相关的参数要求当需要时，会在下文介绍仿真执行时给出，这里不再详述。

2.1.7 预先创建拓扑样本

预先创建拓扑样本这一环节，就是在Cadence SigXP中手动创建相关信号线的拓扑，供之后执行假设分析(What-if)和参数扫描仿真使用。此环节不是必需，一般只出现在简单拓扑或拓扑结构已确定的信号线上，更多的情况下，常常是在空白的电路板上执行关键器件预布局后，通过初略预布线的方式连接信号线，然后在Allegro PCB SI中提取此信号线的拓扑进入到SigXP中进行仿真，这样对于多负载的负载拓扑而言更为方便一些。

本文会在下面的章节中介绍如何在SigXP中手动创建信号线拓扑，以及如何配置brd设计文件以提取信号线拓扑进入到SigXP中。

2.1.8 预先创建相对于不同阈值电压的眼图模板

眼图模板是显示在Cadence SigWave波形显示器中眼图模式下的图案，用于辅助确认信号眼图的质量。

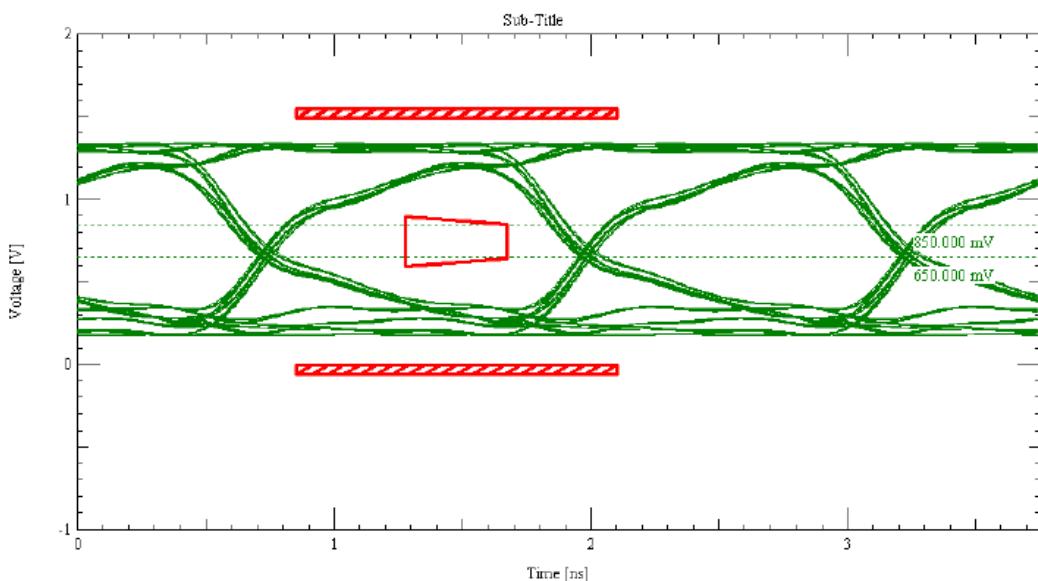


图 3：眼图模式下的眼图模板

在本环节中，我们可以依据信号阈值电压、建立和保持时间等参数预先创建信号的眼图模板，供信号分析时使用。关于如何创建和编辑信号的眼图模板，笔者将另文介绍，本文不再详述。

2.1.9 预先创建自定义测量

在SigXP中，Cadence提供了众多的默认测量，包括信号飞行时间、解决时间、传输延迟、单调性、最大过冲电压、最小下冲电压、眼图眼睛高度、眼图眼睛宽度等等。但对于一些更复杂更细节的测量要求，就需要通过自定义测量来实现了，例如过冲面积、下冲面积、变化沿斜率、建立时间、保持时间等等。

自定义测量是Cadence为SigXP提供的一个接口，让用户可以通过对话框形式或文本形式在一定的语法格式下编辑所需的自动测量，然后可以在SigXP调用并将测量所得值显示在结果中。关于如何创建和编辑自定义测量，笔者将另文介绍，本文不再详述。

2.2 仿真前的规划

由于前仿真的主要目的就是在众多的待定参数中找到适宜的解决方案，所以常常不得不采用耗时耗力的假设分析和参数扫描的方式执行，这也就意味着，不确定的因素越多，所需执行的扫描仿真次数也就越多，执行仿真所需的时间也就越长。因此在执行仿真前，我们常常需要通过各种方式去减少不确定的因素，或是缩小不确定的范围。这基本上就是在仿真前的规划这一环节所需要完成的事情。

在本环节，我们常常可以通过芯片手册、用户指南和信号规范，以及所设计系统的具体情况，乃至自己和他人的经验，去对一些待定因素做出一些取舍。

例如本案例中，假定并没有JEDEC给出的设计规范，我们还未知道地址、命令、控制和时钟信号需要走Fly-by拓扑，那我们就有可能需要仿真平衡T型拓扑时信号的情况，这可能会带来两倍的仿真时间。

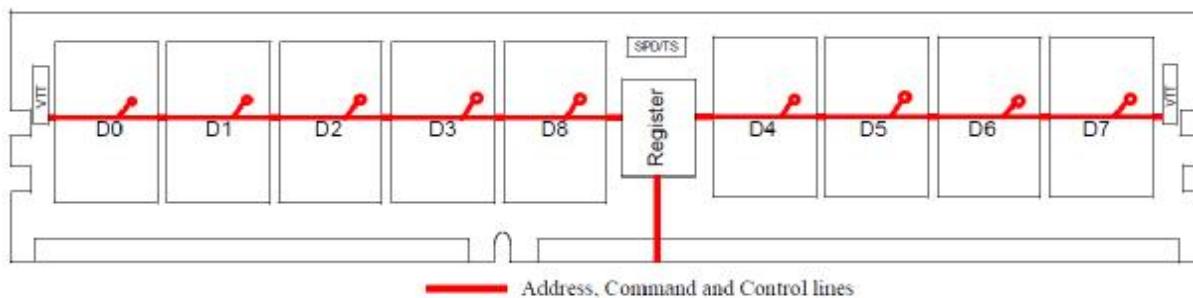


图 4：地址、命令和控制信号传输线拓扑

又例如按照板子的尺寸情况，我们确认了要完成布线至少需要6层板，而传输线密度又决定了传输线宽度不能大于5mil，板厂生产工艺方面又限制了线宽不能小于4mil，再依据板厚和可能的叠层方案我们可以知道内层传输线的阻抗范围只能在50~75ohm之间，这样我们仿真时就不需要再扫描此范围之外的阻抗。

再例如依据布局和布线空间，当采用Fly-by拓扑时，寄存器到第一个内存芯片的传输线长度的范围，每两个内存芯片的传输线长度的范围也可以大致确定，芯片的尺寸决定了传输线不能太短，布线空间决定了传输线不能太长。

以上种种，只是列举了少量我们为缩小扫描仿真的范围和次数所作的努力，实际设计中，还可以有更多因素可以通过非仿真手段进行确认，这里不再一一详述。

2.3 关键器件预布局

关键器件的预布局这一环节，可以认为是在执行前仿真以前，根据之前初步的规划以及其他已确定的要求，对关键的元器件和接插件进行初略或精确的定位布局的过程。对于结构上已经固定的器件，特别是接插件，布局需要根据MCAD工具提供的结构文件（例如DXF）精确地定位，而对于热分析或信号完整性预估所核定的器件位置，一般只是粗略地定位。

本环节在前仿真之前并不是必须的，对系统和相关信号有一定理解，并对仿真有一定经验的工程师可以直接通过手动的方式在SigXP中创建拓扑进行仿真。

在本案例中，为了虚拟前仿真阶段的环境，我们把之前下载到的PC3-RDIMM_V072_RC_B0_20090713.zip解压得到的PC3-RDIMM_V072_RC_B0_20080123.brd文件在Allegro中打开，并删除所有铜皮、铜线和过孔，另存为Pre_simu.brd备用。

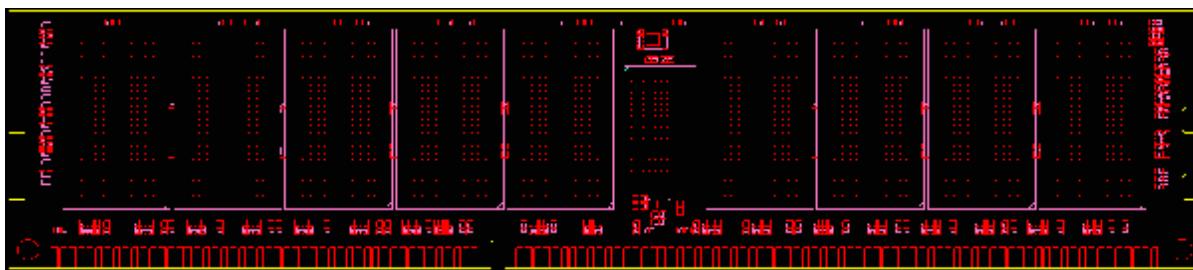


图 5：RDIMM 的布局示意图

2.4 模型加载和仿真配置

在本章节中，将会依次介绍如何在Allegro PCB SI界面下进行模型加载和仿真配置，并提取网络拓扑进入到SigXP界面；以及如何在SigXP界面下手动创建拓扑。

- [模型的转化](#)
- [使用SI Design Setup配置](#)
- [选择需要配置的信号线](#)
- [设置仿真库](#)
- [设置电源和地网络](#)
- [设置叠层](#)
- [设置元器件类别](#)
- [为元器件分配和创建模型](#)
- [设置差分对](#)
- [设置仿真参数](#)
- [SI Design Audit相关](#)
- [提取拓扑](#)
- [在SigXP中设置仿真库和仿真参数](#)
- [在SigXP中绘制拓扑](#)

2.4.1 模型的转化

信号完整性仿真大多针对由芯片IO、传输线以及可能存在的接插件和分立元件所构成的信号网络系统，为了实现精确的仿真，仿真模型的精确性是首先需要保证的。一般情况下，Allegro PCB SI会执行传输线和分立元件的建模，而芯片IO和连接器的模型通常会由原厂提供。

当前业内常见的芯片IO模型有两种格式，IBIS模型和HSPICE模型；常见的连接器模型也是两种，SPICE(HSPICE)模型和S参数模型。Allegro PCB SI支持包括上述四种模型在内业界流行的仿真模型，但一般都需要转化为Cadence自己的DML(Device Modeling Library)后才能使用。

Allegro PCB SI在仿真时需要将仿真模型都转变成DML模型格式这一做法，区别于大多数EDA软件，这种做法可以说是有利有弊。弊，很明显，就是多一个额外的步骤，虽然这一步骤非常简便；利，则是有利于仿真库的管理，做到仿真库和原始模型文件的隔离，并且在文件格式转换的同时也执行了模型的校验。在大多数情况下，外部模型格式到Cadence DML模型格式的转换还是非常方便的，只需要用Cadence SPB系列工具包中的Model Integrity软件打开模型文件，然后点击转换到DML即可。

在本案例中，我们之前已经从Micron下载到寄存器和内存芯片的IBIS模型，可以有两种方法处理：

其一，在Model Integrity界面下或Allegro PCB SI界面下将IBIS模型转换成DML格式，供之后的仿真调用；

其二，从Cadence SPB 16.5版本开始，Allegro PCB SI名义上也直接支持IBIS模型，所以可以保留现有的两个IBIS文件不做转换，然后在之后的仿真中直接调用。之所以说是“名义上”，因为事实上Allegro PCB SI还是执行了转换，只是这个转换的过程在分配模型的同时一起执行了，没有摆在明面上。

我们先来看看如何使用Model Integrity转换IBIS模型。

1. 在开始菜单找到 Model Integrity 快捷方式，或者在目录%CDSROOT%\tools\pcb\bin（其中，%CDSROOT%是Cadence SPB的安装目录，例如D:\Cadence\SPB_16.5）下找到 modelintegrity.exe 执行文件，点击即打开Model Integrity窗口。

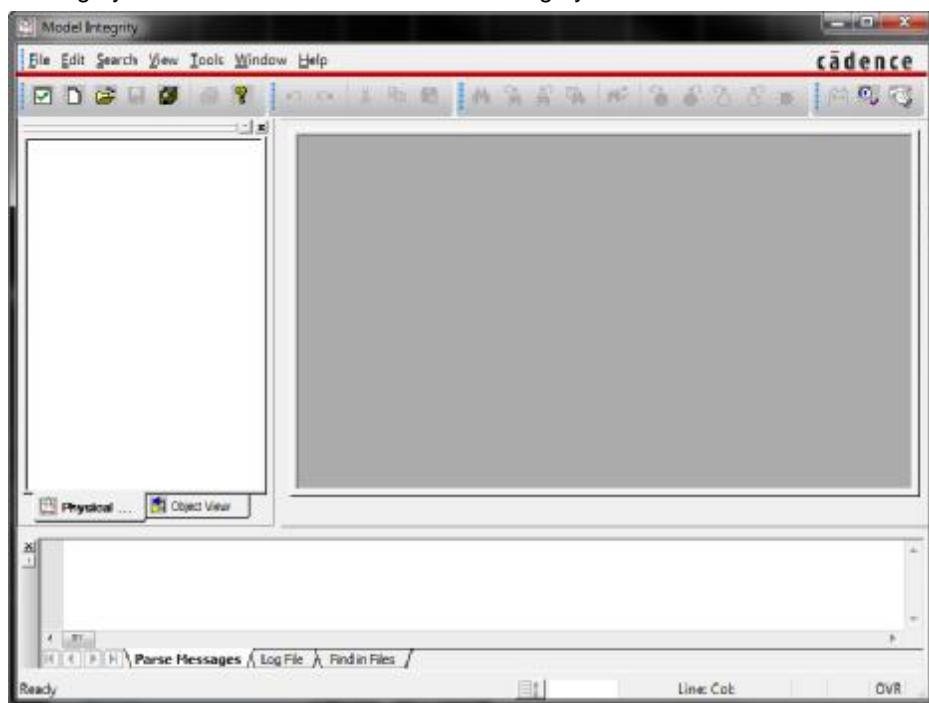


图 6: Model Integrity界面

2. 点击File->Open打开寄存器的IBIS模型文件EA32882_1p6.ibs;
3. 右键点击浏览栏中的EA32882_1p6, 选择IBIS to DML;

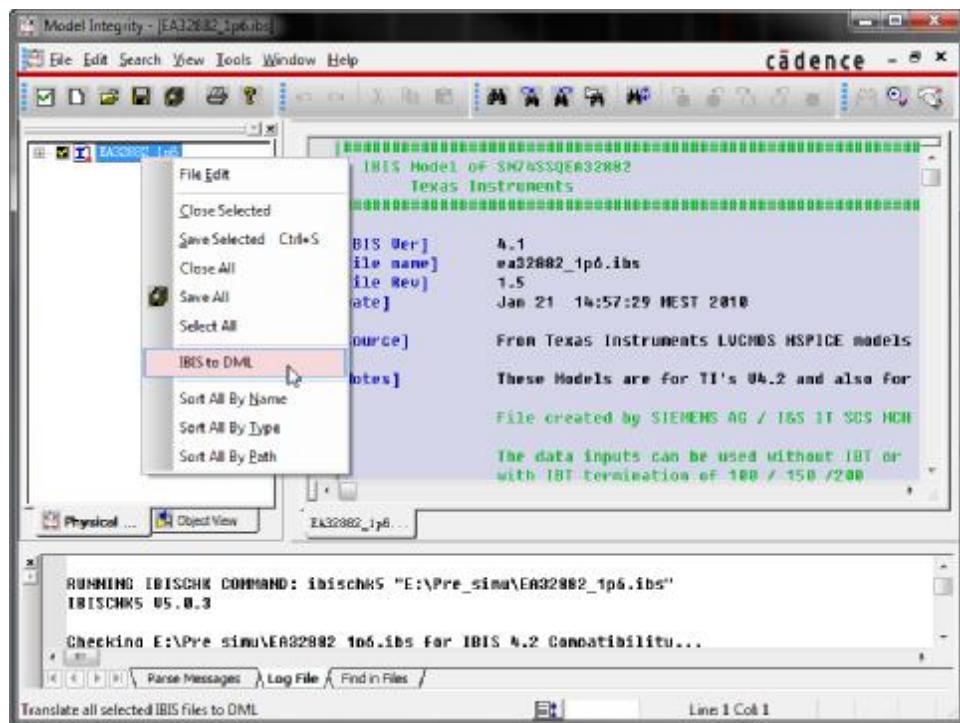


图 7：使用Model Integrity将IBIS文件转换至DML格式

4. 转换得到的同名DML模型会显示在Model Integrity窗口中，同名文件也出现在IBIS文件同一目录下。
 5. 重复上述步骤将内存芯片的IBIS模型v79d.ibs也转换成DML格式。
- 不经转换直接调用IBIS的方式将在下面章节中介绍。

2.4.2 使用SI Design Setup配置

无论使用哪一种仿真软件，在执行仿真以前，一般都需要对电路板进行一定的配置，配置仿真的环境、模型的分配和参数的设定等等，目的是使仿真能够按照我们所要求的进行下去。

在Allegro PCB SI 16.5版本中，引入了新的SI Design Setup命令，能够更有效地引导用户进行仿真配置。对于16.3及以前的版本，也存在类似的命令，如Database Setup Advisor。SI Design Setup和Database Setup Advisor这些命令本身并不是直接的配置命令，它只是一个向导，引导用户一步一步地执行配置，并在每一步上给出相关配置命令的接口。所以事实上，熟练的工程师也可以不通过这些向导直接调用相关命令对电路板进行配置，效果是一样的。

Allegro PCB SI 16.5版本中的SI Design Setup命令会依次执行以下几个步骤，我们将会在随后的章节中介绍这些步骤的具体执行过程。

- [选择需要配置的信号线](#)
- [设置仿真库](#)
- [设置电源和地网络](#)

- [设置叠层](#)
- [设置元器件类别](#)
- [为元器件分配和创建模型](#)
- [设置差分对](#)
- [设置仿真参数](#)

2.4.3 选择需要配置的信号线

为了方便起见，先将之前的所有文件，包括电路板brd文件和仿真模型文件（IBIS和DML）都存放到一个文件夹中，例如E:\Pre_simu。

编者注：Cadence SPB软件并不能完美的支持带空格、特殊符号和中文的文件名和目录名，所以建议将相关文件和目录只使用字母、数字、中划线和下划线命名。

在开始菜单找到  PCB SI快捷方式，或者在目录%CDSROOT%\tools\pcb\bin（其中，%CDSROOT%是Cadence SPB的安装目录，例如D:\Cadence\SPB_16.5）下找到allegro.exe执行文件，点击即打开Cadence Product Choices窗口。

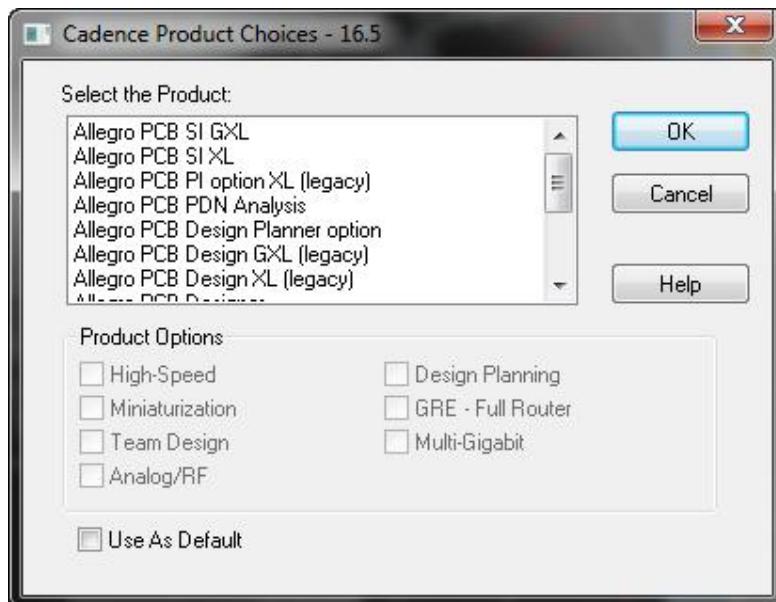


图 8: Cadence Product Choices产品选择器窗口

选择Allegro PCB SI GXL，并点击OK按钮，即打开Allegro PCB SI窗口。然后通过File->Open打开Pre_simu.brd文件。

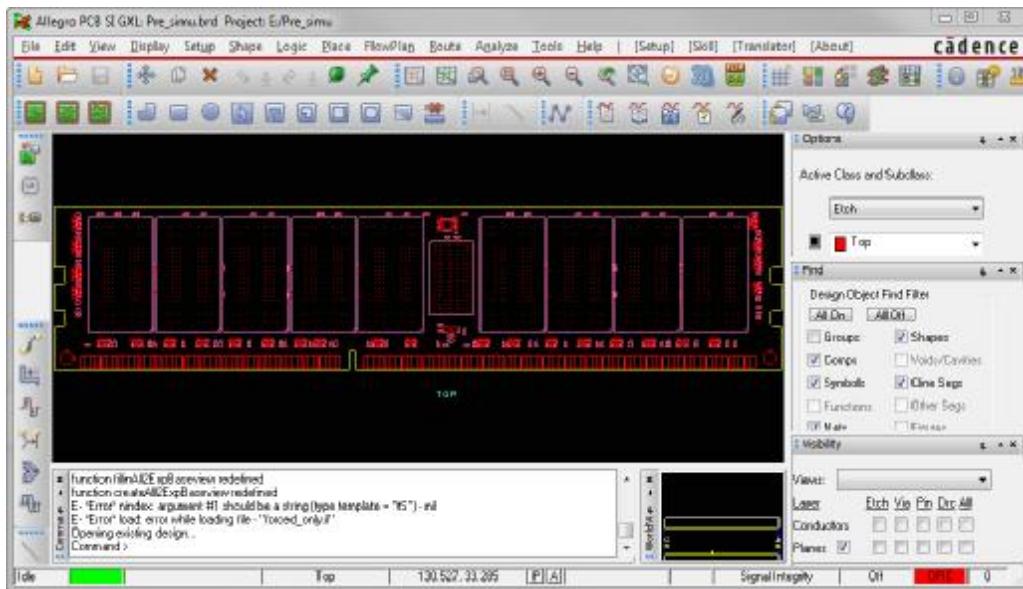


图 9: Allegro PCB SI GXL界面

编者注: 如果在之前的使用中已经在Cadence Product Choices窗口中勾选了Use as Default的情况下选择了某个产品, 例如Allegro PCB Designer, 可以在Allegro中选择File->Change Editor, 就会弹出Cadence Product Choices窗口, 供重新选择产品。

在Allegro PCB SI窗口中选择Setup -> SI Design Setup, 会弹出Setup Category Selection窗口。勾选所有选项, 并点击Next进入下一环节。Setup Category Selection窗口会切换Setup Xnet Selection窗口。

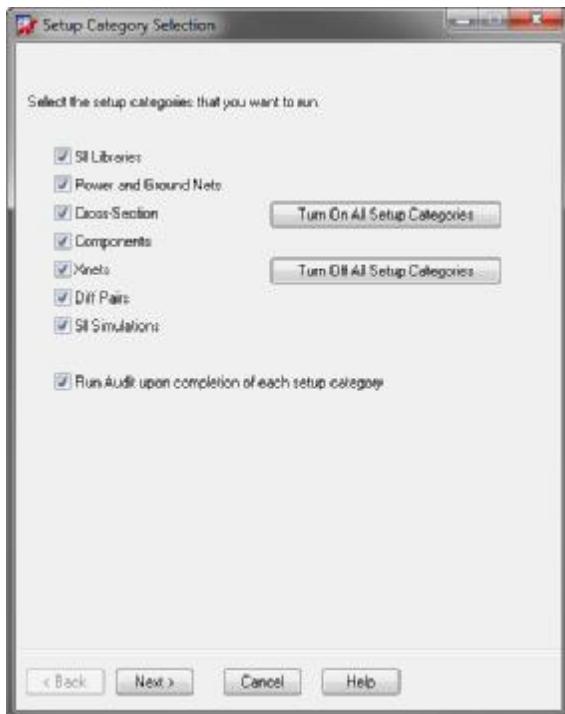


图 10: Setup Category Selection窗口

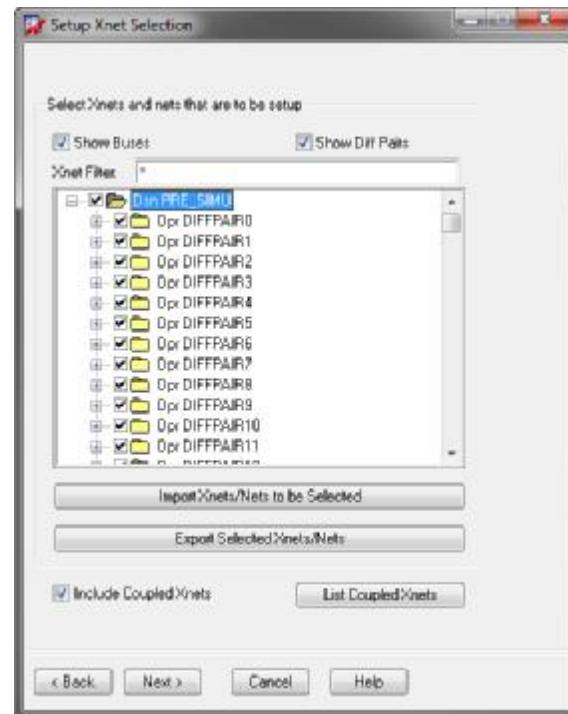


图 11: Setup Xnet Selection窗口

这里做一下补充说明，在**Setup Category Selection**窗口的选项中，除了最下面一项，其它都是我们需要通过此向导执行的配置项目；而勾选了最后一项“Run Audit upon completion of each setup category”则意味着我们在之后的每一项配置完成后，点击**Next**进入到下一环节前，都会自动执行针对此环节的仿真审核，以找出我们在配置过程中存在的问题。

而在**Setup Xnet Selection**窗口中，我们可以只勾选我们关心的、需要执行仿真和配置的网络，这样随后的**SI Design Setup**配置向导和审核就只会针对这些勾选网络相关的模型、网络和参数等，不需要花时间在无关的网络上。在本案例中，我们勾选所有网络（毕竟板子规模小，全板配置也并不麻烦）；大家可以自行比较只选择少量网络时的区别。

另外，由于这里我们勾选了所有网络，**Allegro**会弹出一个善意的提醒框，建议只选择高速网络以减少配置错误，选择“是(Y)”继续。

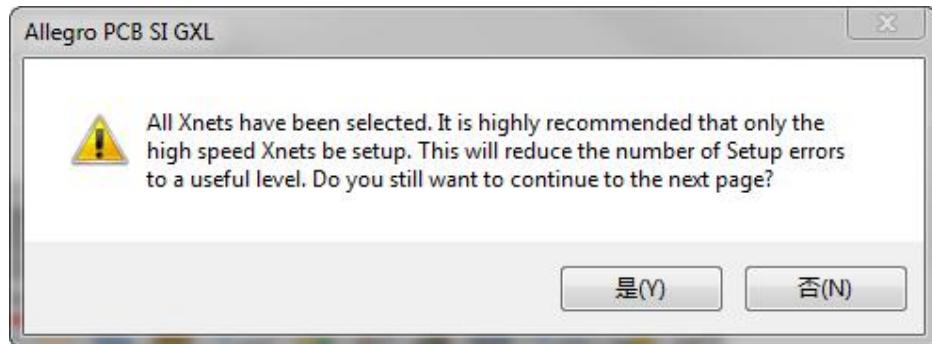


图 12：Allegro PCB SI GXL关于网络设置的提醒框

2.4.4 设置仿真库

接上节，**Setup Xnet Selection**窗口会切换至**Setup Library Search Directories**窗口，即设置仿真库搜索路径。默认情况下，库路径包括**brd**文件所在目录以及**Cadence**自带库所在目录，本案例的默认路径即：

```
E:\Pre_simu  
d:/Cadence/SPB_16.5/share/local/pcb/signal  
d:/Cadence/SPB_16.5/share/pcb/signal  
d:/Cadence/SPB_16.5/share/pcb/signal/power_integrity
```

我们可以通过**Setup Library Search Directories**窗口右方的按钮“Add Directory”添加新目录；在选中某一原有目录后，可以用“Remove Directory”按钮移除；在选中某一原有目录后，还可以用“Move To Top”、“Move Up”、“Move Down”和“Move To Bottom”调整目录的相对位置。这里需要说明的是，当所有库路径下存在同名模型时，**Allegro PCB SI**会以最先找到的模型为准，也就是位置靠上的路径。

当确认了模型库所在目录都已正确设置，点击“Next”按钮继续。**Setup Library Search Directories**窗口将切换至**Setup Library File Extensions**窗口，即设置模型文件后缀窗口。一般而言，这里可保持所有类型的模型文件后缀名为默认，直接点击““Next””按钮继续。



图 13: Setup Library Search Directories窗口

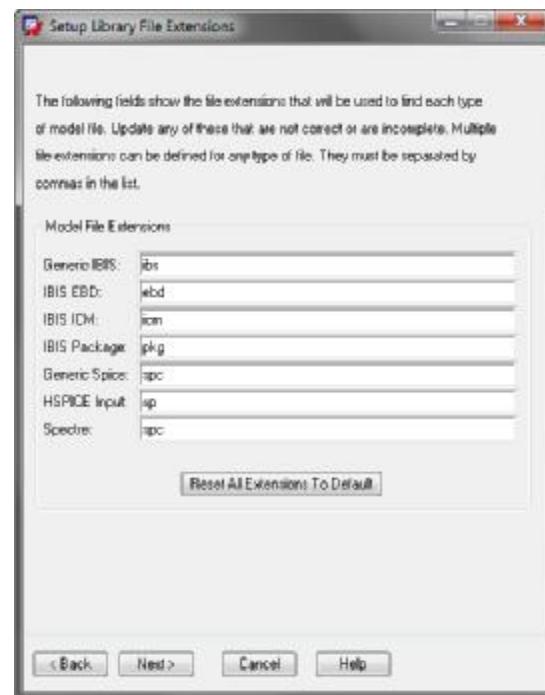


图 14: Setup Library File Extensions窗口

Setup Library File Extensions窗口将切换至Setup Working Libraries窗口，即设置工作模型库窗口。这里会显示之前所设定的库路径下包含的所有DML和IML（Interconnection Model Library）模型库，其中包括软件自动生成的devices.dml和interconn.iml模型库（位于brd文件所在目录，并且默认成为工作模型库）。

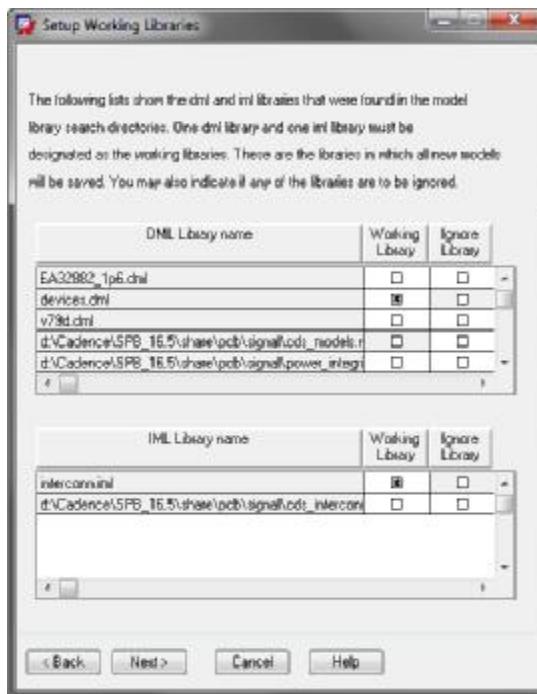


图 15: Setup Working Libraries窗口

在本案例中，我们可以看到之前转换得到的、存在于brd所在目录（E:\Pre_simu）下的EA32882_1p6.dml和v79d.dml模型显示在DML模型库中。而工作模型库是默认的devices.dml和interconn.iml。这里需要说明的是，所有在Allegro PCB SI中新建的模型都会保存在工作模型库中，工作模型库可以交叉切换，但同时只存在一个。另外，如果需要，我们还可以交叉选Ignore Library，选中的模型库将不会在Allegro PCB SI中调用。

在本案例中，我们保持Setup Working Libraries窗口为默认不变，直接点击“Next”按钮进入到下一环节。

2.4.5 设置电源和地网络

接上节，Setup Working Libraries窗口会切换至Setup Power and Ground Nets窗口，即设置电源和地网络窗口。Allegro PCB SI会在窗口中显示已经辨识为电源和地的网络（窗口左方），以及疑似电源和地网络（窗口右方）。如果网络和原理图中定义为Power Pin或Ground Pin的管脚相连，则会认为是电源和地网络；如果网络虽然没有和Power Pin或Ground Pin直接相连，但命名中带有VDD、VTT、VSS等关键字符串，则会认为是疑似电源和地网络。



图 16：Setup Power and Ground Nets窗口

在本案例中，软件给出的电源和地网络是GND和VDD，给出的疑似电源和地网络是VTT。我们在左方的Voltage栏中直接输入电压值0和1.5，然后点击VTT，选择下方的Assign Voltage To Selected Net，然后在弹出的窗口中输入VTT的电压值0.75并OK确认，就完成了电源和地网络的设置。

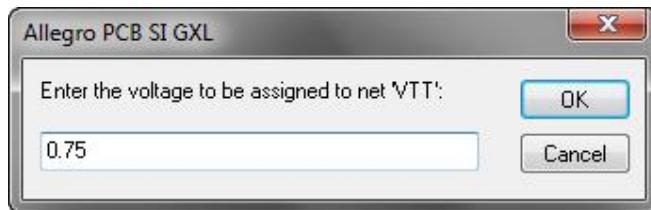


图 17: Allegro PCB SI GXL电压赋值窗口

当完成了GND、VDD和VTT的电压输入后，我们已经可以点击“Next”按钮进入到下一环节中。但熟悉RDIMM的人会知道，本案例的内存条还有几个事实上的电源和地网络，例如作为寄存器模拟电源的AVDD，作为SPD的EEPROM芯片电源的VDDSPD，数据类信号的参考电压VREF_DQ，以及命令和地址类信号的参考电压VREF_CA。这些电源和地信号对本案例的仿真没有影响，但如果本着严谨的态度，我们也可以花时间设置一下。

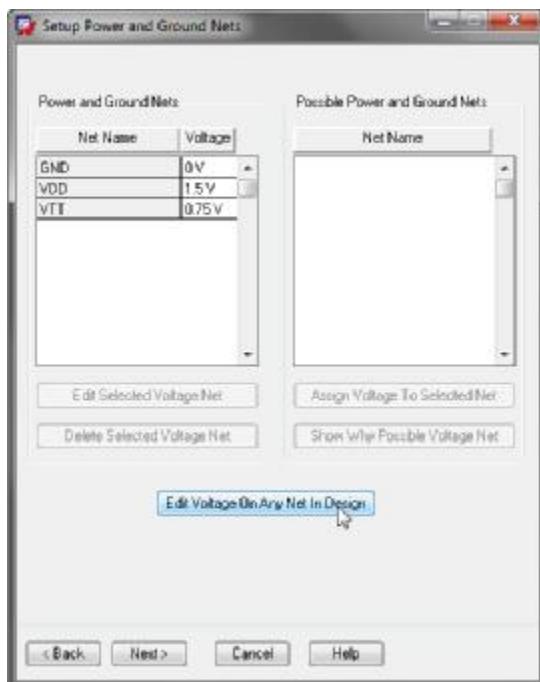


图 18: 选择“Edit Voltage On Any Net In Design”

点击Setup Power and Ground Nets窗口下方的“Edit Voltage On Any Net In Design”按钮，会弹出Identify DC Nets窗口。

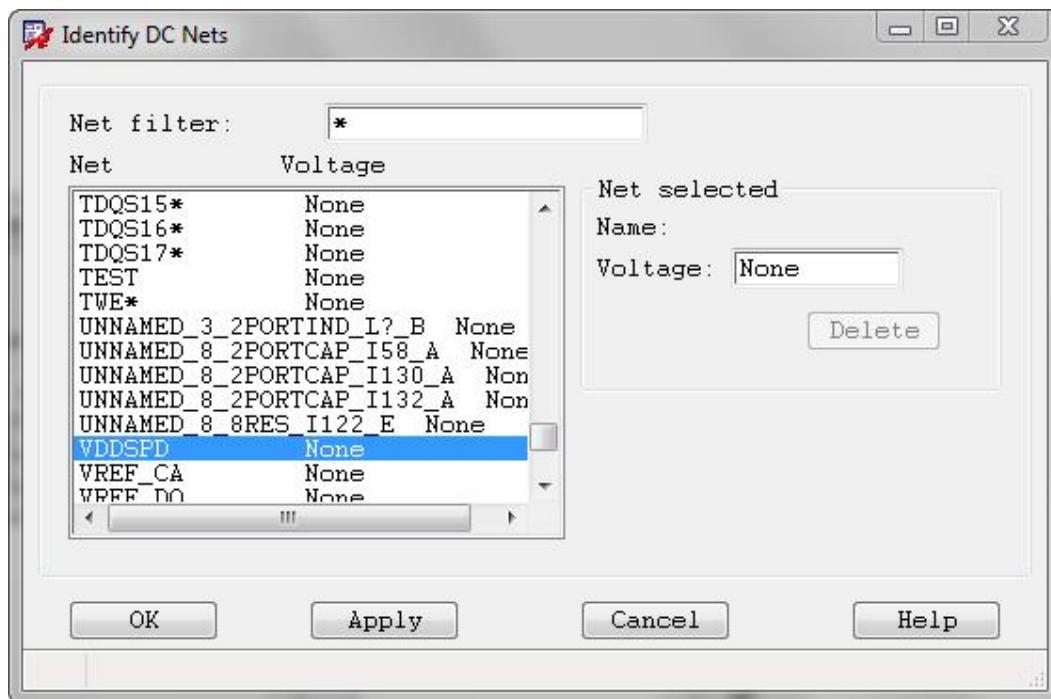


图 19: Identify DC Nets窗口。

在Identify DC Nets窗口中找到需设定的电源和地网络，本案例是AVDD、VDDSPD、VREF_CA和VREF_DQ，依次在右方的Voltage栏中输入1.5V、1.5V、0.75V和0.75V，然后Apply或OK确认。Allegro PCB SI会弹出警告窗口提示网络与非电源或地管脚相连，不去管它，确认即可。

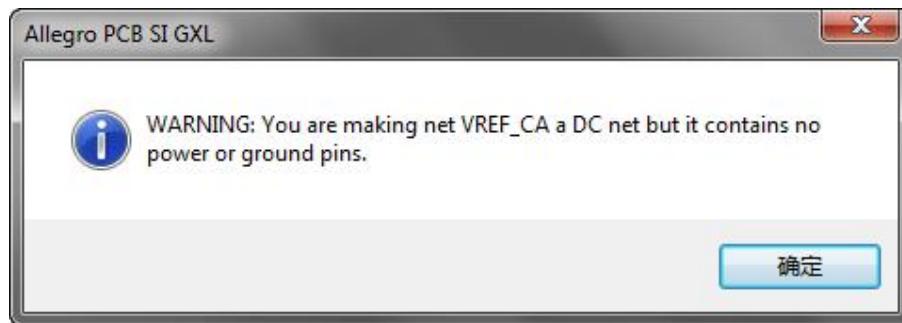


图 20: Allegro PCB SI GXL关于电源和地网络的提醒框

回到Setup Power and Ground Nets窗口，点击“Next”按钮进入下一环节。不过在本案例中，由于本环节的设置存在疑似问题，而之前在Setup Category Selection窗口又勾选了最后一项“Run Audit upon completion of each setup category”，因此SI Design Audit窗口会弹出，并显示此环节存在的疑似问题。

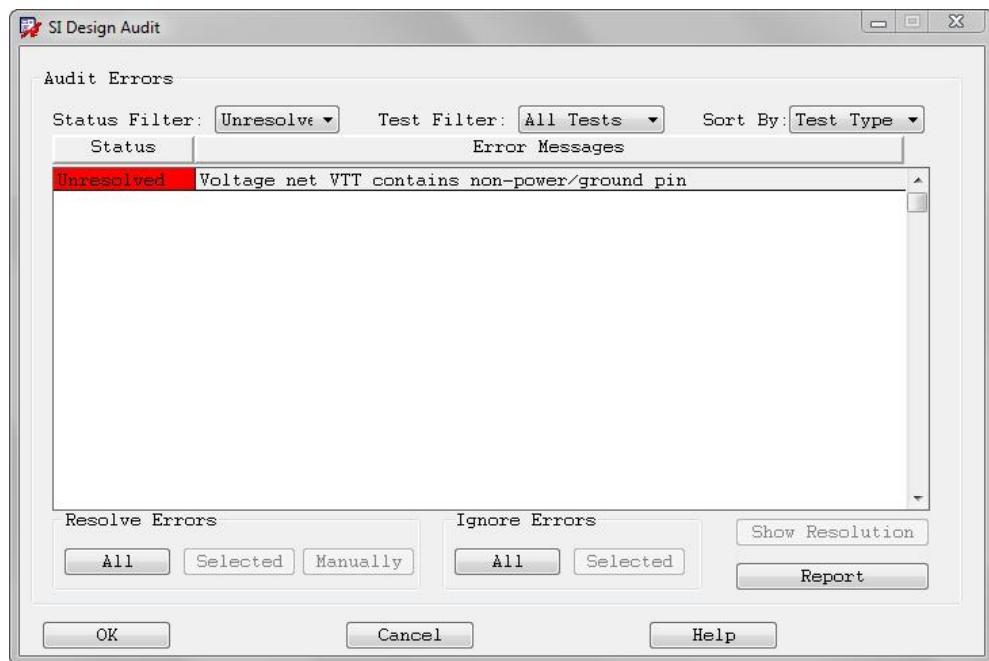


图 21：设置电源和地网络环节的SI Design Audit窗口

本案例本环节中，疑似问题是我们在Setup Power and Ground Nets窗口将VTT设定为电源和地网络并赋值，而Allegro PCB SI却检查到VTT并没有和任何电源和地管脚直接相连。由于VTT确实是电源，我们可以选择Ignore Errors忽略它，或者Resolve Errors修复它。此时，点击Resolve Errors下的“All”按钮，会弹出Select Errors to be Resolved窗口，窗口中提示所有VTT连接的管脚Pinuse属性会被修改为POWER，选择OK确认。

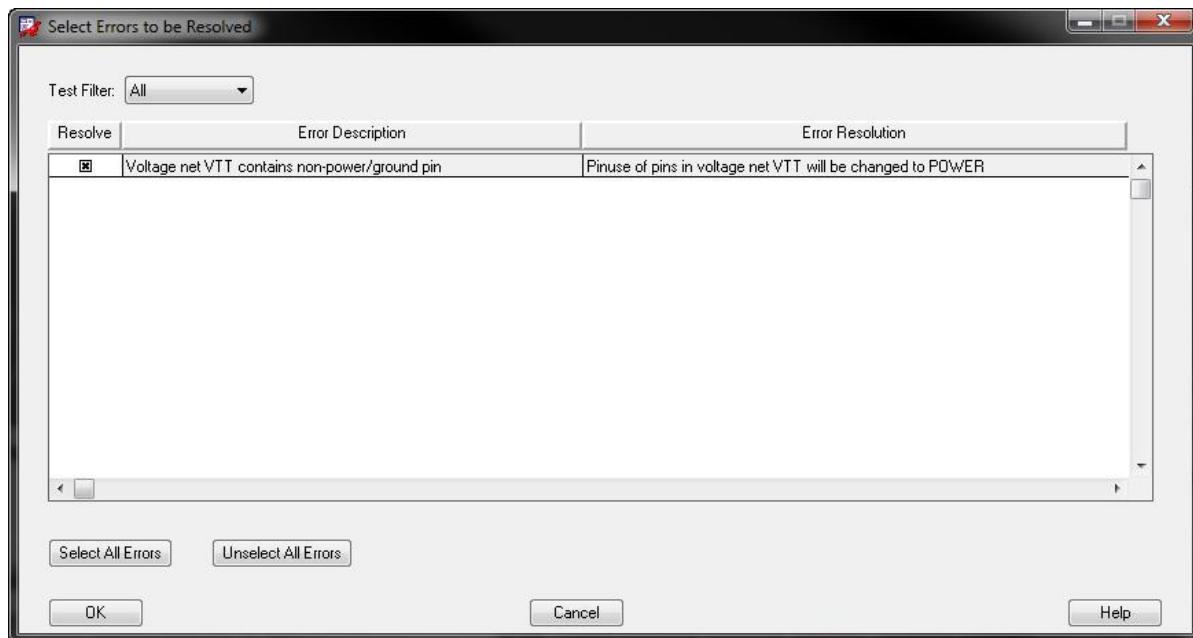


图 22：Select Errors to be Resolved窗口自动修复VTT问题

上面是自动修复问题，会把所有VTT连接的管脚都修改成为POWER属性。如果希望保持VTT电容和匹配电阻管脚的UNSPEC属性不变，只把VTT相连的金手指管脚属性修正，可以采用手动地方式执行。选中此错误，点击Resolve Errors下的“Manual”按钮，会弹出Change Pin Use of a Pin窗口。

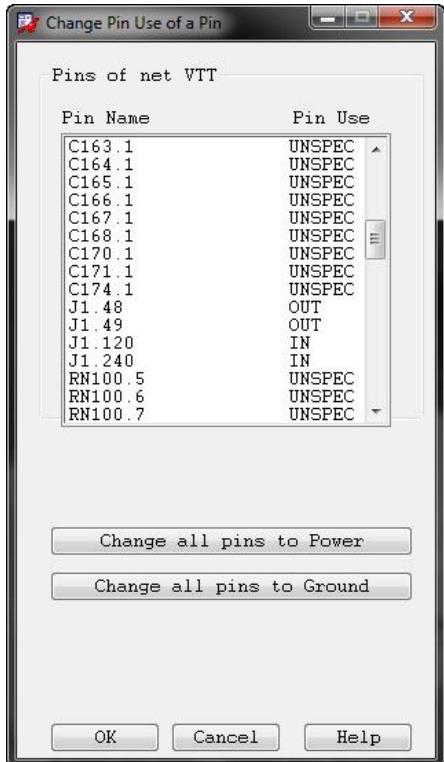


图 23: Change Pin Use of a Pin窗口

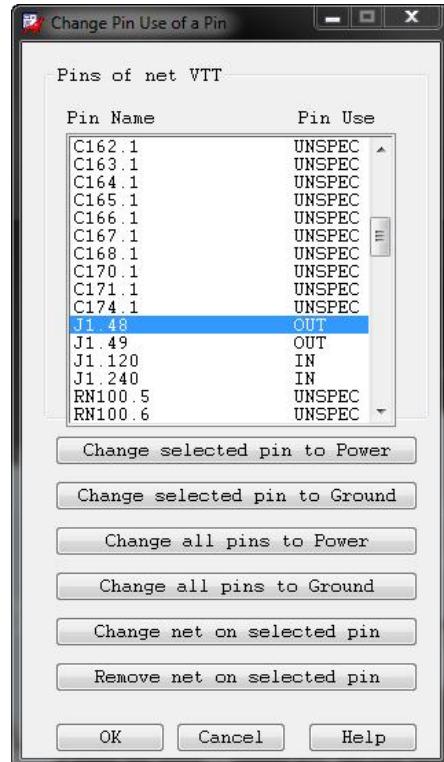


图 24: 选中管脚后的Change Pin Use of a Pin窗口

在Change Pin Use of a Pin窗口中，可以简单地通过下方的按钮将所有管脚改为电源或地属性，也可以点击选中某一根脚后，通过下方的按钮单独修改为电源或地属性。这里，我们依次选中J1.48、J1.49、J1.120和J1.240管脚，并点击下方的“Change Selected Pin to Power”按钮将上述四个管脚修改成电源属性，然后OK退出。

2.4.6 设置叠层

接上节，当我们完成针对上一环节的SI Setup Audit并OK确认后，Setup Power and Ground Nets窗口会切换至Setup Design Cross-Section窗口，即设置叠层窗口。



图 25: Setup Design Cross-Section窗口

准确设置电路板的叠层，不仅是仿真的需要，对高速PCB的布线本身，也有一定的必要，例如Allegro的约束管理器（Constraint Manager）是支持用传输延迟来控制“等长”的，这也是相对于控制传输线长度更精确匹配控制方式，但如果叠层没有准确设置，传输延迟的计算也就不再准确，延迟匹配也就无从谈起了。

一般而言，叠层的设计需要依据项目的具体情况，综合成本、结构、密度、电源、信号完整性等多方面因素进行考虑。设计是一个复杂的过程，不过如果是叠层已经确认，只是需要在Allegro PCB SI中输入，就很简单了。叠层的方案可以来自于业界规范，可以来自于已有的设计，也可以来自于PCB板厂的推荐。对于本案例，JEDEC规范中已经给出了推荐的叠层。

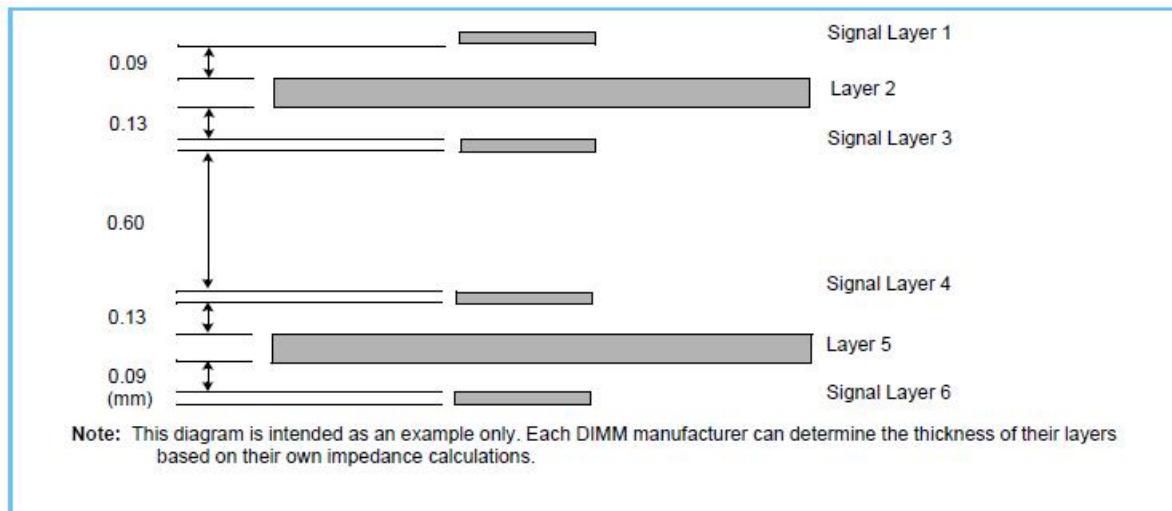


图 26: JEDEC规范中的RDIMM RC BO叠层

在Setup Design Cross-Section窗口中，我们可以点击“Manually Edit Existing Cross-Section”按钮手动设置叠层，也可以点击“Load Cross-Section From Another Design”按钮从现有brd文件中导入叠层信息，或者点击“Load Cross-Section From A Tech File”按钮从现有tch文件中导入叠层信息。在此，我们点击“Manually Edit Existing Cross-Section”按钮，打开Layout Cross Section窗口。

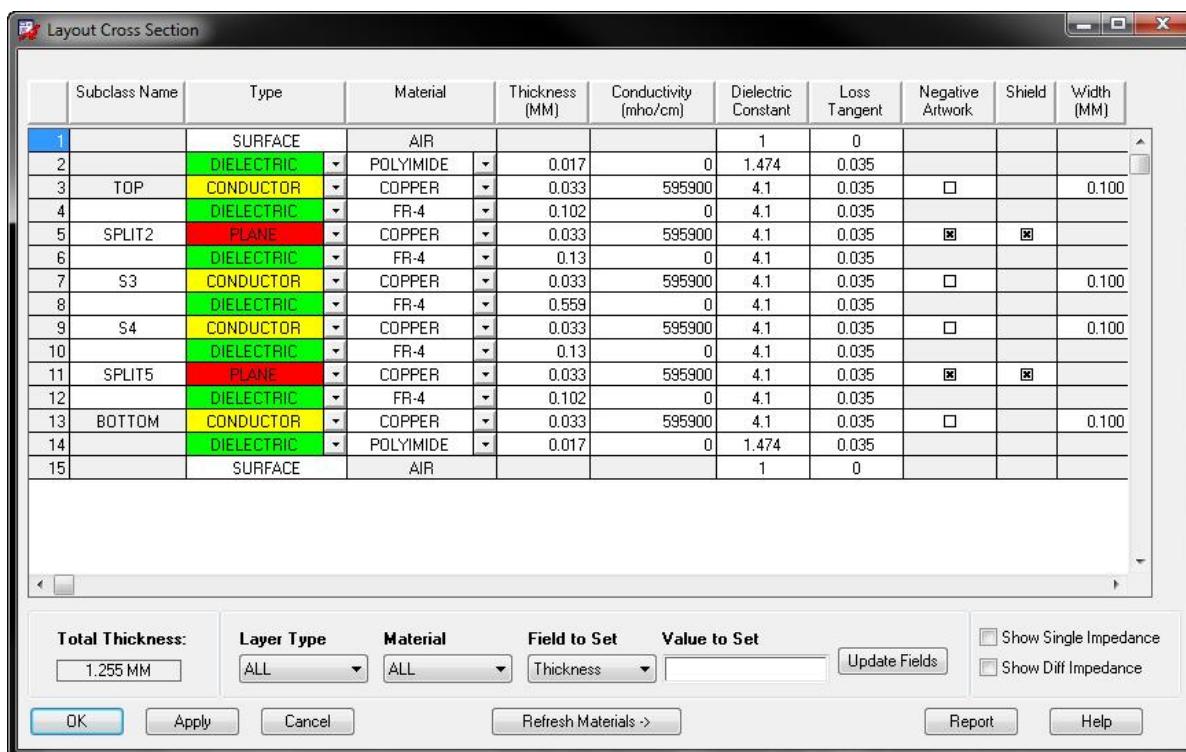


图 27: Layout Cross Section窗口

我们可以看到这里的叠层设置已经和JEDEC规范所给出的基本一致，看起来无需再修改了，点击OK后回到Setup Design Cross-Section窗口，然后点击“Next”按钮以进入下一环节。但此时SI Design Audit窗口再次出现，提示有介质层存在不合理的介电常数“1.474”。

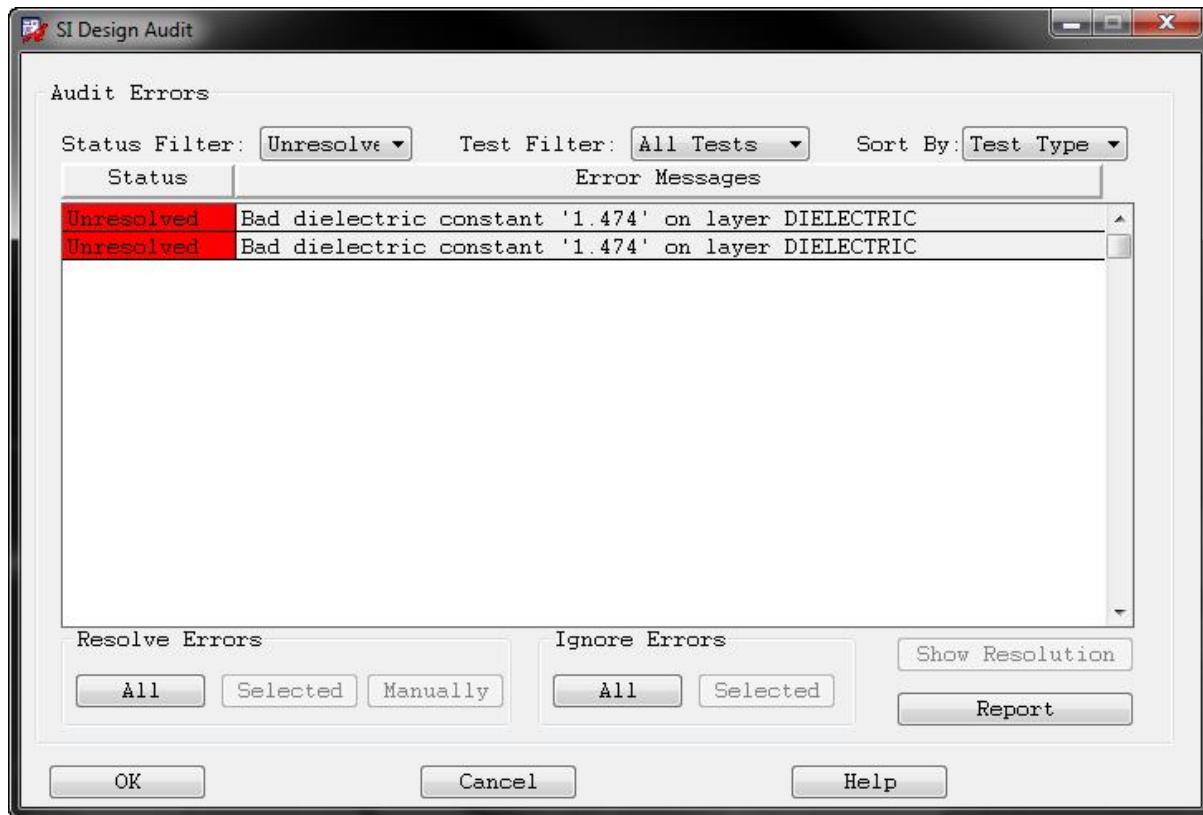


图 28: SI Design Audit窗口提示不合理的介电常数

选中错误消息后点击Resolve Errors栏下方的“Manually”按钮，会重新打开Layout Cross Section窗口，将两个绿油层（2和14层）的介电常数从原先的1.474改为3.6，然后一路OK确认进入下一环节。

2.4.7 设置元器件类别

接上节，当我们完成针对上一环节的SI Setup Audit并OK确认后，Setup Design Cross-Section窗口会切换至Setup Component Classes窗口，即设置元器件类别窗口。

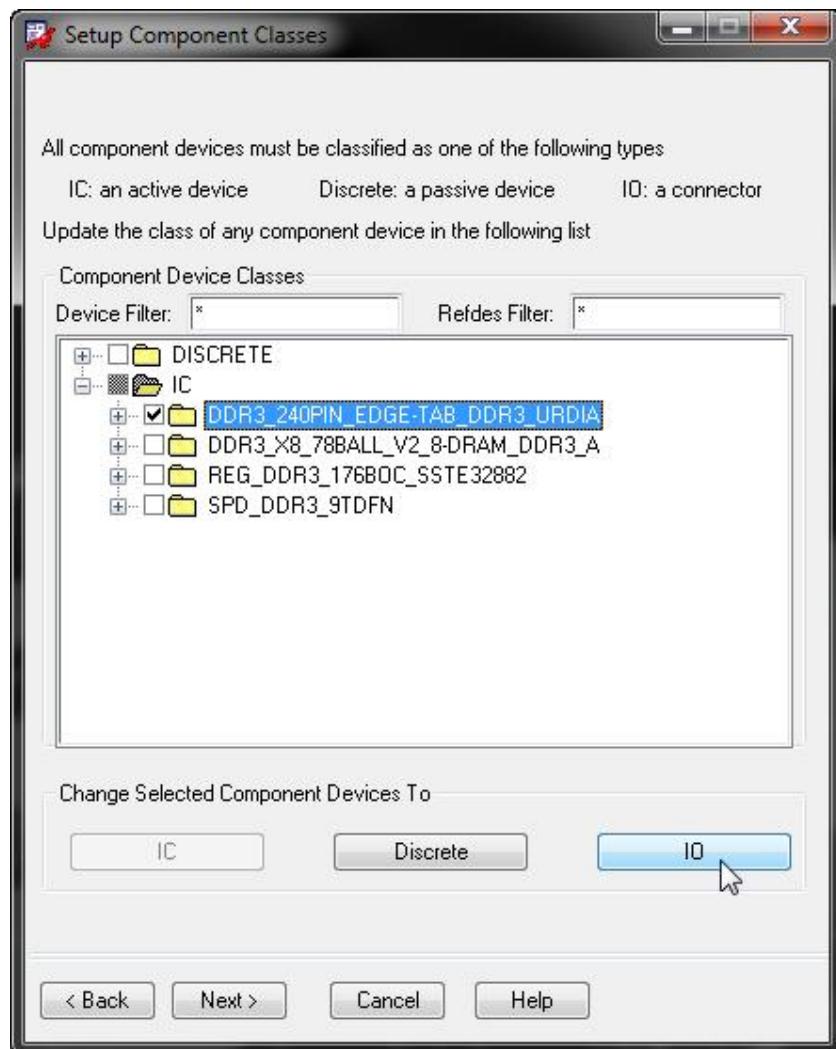


图 29: Setup Component Classes 窗口

这个环节的目的是使随后的仿真中，Allegro PCB SI能够正确的识别元器件的类型，对后续的自动分配元器件模型也有帮助。一般而言，规范的原理图已经对元器件进行了正确的分类，这里只需要确认一下即可，并不需要做多少改正。本案例中，我们可以维持默认不变，也可以本着更严谨的态度，将金手指从原先的IC类别改为IO类别。然后点击“Next”按钮进入到下一环节。

2.4.8 为元器件分配和创建模型

接上节，当所相关的分立元件中包含没有正确赋值的(或者说Value值不符合Allegro要求的)元件时，Setup Component Classes窗口会切换至Assign Values to Discrete Components窗口，即设置分立元件值窗口。如果都已赋值，则直接进入Assign Models to Components窗口。

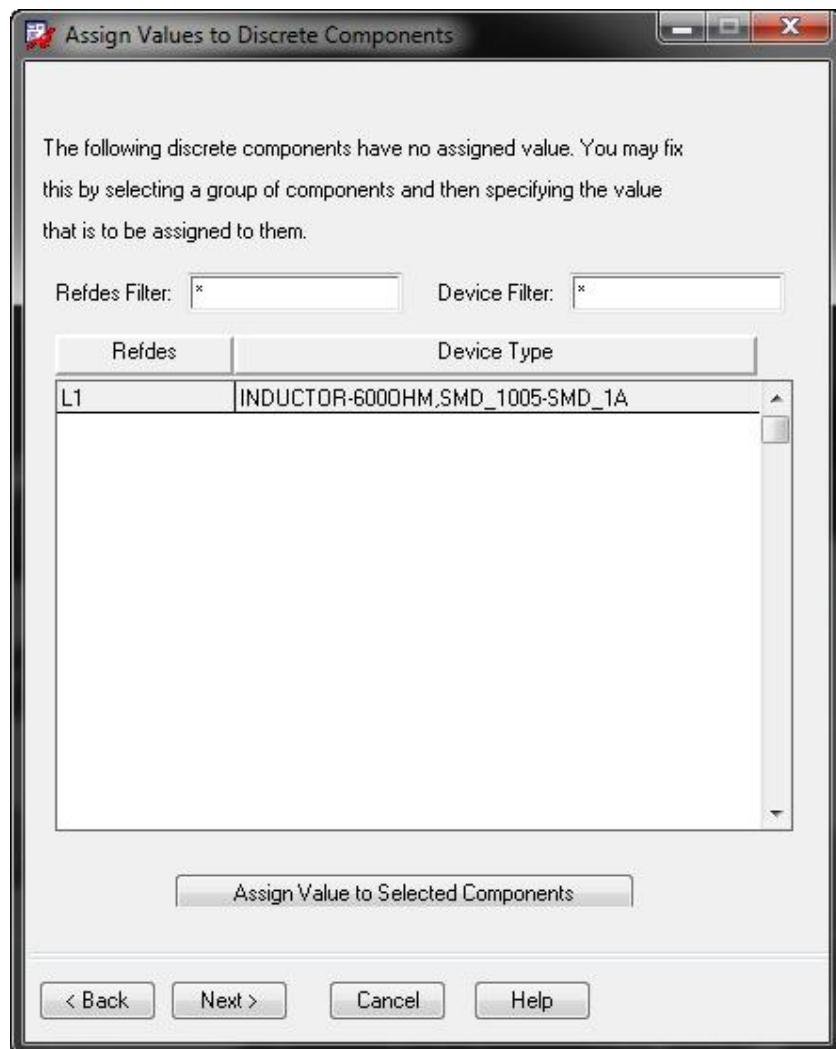


图 30: Assign Values to Discrete Components窗口

在本案例中，有一个磁珠L1没有赋值。由于此磁珠位于寄存器芯片的模拟电源输入电路上，对我们要仿真的信号无关，所以可简单的赋值，例如 $100nH$ ，或是忽略也可。在Assign Values to Discrete Components窗口选中L1，点击下方的“Assign Value to Selected Components”按钮，在弹出的赋值框中输入“ $100nH$ ”，并确认退出。

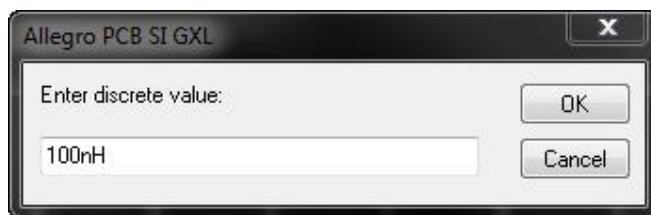


图 31: Allegro PCB SI GXL分立元件赋值对话框

回到Assign Values to Discrete Components窗口，点击“Next”按钮后，切换到Assign Models to Components窗口。

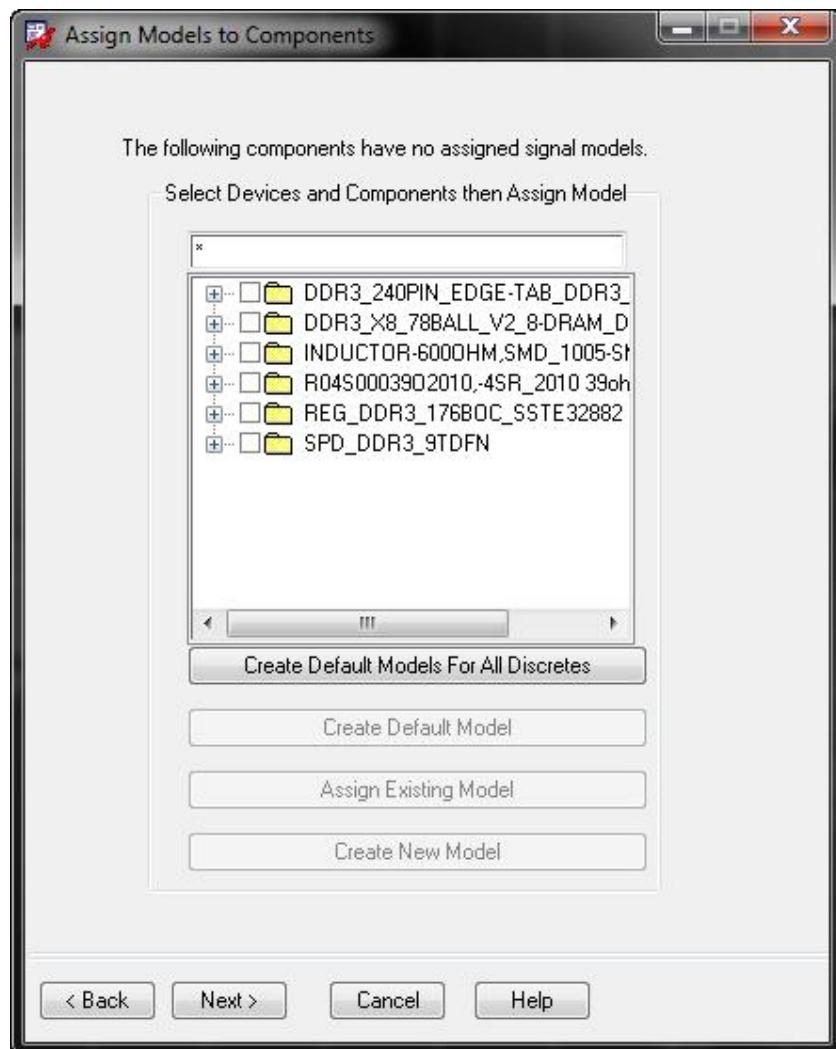


图 32: Assign Models to Components 窗口

点击Assign Models to Components窗口中“Create Default Models For All Discretes”按钮，Allegro PCB SI会自动给所有已识别的分立元件（指电阻、电容和电感等被动元件）创建默认模型。然后依次给需要设置的元器件分配或创建模型。

对于本案例，我们先分配寄存器和内存芯片的模型。勾选中内存芯片（“DDR3_X8...”），然后点击下方的“Assign Existing Model”按钮，会弹出SI Model Browser窗口并已经自动切换到DML Models栏眉。

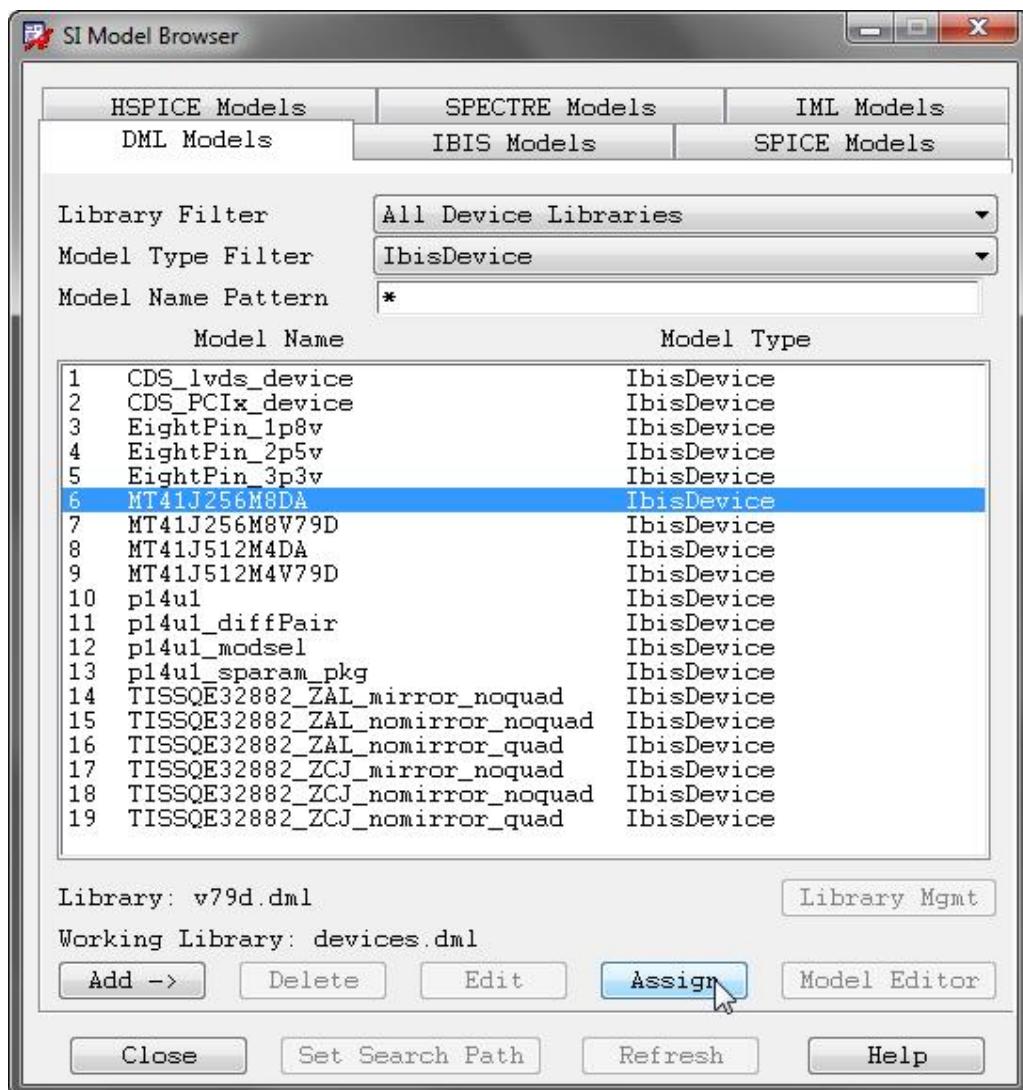


图 33: SI Model Browser窗口的DML Models栏眉

选中内存芯片对应的MT41J256M8DA模型，然后点击下方的“Assign”按钮，确认弹出的提示栏后，内存芯片的模型就指定好了。

回到Assign Models to Components窗口，选中寄存器芯片（“REG_DDR...”），然后点击下方的“Assign Existing Model”按钮，在弹出SI Model Browser窗口选中TISSQE32882_ZAL_nomirror_noquad，再点击下方的“Assign”按钮，确认弹出的提示栏后，寄存器芯片的模型就指定好了。

编者注：EA32882_1p6.ibs和v79d.ibs文件都包含了多个芯片模型，它们所转换得到的dml模型也是一样，我们需要为芯片选择正确的模型。至于IBIS文件的架构以及如何选择正确的模型，不是本文重点，也就不再详述了。

按照之前已经提到的，Allegro 16.5版本已经能“直接”分配IBIS模型，无需事先转换成DML格式。

回到Assign Models to Components窗口，选中并联匹配排阻（“R04S...”），点击下方的“Create New Model”按钮创建新的Espice模型，会弹出Create Espice Device Model窗口。

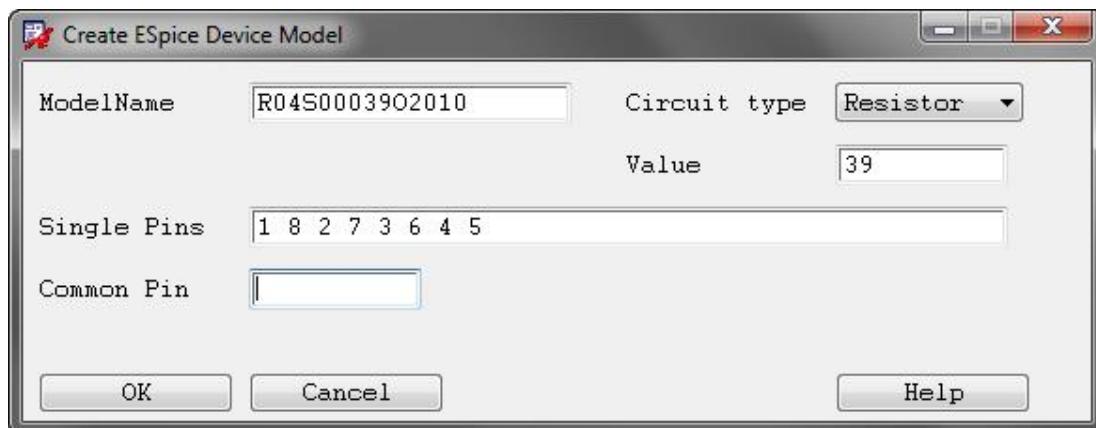


图 34: Create Espice Device Model窗口

修改Create Espice Device Model窗口的Model Name栏为“R04S0003902010”（主要是去除原先命名中存在的可能的非法字符逗号），修改Single Pins栏为“1 8 2 7 3 6 4 5”（目的是使Allegro识别管脚1和管脚8，管脚2和管脚7，管脚3和管脚6，管脚4和管脚5分别构成一个电阻），保留Value值为“39”，OK退出。

还是回到Assign Models to Components窗口，剩下的两个器件分别是金手指（“DDR3_240PIN...”）和SPD芯片（“SPD_DDR3...”），本次仿真并不涉及，可以保留不做设置。当然，也可以手动创建默认的芯片模型，以避免审核时显示错误。选中金手指（“DDR3_240PIN...”），点击下方的“Create New Model”按钮创建新的模型，会弹出Create IBIS Device Model窗口。

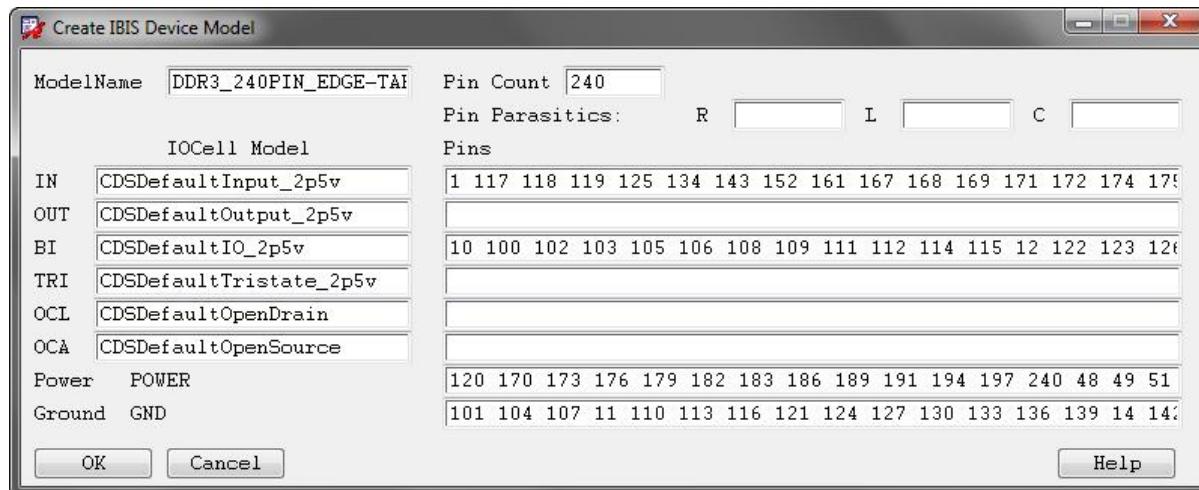


图 35: 在Create IBIS Device Model窗口中创建金手指模型

将Create IBIS Device Model窗口的“IN”栏（第一栏）包含所有Pins拷贝粘贴至“BI”栏（第三栏），其他栏保持默认不变，OK确认后即创建了金手指的默认IBIS器件模型。

同样方式可创建SPD芯片的默认IBIS器件模型，但也建议在Create IBIS Device Model窗口修改管脚属性。

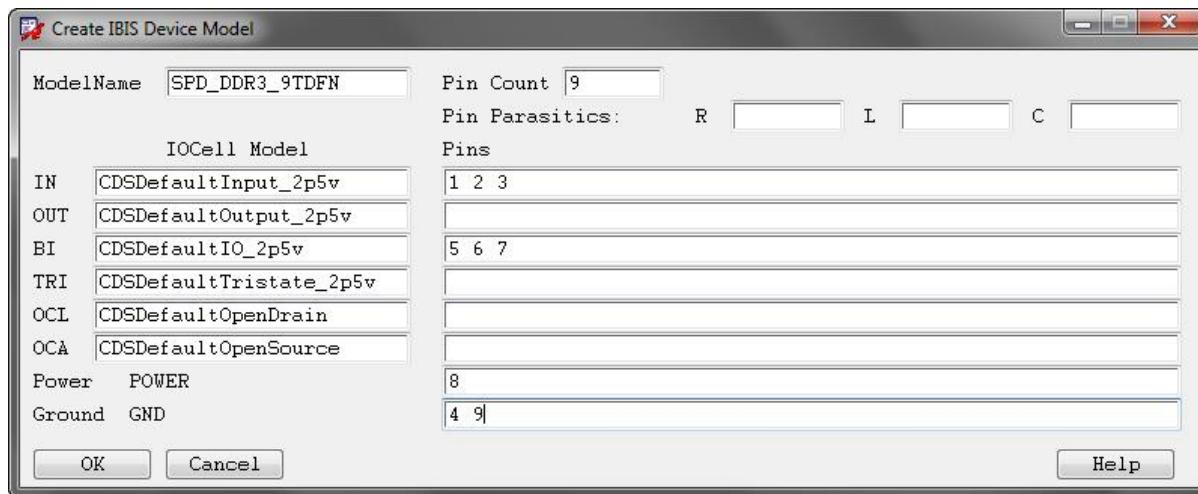


图 36: 在Create IBIS Device Model窗口中创建SPD模型

回到Assign Models to Components窗口后，点击“Next”按钮以进入下一环节。但这时SI Design Audit窗口再次弹出，警告本环节中还有一些元器件配置出现问题。

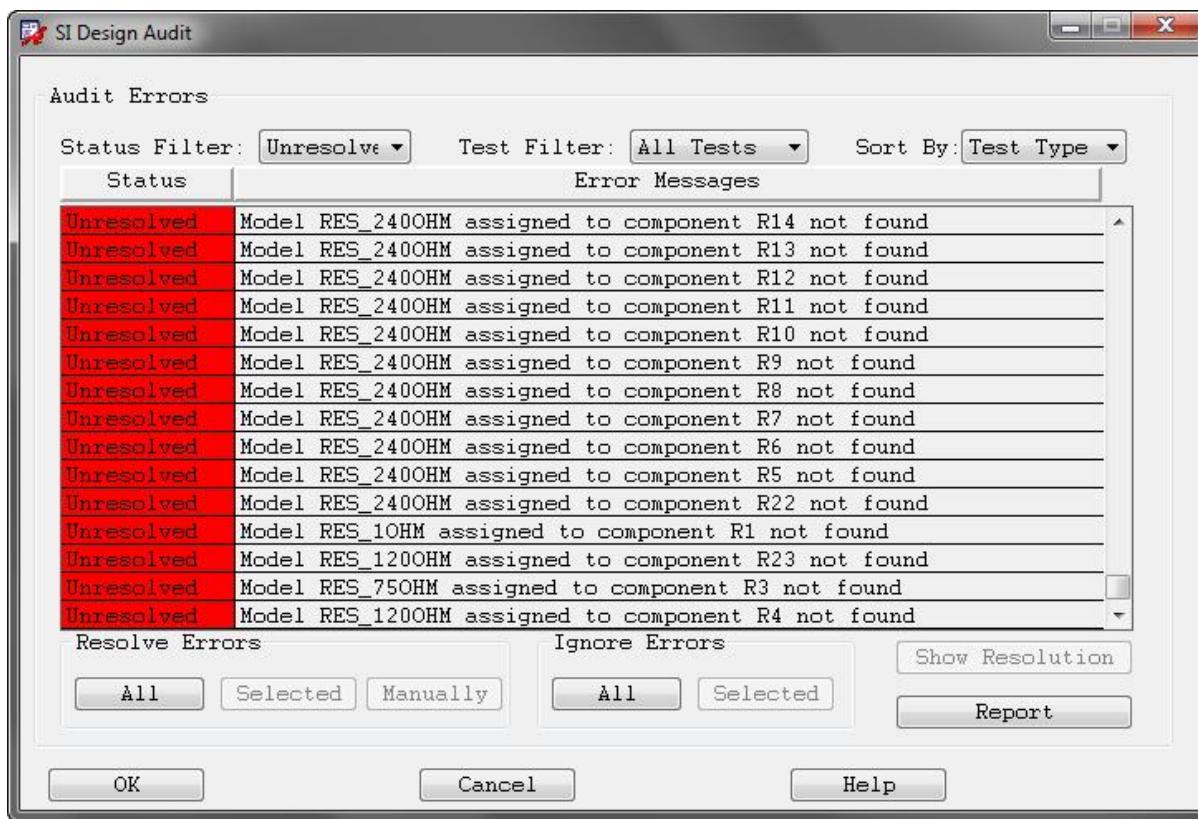


图 37: SI Design Audit窗口提示丢失的模型

SI Design Audit窗口提示的是当前RES_240OHM、RES_120OHM等模型丢失，而这些模型名称是原始的内存条公版设计文件所分配的，我们并没有获取对应的模型文件，自然是找不到。可以点击Resolve Errors栏中的“All”按钮，在弹出的Select Errors to be Resolved窗口中OK确认，Allegro PCB SI会自动给这些电阻分配默认模型。

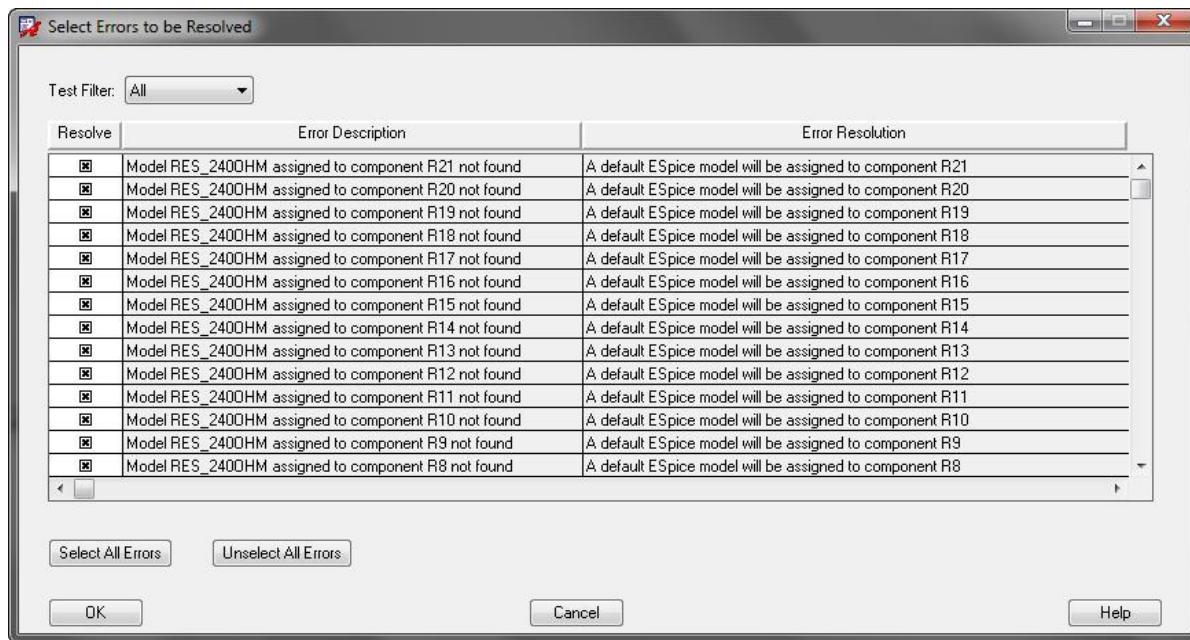


图 38: Select Errors to be Resolved窗口自动修复模型丢失问题

在Select Errors to be Resolved窗口中OK确认后，如果不存在无驱动端或无接收端的扩展网络（Xnet），将直接进入到设置差分对环节，否则将进入Setup Xnets窗口修正存在问题的扩展网络。本案例按照本文的设置一路下来的话，将不存在有问题的扩展网络。

按照之前已经提到的，Allegro 16.5版本已经能“直接”分配IBIS模型，无需事先转换成DML格式，这里我们做进一步说明。不过由于是否事先转换模型格式，仿真效果上并无区别，跳过这步亦无不可。

在Allegro PCB SI中选择Analyze - Model Assignment，会弹出Signal Model Assignment窗口。在器件栏中选中内存芯片（“DDR3_X8_...”），点击下方的“Find Model”按钮，会弹出SI Model Browser窗口。

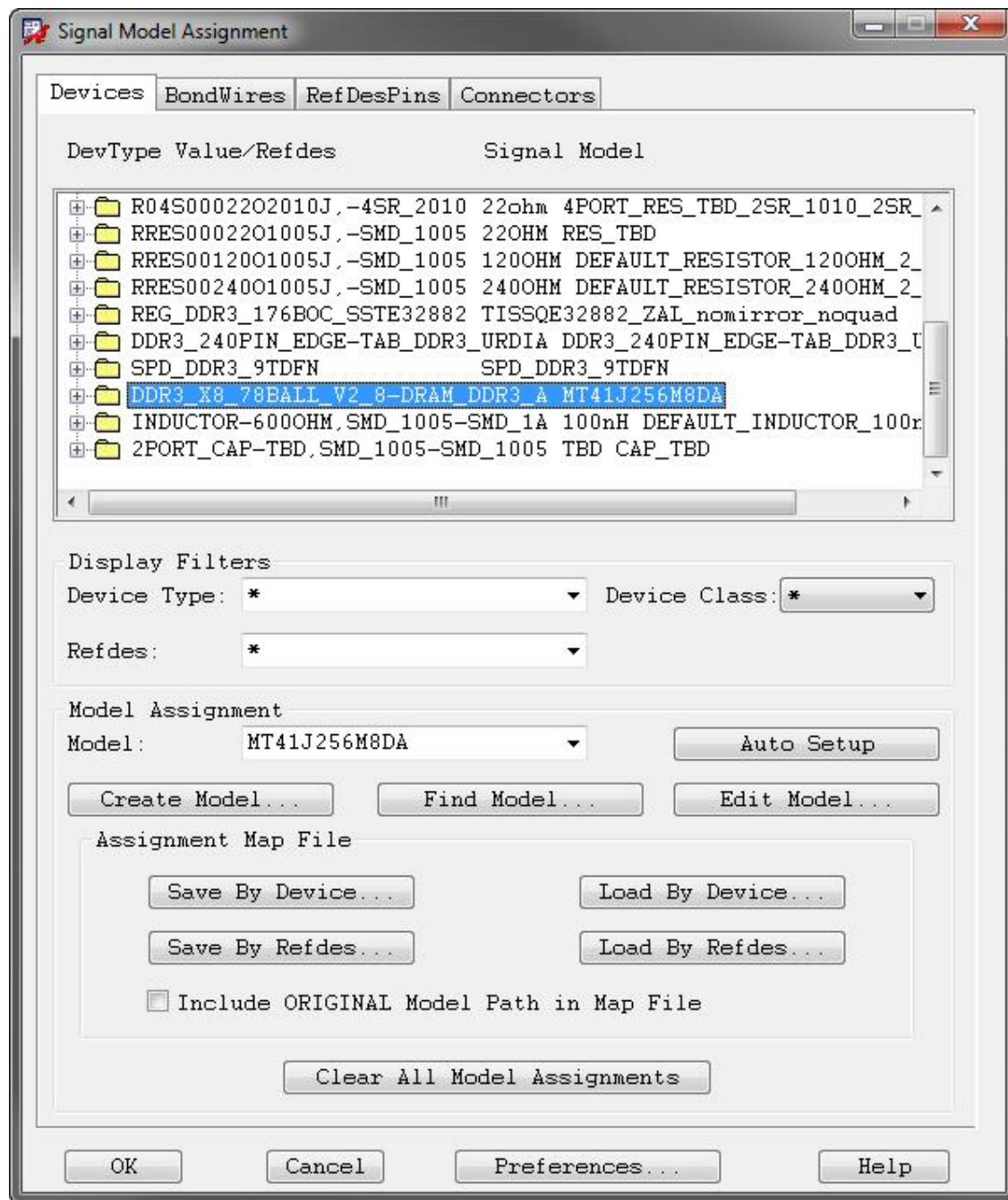


图 39: Signal Model Assignment 窗口

在SI Model Browser中切换到IBIS Models栏眉，并将File Name Filter栏更改为通配符“*”，然后选中下方出现的v79.ibs（确保文件在库路径下），然后点击右下方的“Assign”按钮或“Translate”按钮。

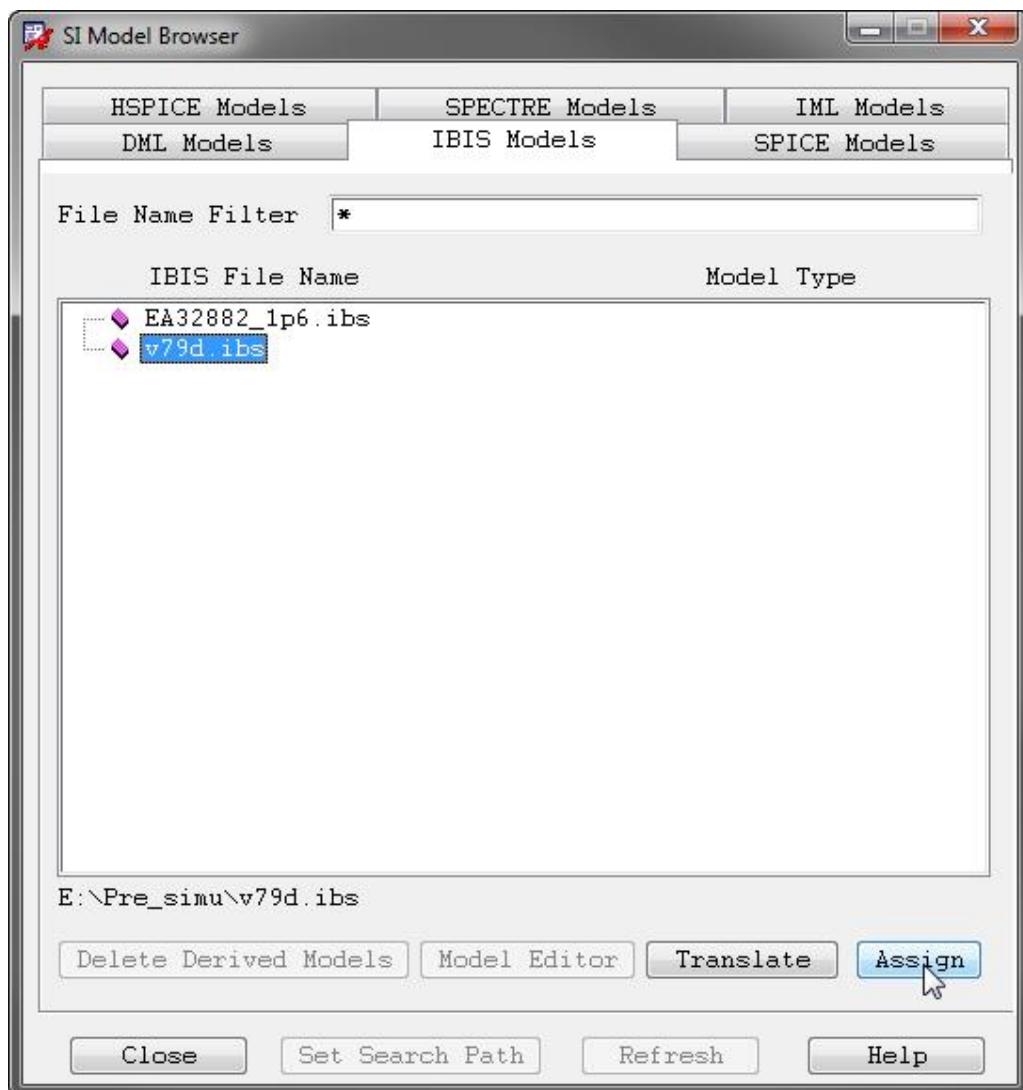


图 40: SI Model Browser窗口中分配IBIS文件

在点击“Assign”后，一般会弹出一个IBIS Model Translation选项窗口供确认。保持默认（选择第一项），OK确认退出。

编者注：选择第一项“**Make model names unique to file**”，转换生成的所有缓冲模型（IOcell）添加模型文件名为前缀，这里会添加v79d。目的是避免当不同IBIS文件中对缓冲模型命名相同时（例如都命名为**INPUT_1V8**），所引起的冲突。

然后SI Model Browser中会显示将v79d.ibs模型转换后得到的所有模型，选择其中的MT41J256M8DA，再次点击右下方的“Assign”按钮，就完成了内存芯片模型的分配。

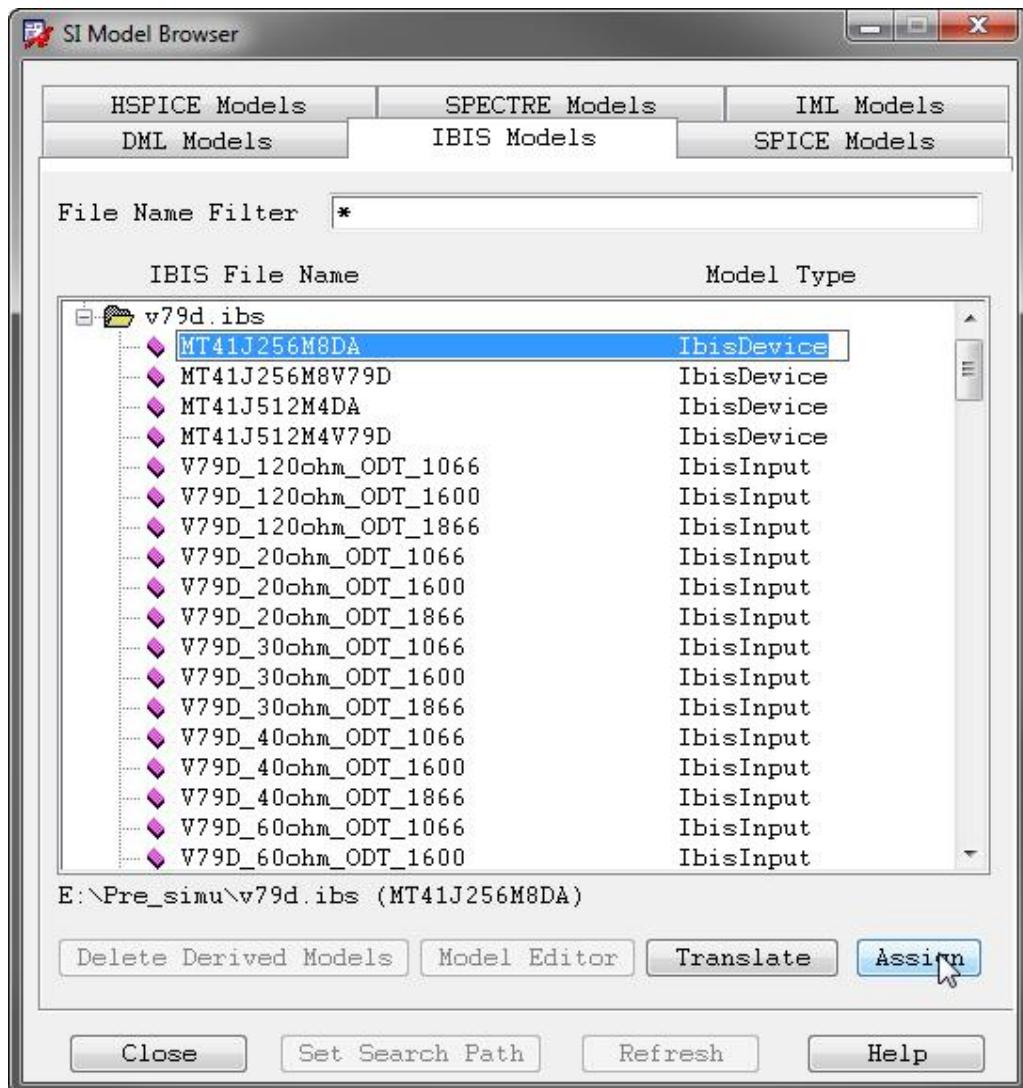


图 41：SI Model Browser窗口中分配IBIS器件

同样的方式，可以完成寄存器芯片IBIS模型的指定。

从上面的介绍我们可以知道，无论是否分配直接分配IBIS模型文件，Allegro PCB SI都需要经过从IBIS到DML的转换，区别只是一个是在明面上手动点击转换，而另一个是在模型指定过程中自动转换。当然，还有比较重要的一点，就是手动通过Model Integrity转换，会生成和IBIS同名的DML文件；而直接分配IBIS文件的方式生成的所有模型都会添加到工作模型库中（默认是device.dml）。

2.4.9 设置差分对

接上节，当我们完成针对上一环节的SI Setup Audit并OK确认后，Setup Component Classes窗口会切换至Setup Diff Pairs窗口，即设置差分对窗口。



图 42: Setup Diff Pairs窗口

Allegro PCB SI在这个窗口上并不是要显示brd中存在的差分对，而是会显示已经在Allegro中定义为差分对却在所分配的芯片模型中没有差分定义的网络。本案例中没有出现这样的情况(差分对已经在公版中正确设置)，所以可以直接点击“Next”按钮进入下一环节。

下面，我们打断流程，来看看如果这里的差分对存在问题，我们应该如何解决。我们先手动将LA<0>和LA<1>设置为差分对DP1，LA<2>和LA<3>设置为差分对DP2（过程忽略），然后重新执行SI Design Setup，行进到差分对设置环节，Setup Diff Pairs窗口此时出现两对有问题的差分对。

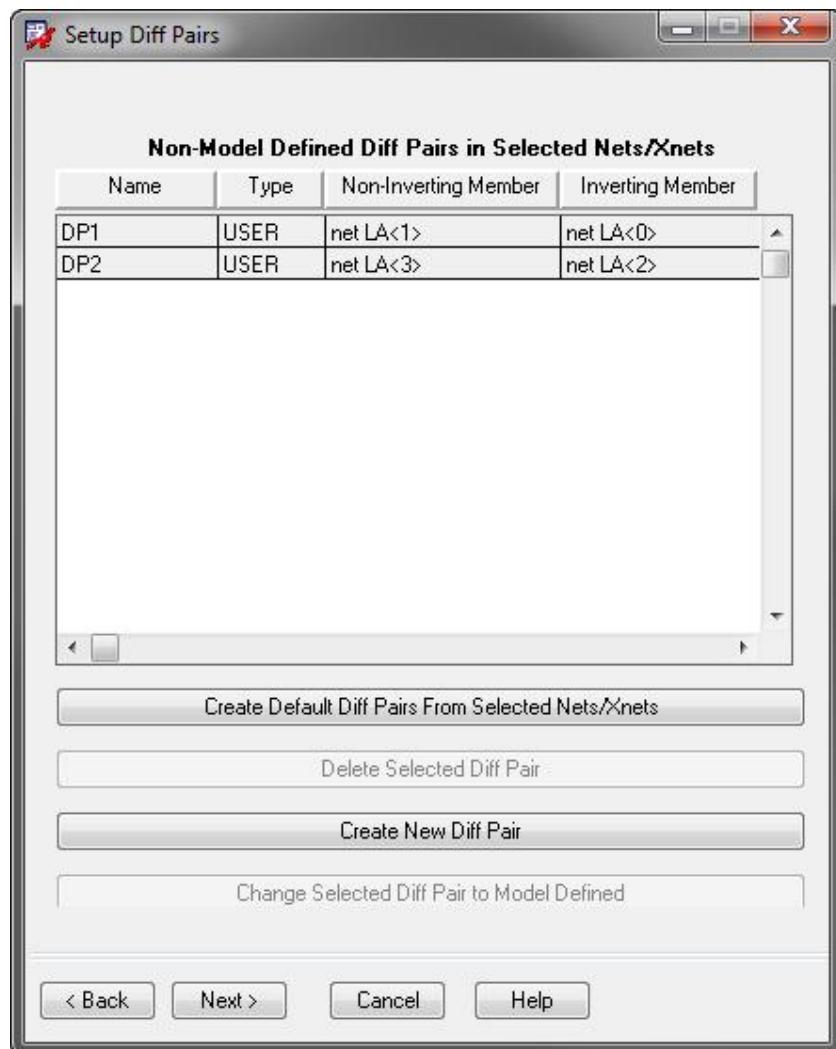


图 43: Setup Diff Pairs 窗口中显示问题差分对

DP1和DP2就是上面提到的已经在Allegro中定义为差分对却在所分配的芯片模型中没有差分定义的“差分对”了。解决的方法比较简单，如果是错误创建的差分对，在Setup Diff Pairs选中后，点击下方的“Delete Selected Diff Pair”按钮删除即可（这里确实是我们故意创建错误的差分对）；如果是芯片模型的遗漏，在Setup Diff Pairs选中后，点击下方的“Change Selected Diff Pair to Model Defined”按钮，会弹出Change Diff Pair to be Defined by a Model窗口。



图 44: Change Diff Pair to be Defined by a Model窗口

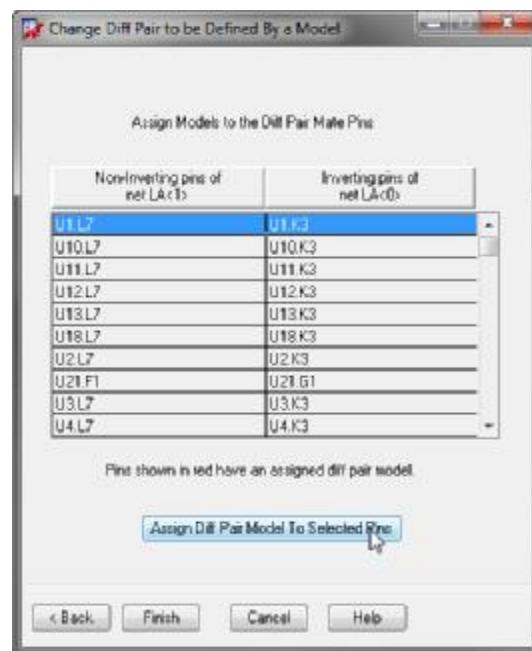


图 45: Change Diff Pair to be Defined by a Model窗口

如果需要切换需设置差分对的极性，可点击“Swap Polarity of Diff Pair Member Xnets”按钮，否则直接点击“Next”按钮切换到Assign Models to the Diff Pair Mate Pins窗口。依次选中下方的管脚对，然后点击“Assign Diff Pair Model to Selected Pins”，直到所有管脚对都设定差分模型（变成红色），然后点击下方的“Finish”按钮完成管脚对差分模型的设置。

其实造成这个提示的原因是芯片模型有瑕疵，没有正确的设定差分对，这种情况一般只出现在早期的IBIS文件中，现在规范的IBIS文件已经不会出现这种问题。另外，其实我们也可以通过手动修改模型的方式实现对管脚对的差分模型设置。

例如对本案例，我们打开Allegro PCB SI中的Analyze -> Model Browser。

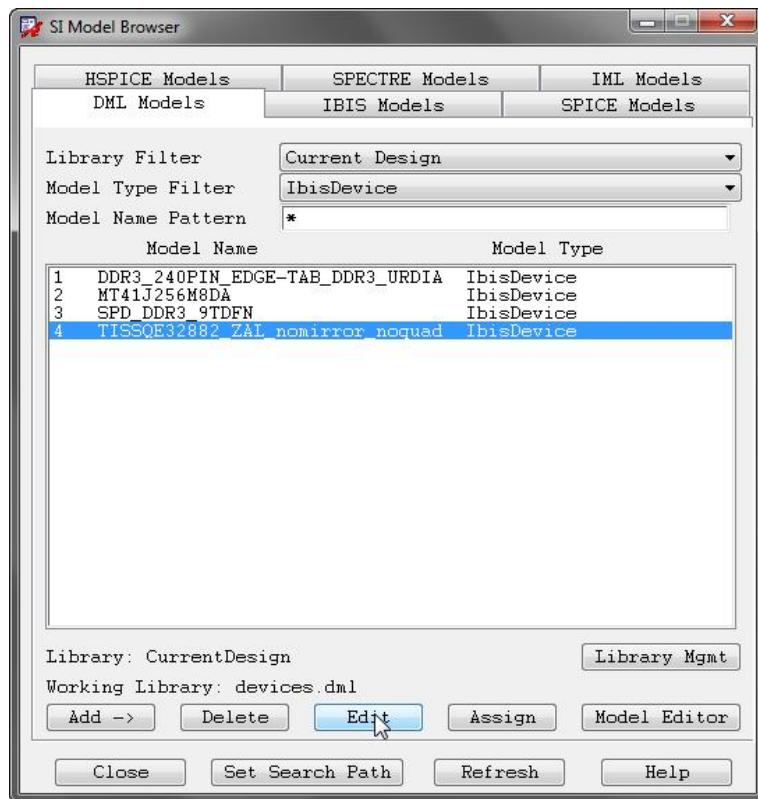


图 46：在SI Model Brower窗口中编辑IBIS器件

在弹出的SI Model Brower窗口中切换至DML Models栏眉下，修改Library Filter栏位Current Design，修改Model Type Filter栏为IbisDevice，然后在下方找到TISSQE32882_ZAL_nomirror_noquad，点击下方的“Edit”按钮，会弹出IBIS Device Model Editor窗口。

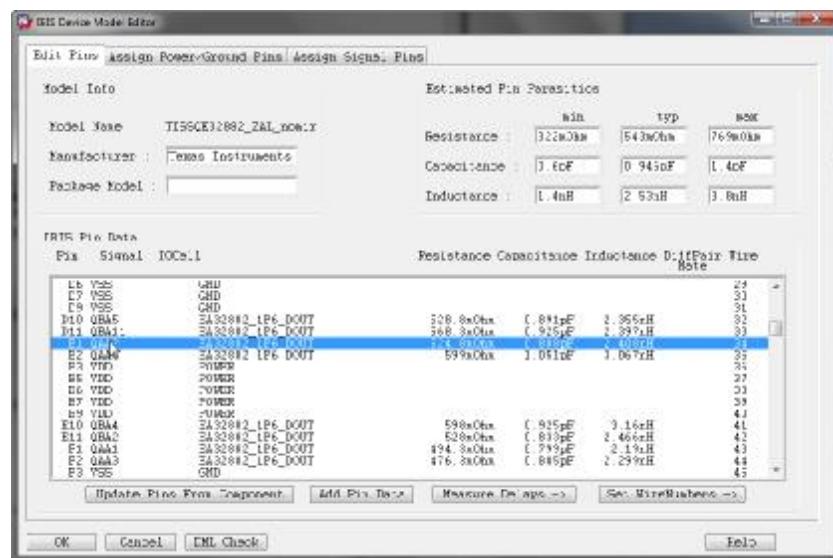


图 47：在IBIS Device Model Editor窗口中选择管脚

在弹出的IBIS Device Model Editor窗口中（默认的Edit Pins栏眉下）找到目的差分管脚对中的任意一个，例如本案例的LA<2>连接的Pin E1，并点击它，会弹出IBIS Device Pin Data窗口，如下左图，然后修改窗口下方的Diff Pair Data的内容，主要Type栏选择极性，Mate Pin栏填入另一差分对管脚号，修改的结果如下右图（需要的话，Launch Delay和Logic Threshold Values也应填入正确数值）。



图 48: IBIS Device Pin Data窗口



图 49: IBIS Device Pin Data窗口中修改数据

一路确认退出后，即完成了对寄存器芯片模型中“遗漏”的差分管脚对的设置，同样方式可设置内存芯片模型中“遗漏”的差分管脚对。

以上之所以要确认所有需仿真的差分对都已在芯片模型中设定，目的是使仿真时Allegro PCB SI能够将其识别为差分缓冲器，才能正确地设置差分激励和测量差分信号。

2.4.10 设置仿真参数

接上节，当完成差分对的设置后，Setup Diff Pairs窗口会切换至Setup SI Simulations窗口，即设置仿真窗口。上半部分设置需要仿真的类型，包括Reflection（反射），Comprehensive（综合），Simulated Crosstalk（串扰仿真），Estimated Crosstalk（串扰评估），SSN（同步开关噪声），EMI（电磁辐射），Bus Analysis（总线分析），Signal Quality Screening（信号质量筛选）；下半部分设置仿真器类型，分别是t1sim（Allegro PCB SI自带），HSpice和Spectre（后两者都是外部仿真器）。这里我们选择最普遍的反射仿真和t1sim仿真器，然后点击“Next”按钮。



图 50：Setup SI Simulations窗口



图 51：Setup Complete窗口

在点击“Next”按钮后，由于我们选择的是反射仿真，所以并不需要做额外的设置，Setup SI Simulations 窗口将直接切换至Setup Complete窗口，即设置完成窗口。在这里，我们可以点击窗口中的“Run SI Design Audit”按钮运行一次完整的SI设计审核，确保所有设置都已确认无误后，点击下方的“Finish”按钮结束SI Design Setup。

虽然这里完成了SI Design Setup的所有环节，但是我们的仿真设置并没有真正完成，还需要进行仿真参数设置。

选择Allegro PCB SI GXL中的命令Analyze -> Preferences，会弹出Analysis Preferences窗口，其中包含七个栏眉，分别是DevicesModels、InterconnectModels、Simulation、S-Parameters、Units、EMI和Power Integrity，依次列在下文中。



图 52: Analysis Preferences 窗口 DevicesModels 栏眉

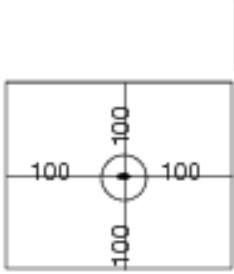


图 53: Analysis Preferences 窗口 InterconnectModels 栏眉

DevicesModels栏眉中可设置当元件模型缺失时默认的缓冲器模型，以及**Buffer Delays**缓冲器延迟。其中前者一般可保持默认，后者与**SwitchDelay**和**SettleDelay**等时序测量有关，具体稍显复杂，不在本文论述。可以在此选择**On-the-fly**，会在仿真的同时计算**Buffer Delays**，而无需事先仿真计算出**Buffer Delays**；如果是差分缓冲器，需要选择**From Library**，并需事先仿真计算出**Buffer Delays**；当然，如果无需使用**SwitchDelay**和**SettleDelay**时序参数，此项可以随意选择。

InterconnectModels栏眉中，可以设置传输线模型过孔模型等。在上半部分**Unrouted Interconnect Models**，即未布线互联模型中，可保持默认，Allegro PCB SI在处理尚未连接的传输线（也就是鼠线）时，会按照这里的参数建模。在中部是**Routed Interconnect Models**，即已布线互联模型，需要根据建模精度的要求调节，具体如下表。

栏目名称	内容
Default Cutoff Frequency	即默认截止频率，截止频率越高，仿真越精确，但耗时越长。当所需仿真的信号频率较低（100MHz数量级）时，可保持此项默认的0GHz不变，也就是将传输线按照无损传输线建模，能较大幅度缩短仿真时间；一般情况下，这个截止频率应大于信号转折频率的3倍，或者是1/Tr（Tr为信号上升时间）。本案例可设为5GHz。
Shape Mesh Size	即形状网格尺寸。当传输线的边界元素尺寸大于此数值时，会被识别为形状。一般为了保证仿真性能，可保持默认的50mil不变或稍精确一些的25mil。本案例可设为50mil。

Diffpair/Via Coupling Window	即差分对/过孔耦合窗口，用于判断差分线和差分过孔是否耦合（前者还需大于最小耦合长度），可保持默认的100mil。
	
Geometry Window	即几何窗口，当临近传输线（无论是同层还是相邻层）间距小于此数值时（还需大于最小临近电容和最小耦合长度），会考虑串扰影响。这里建议将默认的10mil增大到20~30mil，以提升串扰仿真精度。
Min Coupled Length	即最小耦合长度，耦合线段需要平行布线，不存在弯曲，而且大于此数值后，才会考虑串扰影响。由于蛇形线极为普遍，这里建议将默认的300mil改至10mil~30mil以提高精度。
Min Neighbor Capacitance	即最小临近电容，耦合线需要大于此互容才会考虑串扰影响。这里建议将默认的0.1pF修改至0.01pF以提高精度。
Algorithm Model Generation	算法模型生成，默认勾选。简单的说，当勾选时，场求解器会先查找互联模型库中是否存在匹配的输出线模型，存在时直接调用，不存在的话再通过场求解器创建。
Enable CPW Extraction	使能CPW提取，Allegro PCB SI新的EMS2D全波场求解器支持CPW（共面波导）传输线，在选择EMS2D场求解器的情况下勾选此选项，将支持Allegro PCB SI中CPW传输线的提取。本案例因为采用传统的Bem2D场求解器，所以这里是否勾选无区别。
Field Solver	场求解器。Allegro PCB SI支持两种场求解器，Bem2D和EMS2D，两者的区别简单地说，传统的Bem2D场求解器运算速度快，精度能满足5GHz以下信号要求；而新的EMS2D场求解器精度更高（能最高支持到THz），支持传输线类型和参数更多，但仿真速度偏慢，如果使用算法模型可以在一定程度上缓解。本案例频率不太高，可以选择Bem2D。

表格 1: Routed Interconnect Models参数

另外，当在Field Solver栏选择EMS2D场求解器时，可通过右方的“Preferences”按钮打开EMS2D Preferences对话框，设定EMS2D场求解器的参数。

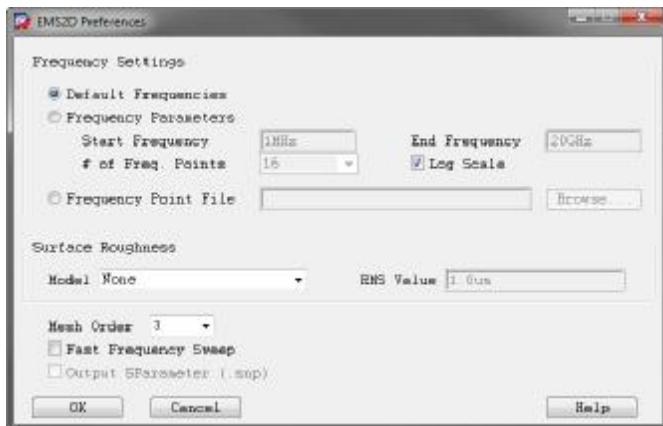


图 54: EMS2D Preferences对话框

而通过下方的Via Modeling Setup按钮可打开Via Model Extraction Setup窗口，设置过孔模型的提取。

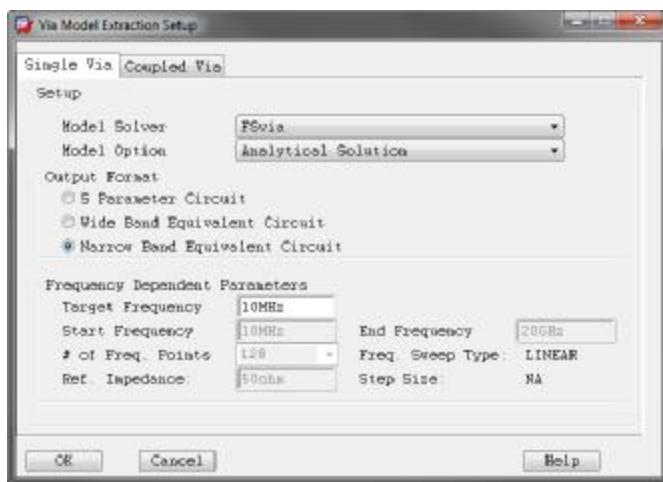


图 55: Via Model Extraction Setup窗口

在InterconnectModels栏眉中的下方还有几个选项，勾选Differential Extraction Mode使能差分对的提取，不选Diffpair Topology Simplification禁用差分对模型简化功能，Plane Modeling用于SSN同步开关噪声仿真，是否勾选与本案例无关。

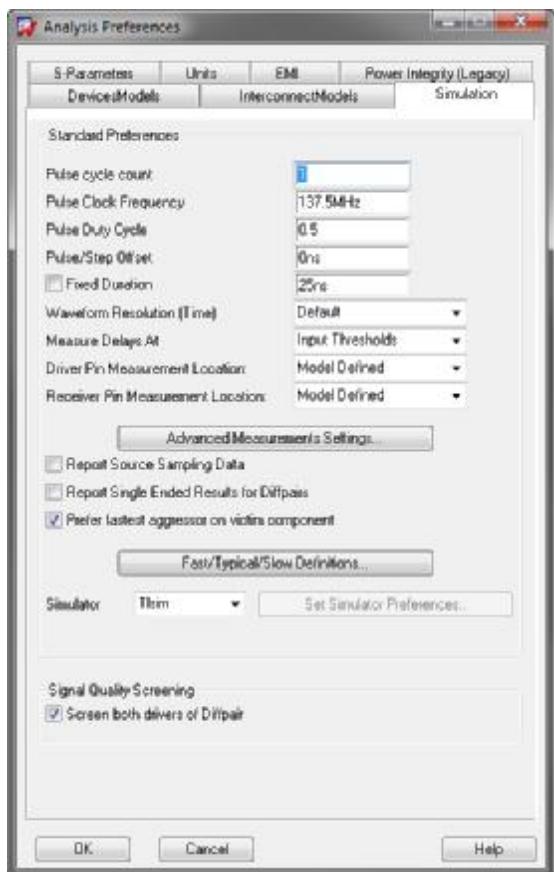


图 56: Analysis Preferences窗口Simulation栏眉

在Simulation栏眉中，各项参数或选项的说明如下：

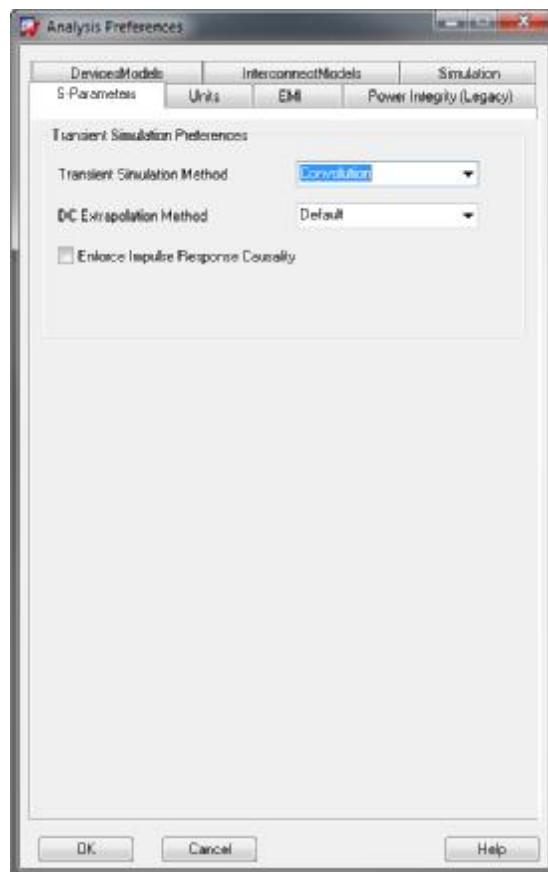


图 57: Analysis Preferences窗口S-Parameters栏眉

栏目名称	内容
Pulse Cycle Count	当选择脉冲激励仿真时，脉冲的周期数在此设置。
Pulse Clock Frequency	当选择脉冲激励仿真时，脉冲的时钟频率在此设置。
Pulse Duty Cycle	当选择脉冲激励仿真时，脉冲的占空比在此设置。
Pulse/Step Offset	当选择脉冲激励仿真时，脉冲的偏移量在此设置。
Fixed Duration	当勾选时，仿真将持续本栏中填入的时间。默认不勾选，以激励持续时间为仿真时间。
Waveform Resolution	波形分辨率，表征波形取点的间隔时间，数值越小，仿真精度越高，但耗时越多。一般分辨率应至少小于波形上升时间的十分之一。本案例可取20ps.
Measure Delay At	设定延迟测量点，可设置为Input Threshold或Vmeas，用于确定缓冲器延迟(Buffer Delay)的测量电压是输入阈值电压Vil和Vih，或是预设的缓冲器延迟测量阈值电压Vmeas。
Driver Pin Measurement Location	驱动器的测量位置，可以选择Die、Pin或Model Defined，分别是晶元焊盘、封装管脚和DML模型所定义的位置。建议将默认的Model Defined改为Die，这里得到的波形才是真实的输出波形。
Receiver Pin Measurement Location	接收器的测量位置，同上。同样建议设置为Die。
Report Source Sampling Data	当勾选时，Allegro PCB SI会将驱动器当作一个接收器一样给出数据报告。默认不勾选。
Report Single Ended Results for Diffpairs	当勾选时，Allegro PCB SI会将差分对当作单端信号给出结果报告。默认不勾选。
Prefer fastest aggressor on victim component	当勾选时，Allegro PCB SI会寻找最快的干扰源。默认勾选。
Simulator	仿真器，对于Allegro PCB SI有两种可选，其中默认的t1sim是自带的，而如果选择HSpice需要有Synopsys公司的HSpice软件。
Screen both drivers of Diffpair	当勾选时，信号质量筛选会对差分对正负信号驱动都执行。默认勾选。

表格 2: Simulation栏眉仿真参数

在Simulation栏眉中还有两个设置按钮，点击“Advanced Measurements Settings”按钮会打开Set Advanced Measurement Parameters对话框，主要用于设置Glitch容差。

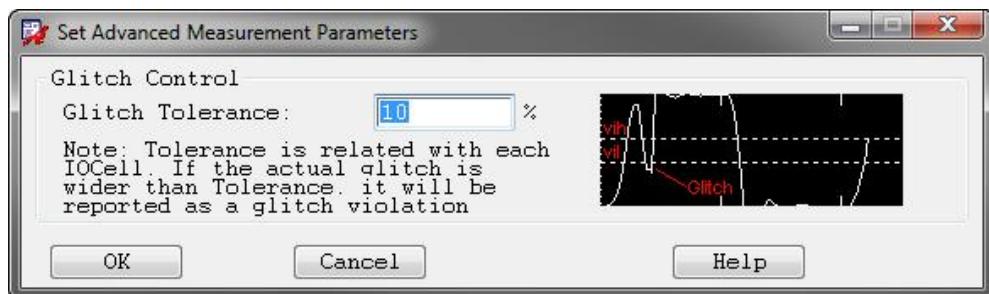


图 58: Set Advanced Measurement Parameters对话框

点击“Fast/Typical/Slow Definitions”按钮会打开Fast/Typical/Slow Simulations Definition窗口，用于设置Allegro PCB SI在选择Fast/Typical/Slow类型执行仿真时，所对应的模型数据。

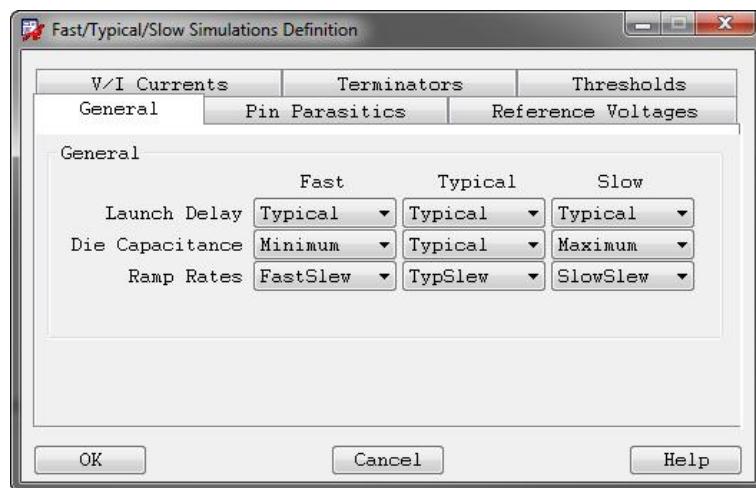


图 59: Fast/Typical/Slow Simulations Definition 窗口



图 60: Analysis Preferences 窗口 Units 栏眉

Units 栏眉中可设定仿真中的默认单位，一般保持默认即可。

EMI 栏眉在执行 EMI 仿真时使用，用于设置 EMI 等级，设计裕量和分析距离等。与本案例无关。

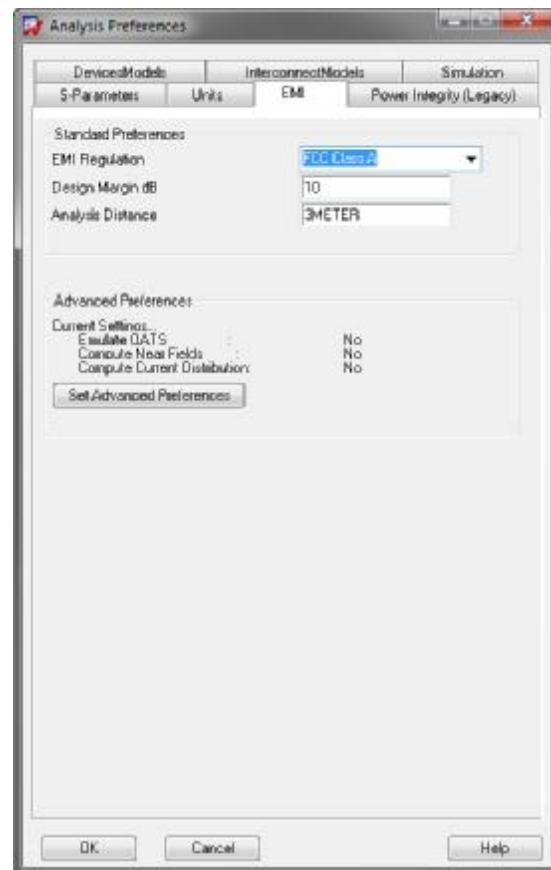


图 61: Analysis Preferences 窗口 EMI 栏眉

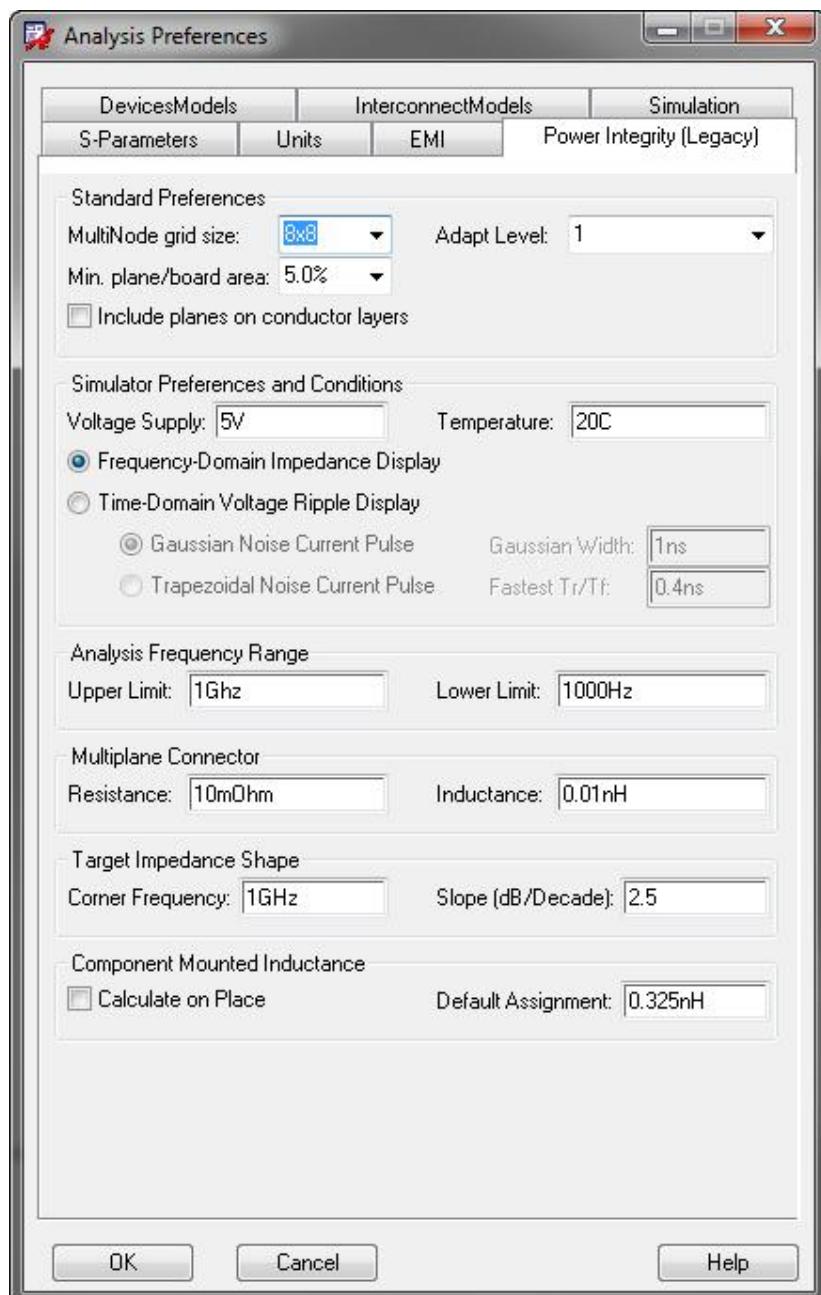


图 62: Analysis Preferences 窗口 Power Integrity 标签页

Power Integrity 标签页是设定 PI 仿真（16.5 版本命名为 PDN Analysis）的参数，与本案例无关，不做详解。

2.4.11 SI Design Audit相关

SI Design Audit命令在16.5版本中也得到了改善，虽然我们开始SI Design Setup时在Setup Category Selection窗口已经勾选了“Run Audit upon completion of each setup category”选项（图10），但依然建议在SI Design Setup结束前在Setup Complete窗口（图51）点击Run SI Design Audit，或者在Allegro PCB SI界面下选择Setup -> SI Design Audit执行一次完成的仿真审核过程。原因是当我们按照SI Design Setup的步骤执行了靠后的环节时，部分设置可能影响到之前已有的设置，重新执行仿真审核可避免因此带来的问题。例如添加了芯片IBIS模型后，器件的PINUSE属性会依据IBIS模型中的缓冲器类型自动修改，这样就有可能出现我们之前没有注意到的电源和地管脚，有可能影响到仿真的执行。

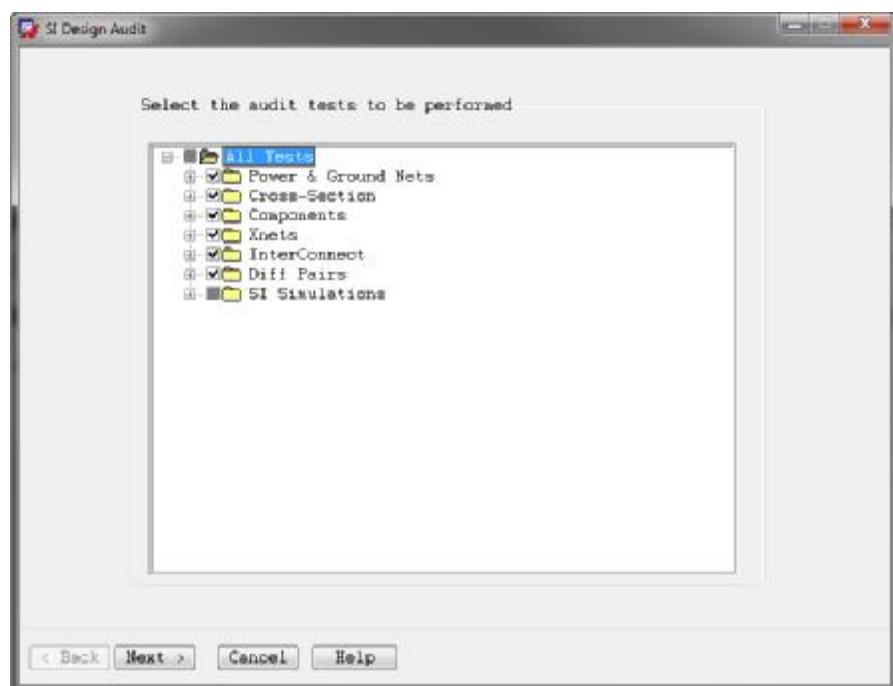


图 63: SI Design Audit窗口审核项目选择界面

当点击SI Design Audit命令开始仿真审核时，SI Design Audit窗口会弹出并首先显示审核项目选择界面，保持默认的全选，点击下方的“Next”按钮，进入下一环节。

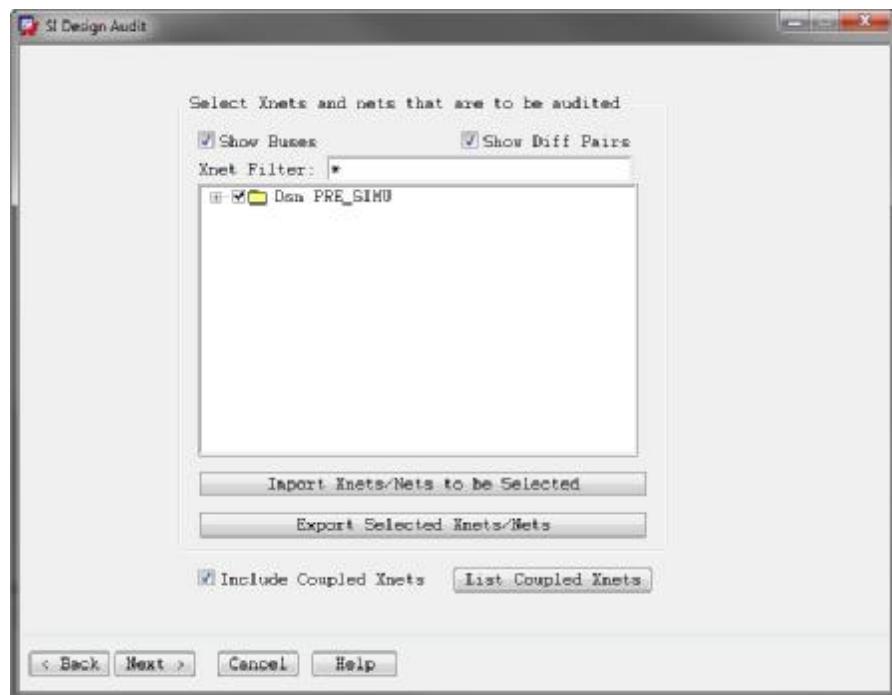


图 64: SI Design Audit窗口网络选择界面

接下来，和SI Design Setup流程时类似，SI Design Audit窗口会进入到网络选择界面，选择需要执行审核的网络。在本案例中选择保持全选，然后点击下方的“Next”按钮，进入下一环节。

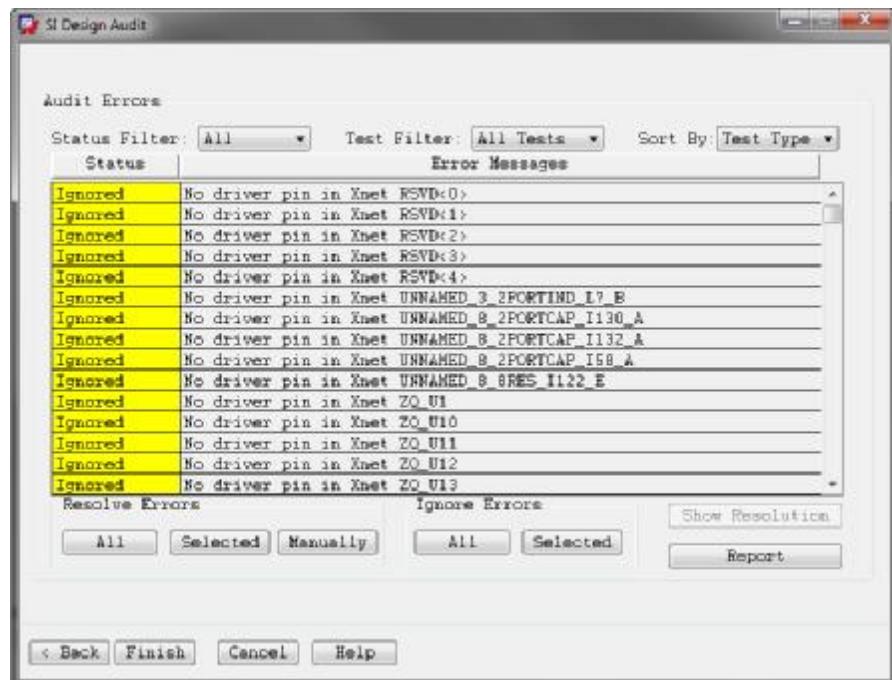


图 65: SI Design Audit窗口审核错误显示界面

接下来，SI Design Audit在经过短暂的运行后，会将当前设计中存在的SI设置问题列举出来，我们可以描述的问题选择忽略（Ignore Error栏），或是通过自动方式（Resolve Errors栏中“All”或“Selected”按钮）或手动方式（Resolve Errors栏中“Manually”按钮）解决。

2.4.12 提取拓扑

当我们在Allegro PCB SI中完成了对设计数据库的仿真设置后，我们就可以在电路板尝试布线，以找到一个可行的布线方案了。如果布线方案已经确定，可以按照此方案执行需仿真总线中的一个网络的粗略布线，用于之后的拓扑提取。

在案例中，我们按照预定的线宽和拓扑结构完成LA<9>与LCK0和LCK0*的连接如下图。

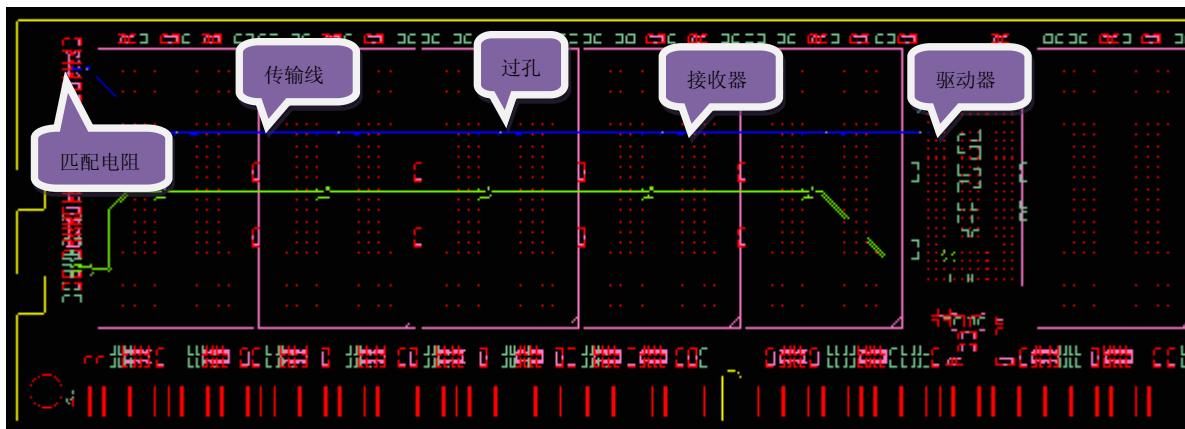


图 66: RDIMM上的预布线

提取网络拓扑的方式很简单，在16.5版本中可以采用新的简便方式或传统的方式。新的方式是，在Allegro PCB SI工作台（canvas）的空白区域右键单击，在弹出的右键菜单中选择Application Mode -> Signal Integrity切换到SI模式用户界面下。

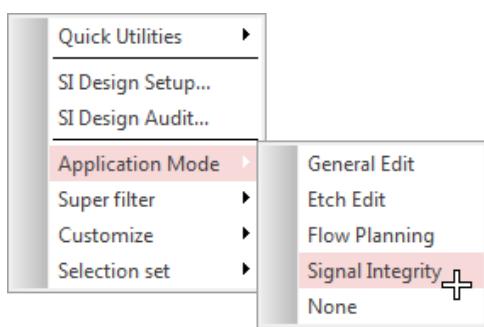


图 67: 选择SI用户界面

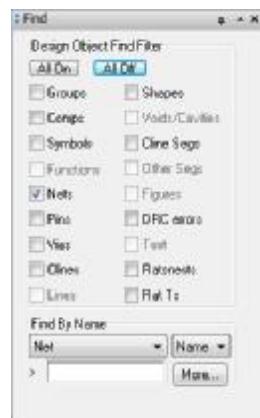


图 68: 过滤器

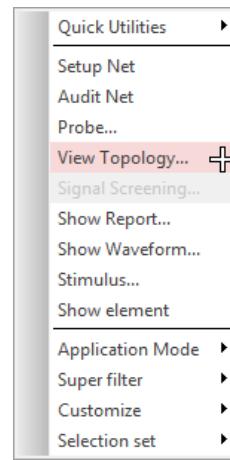


图 69: 查看拓扑

确认右方的Find Filter栏已勾选Net，鼠标移动至传输线（如LA<9>）上方，右键选择View Topology，经过一段时间的运算后，SigXplorer（也叫SigXP，或Signal Explorer）窗口就会弹出，并显示信号拓扑。

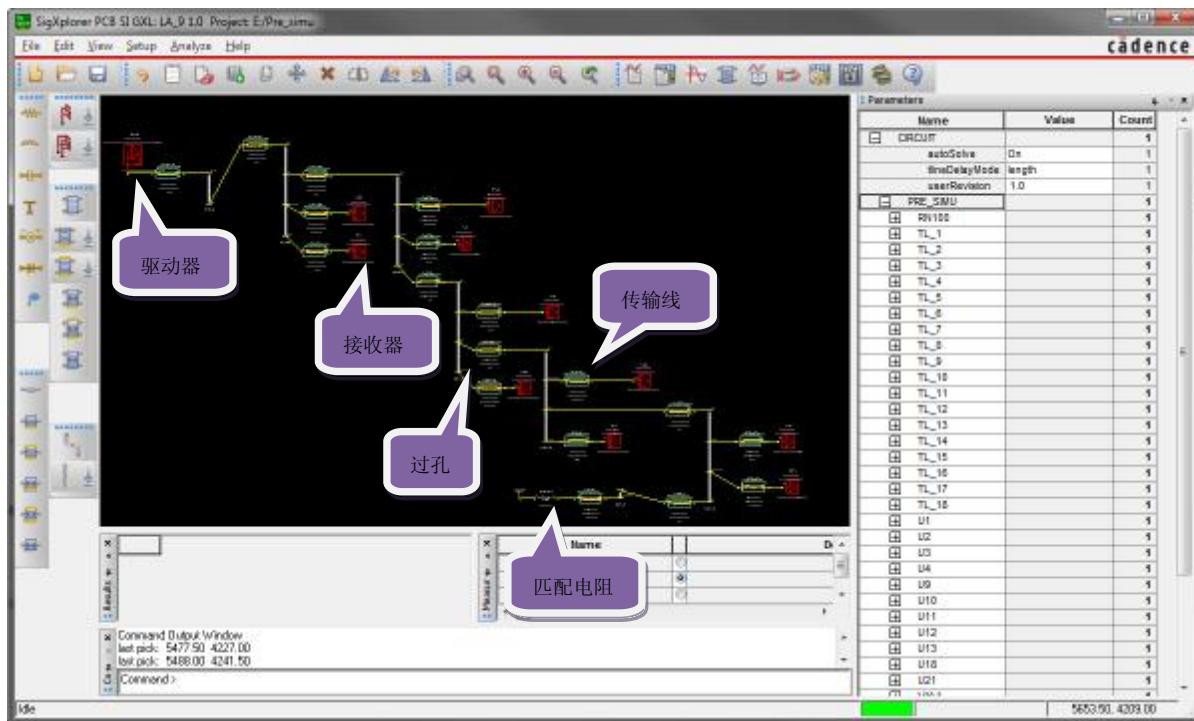


图 70: SigXplorer界面中显示网络拓扑

保存此top文件，供之后仿真使用。

传统的方式是在Allegro PCB SI菜单中选择Analyze -> Probe，在弹出的Signal Analysis窗口中找到网络LA<9>，点击“View Topology”按钮，同样可提取出上述拓扑进入SigXplorer中。

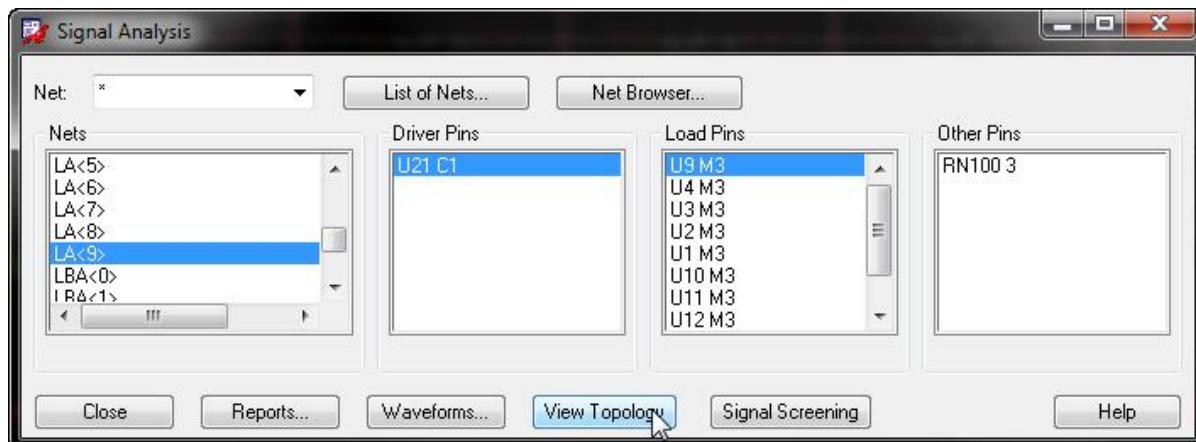


图 71: 在Signal Analysis窗口选择网络提取拓扑

2.4.13 在SigXP中设置仿真库和仿真参数

前面我们介绍了如何在Allegro PCB SI界面下提取传输线拓扑进入到SigXP中，而且看起来过程特别是设置部分还是比较复杂的，可能就会有人问有没有更方便的方法呢。

首先需要说明的是，编者认为其实上述设置过程还算是比较简单的，熟悉了后就会知道，Allegro PCB SI仿真设置过程可以简单的归结为三个环节：设置叠层、设置电源和地、设置仿真模型，而都只需针对与所需仿真的网络相关的部分。而所有设置，就算是不使用SI Design Setup这个设置向导，也可以通过Allegro PCB SI的命令逐项完成。

前仿真阶段，除了提取拓扑的方式，对已知拓扑，还可以用手动方式直接在SigXP中创建拓扑。在绘制拓扑之前，我们同样需要对SigXP进行一定配置。



点击开始菜单中的 SigXplorer 快捷方式，或者在目录 %CDSROOT%\tools\pcb\bin（其中，%CDSROOT% 是 Cadence SPB 的安装目录，例如 D:\Cadence\SPB_16.5）下找到 sigxp.exe 执行文件，点击，一般会先弹出 Cadence Products Choices 窗口供选择产品，这里选择 Allegro PCB SI GXL（需要 License），OK 确认后即打开 SigXplorer 窗口。

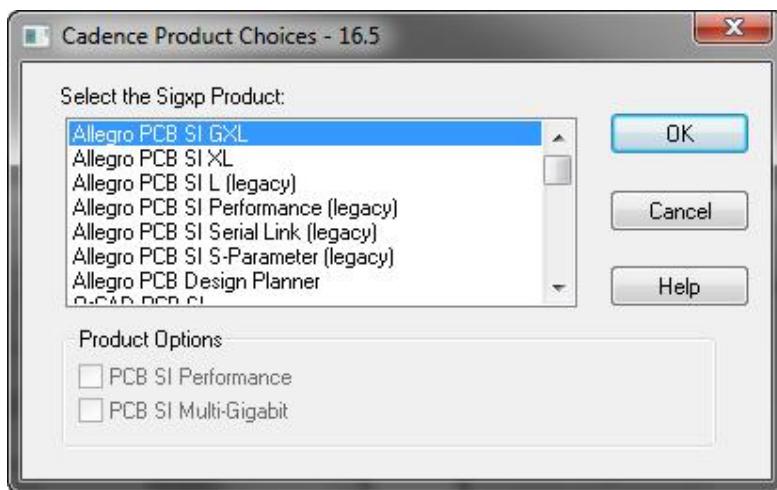


图 72: Cadence Products Choices 窗口

在 SigXplorer 窗口中选择 Analyze -> Model Browser，就会弹出 SI Model Browser 窗口，其中显示当前所设定的库路径中找到的模型，界面和 Allegro 中的同名窗口一致（图33）。

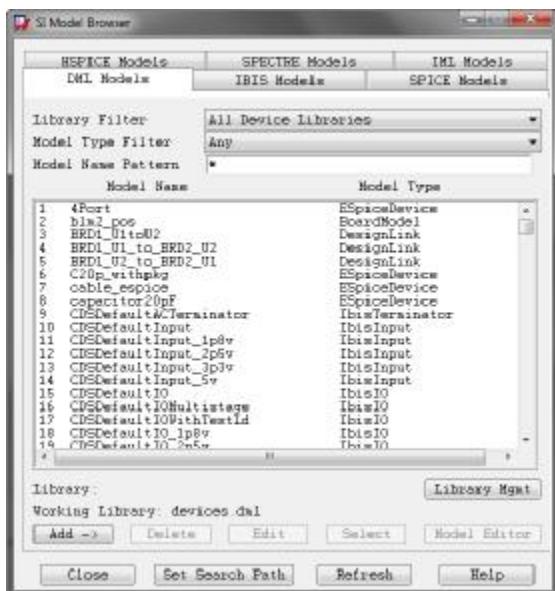


图 73: SI Model Browser窗口



图 74: Set Model Search Path窗口

在SI Model Browser窗口中，我们可以点击下方的“Set Search Path”按钮打开Set Model Search Path窗口，可以在其中设置模型库的搜索路径以及默认的模型文件后缀名。相关的设置和之前在Allegro PCB SI中一致（第2.4.4节），不再详述。

在SI Model Browser窗口中，我们可以点击下方的“Library Mgmt”按钮打开DML Library Management窗口，可以在其中设置DML模型库状态（是否工作库，是否忽略）。相关的设置和之前在Allegro PCB SI中一致（第2.4.4节），不再详述。

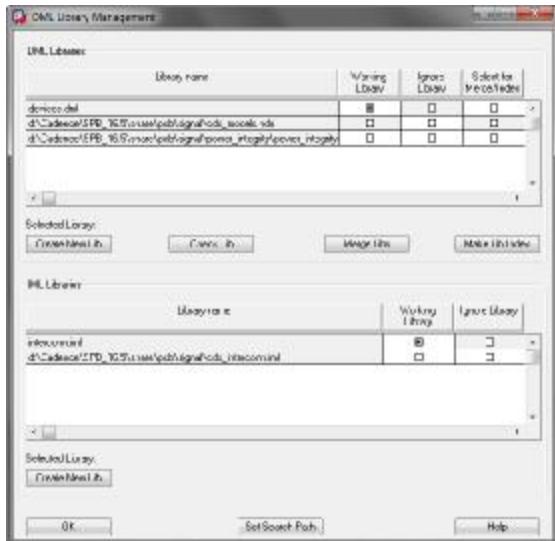


图 75: DML Library Management窗口

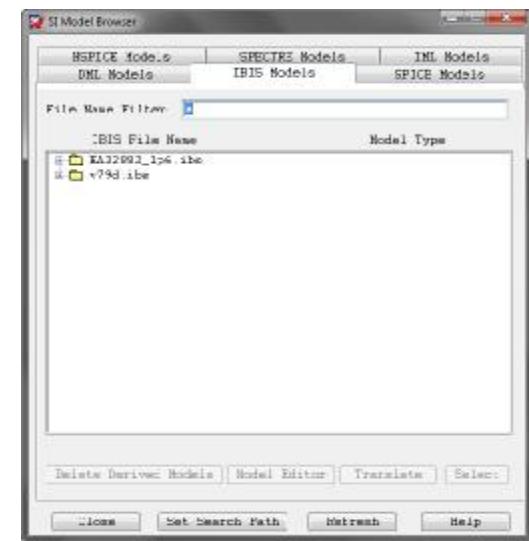


图 76: SI Model Browser窗口转换IBIS

如果之前没有执行IBIS到DML的模型转换，我们也可以在SI Model Browser窗口转换，具体过程同前文叙述的基本一致（第2.4.8节），不再详述。

在SigXP中，我们也可设置电路板叠层（早期版本无此功能），这样在调入传输线模型时会更方便。在SigXP窗口中选择Setup -> Manage LayerStacks，打开LayerStack Manager窗口。

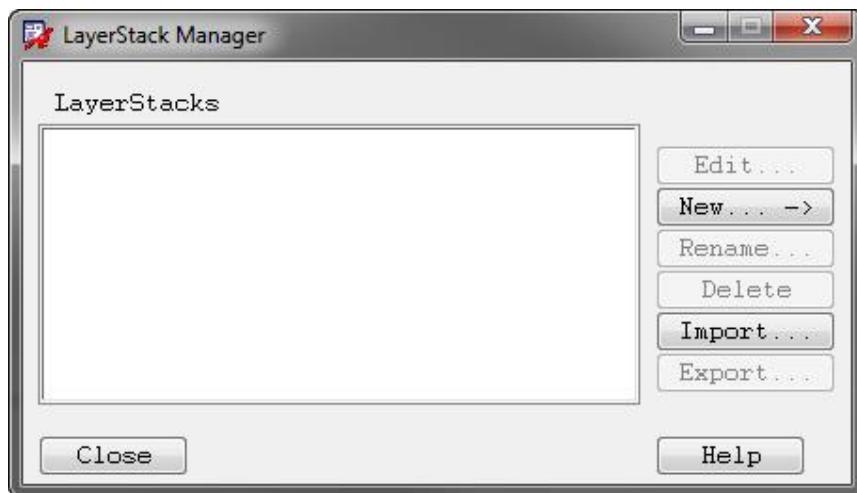


图 77: LayerStack Manager窗口

如果已经确定所需设计的叠层和现有的某一brd一致，可以很方便的导入叠层。点击“Import”按钮，在打开的浏览窗中找到现有的brd，双击打开（单击后选择“打开”按钮也可），在弹出的对话框中给此叠层命名，再OK确认即可。

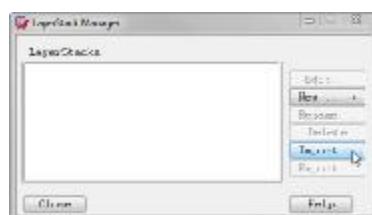


图 78: 导入叠层



图 79: 选择来源文件



图 80: 命名叠层

如果没有可参考brd文件，可以使用新建后编辑的方式，点击“New”按钮，在弹出菜单中选择6 Layers。（这里的层数选择仅是为了调用SigXP所提供的默认叠层方案，有2、4、6、8层供选择，如果需要设置更多的叠层，可以随意选择一个方案后再手动修改。）然后在弹出的对话框中给叠层命名，OK确认后在LayerStack Manager窗口选中此叠层，点击“Edit”按钮，在弹出Layout Cross Section窗口中将各层面参数改成所需。然后一路确认退出。

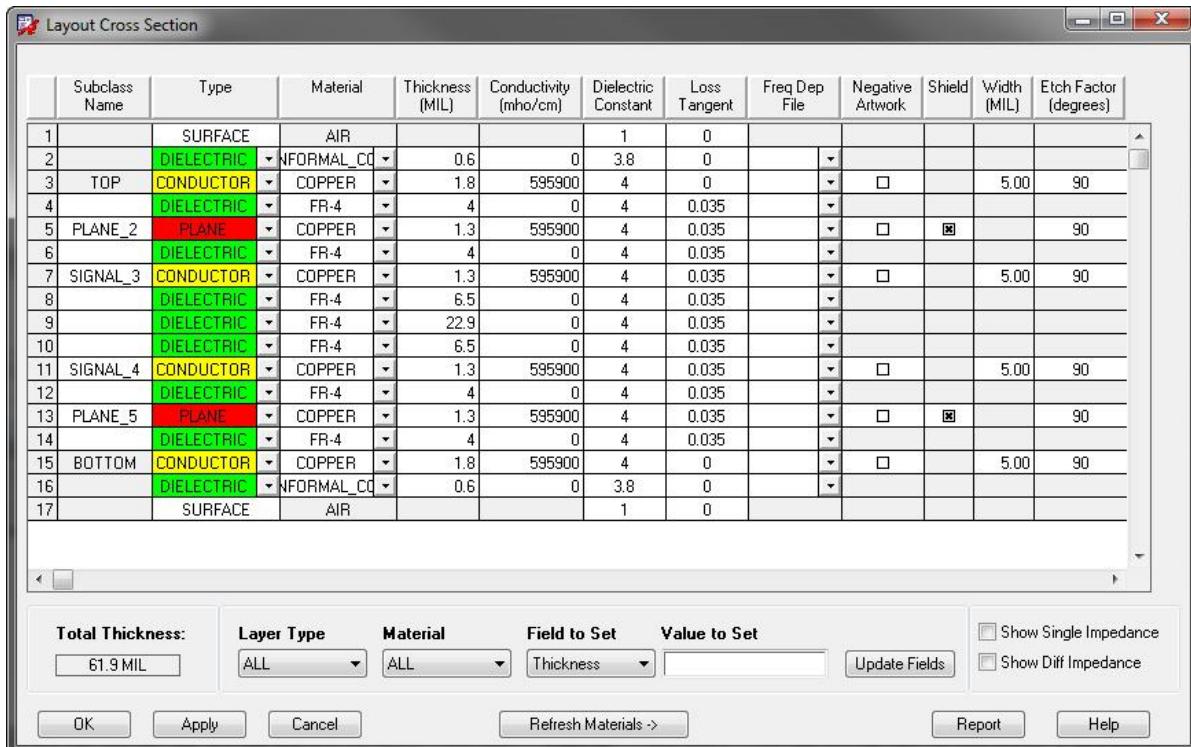


图 81: Layout Cross Section窗口显示默认6层板叠层

在SigXP中，也有仿真参数需要设置。点击Analyze -> Preferences打开Analysis Preferences窗口，有六个栏眉，分别是Pulse Stimulus、S-Parameters、Simulation Parameters、Simulation Modes、Measurement Modes和EMI，其中要设置内容和Allegro PCB SI中的同名窗口基本一致（第2.4.10节），在此不再详述。而如果在提取得到的拓扑文件中打开此窗口，会发现其中的参数值是从Allegro PCB SI传递过来的，不必再设置。

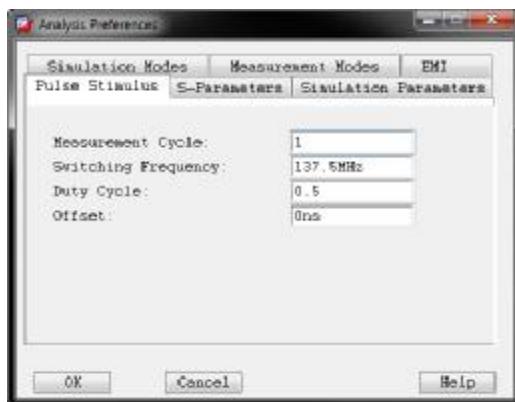


图 82: Pulse Stimulus栏眉

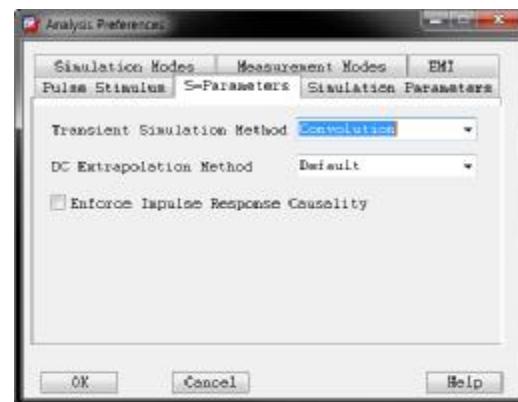


图 83: S-Parameters栏眉

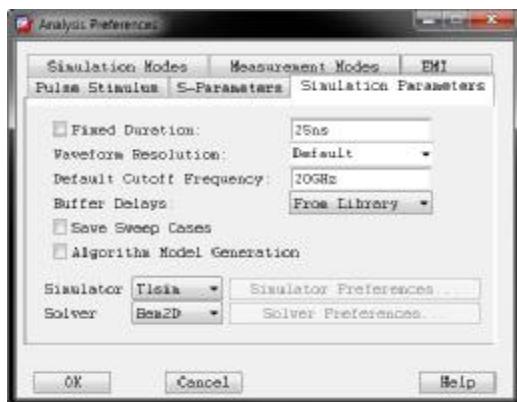


图 84: Simulation Parameters栏眉

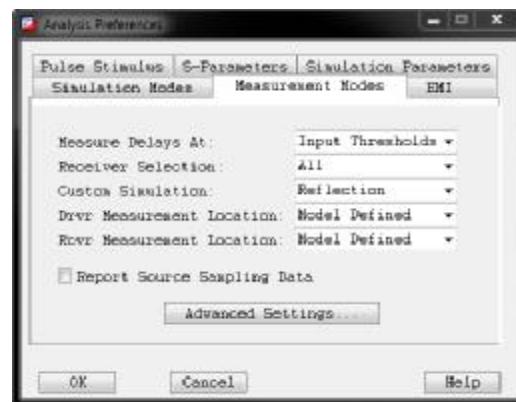


图 86: Measurement Modes栏眉

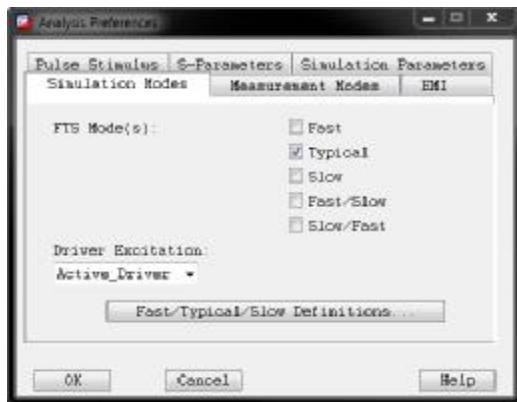


图 85: Simulation Modes栏眉

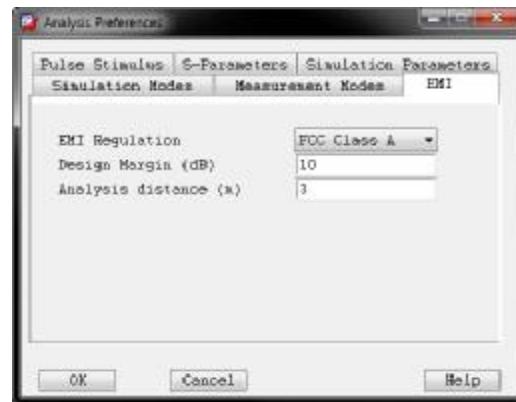


图 87: EMI栏眉

2.4.14 在SigXP中绘制拓扑

设置好仿真参数，回到SigXP界面下，我们就可以手动绘制传输线拓扑了。在此之前不妨把SigXP保存一下，因为在文件保存的同时，设置也会被保存下来。默认情况下，新打开的SigXP默认的拓扑文件名unnamed.top，文件位于环境变量所设定的HOME目录下。这里我们改名为LA.top，依旧保存于我们的工作目录E:\Pre_simu下。

绘制拓扑的过程可以大约可分为四个步骤：添加模型（包括缓冲器、连接器、传输线、过孔、分立元件和电源模型等），修改或确认模型参数，将模型按照所需的拓扑（连接方式）连接在一起，添加激励和设定测量。

■ 添加模型

首先添加缓冲器模型，选择Edit->Add Elements或者快捷按钮 ，在弹出的Add Element Browser窗口中将Model Type Filter栏通过下拉菜单选择IbisDevice。

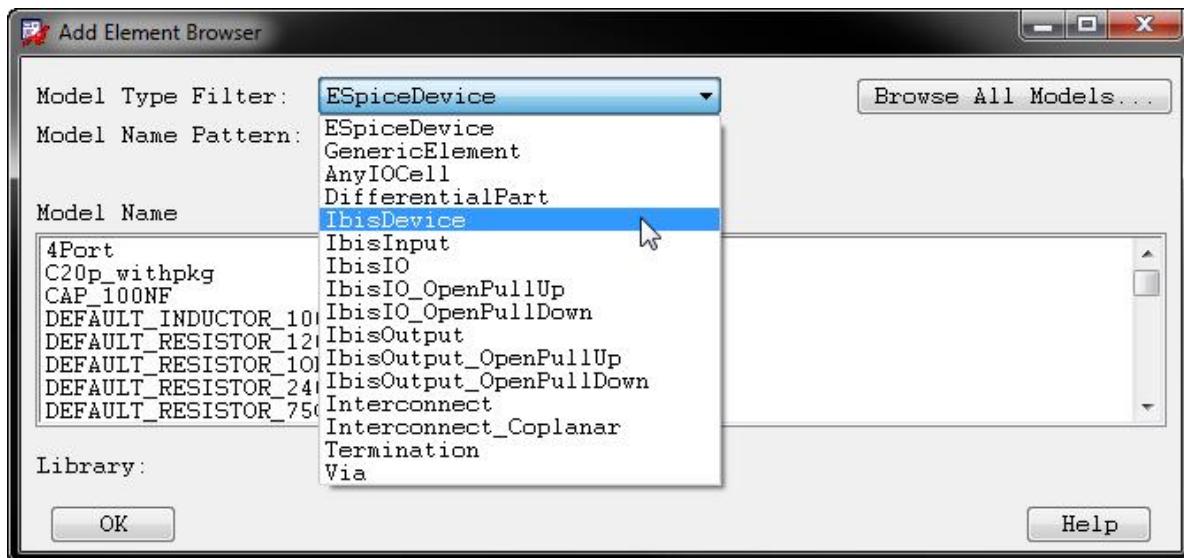


图 88: Add Element Browser窗口中选择IbisDevice

然后在下方的模型栏中找到TISSQE32882_ZAL_nomirror_noquad, 单击选择。

编者注: 大家可以注意到TISSQE32882_ZAL_nomirror_noquad在模型栏中存在两个, 所属库文件分别是device.dml和sigxp.dml, 前者是默认工作库, 在分配EA32882_1p6.lds文件给寄存器芯片时, 已经将自动转换得到的DML格式模型存在于默认工作库中。而sigxp.dml是提取模型进入到SigXP时自动创建的DML模型库, 所有已提取拓扑中的器件模型都会添加到此模型文件中。(事实上, 笔者还删除了之前在Model Integrity转换EA32882_1p6.lds得到的EA32882_1p6.dml文件, 否则这里会有三个 TISSQE32882_ZAL_nomirror_noquad模型。)

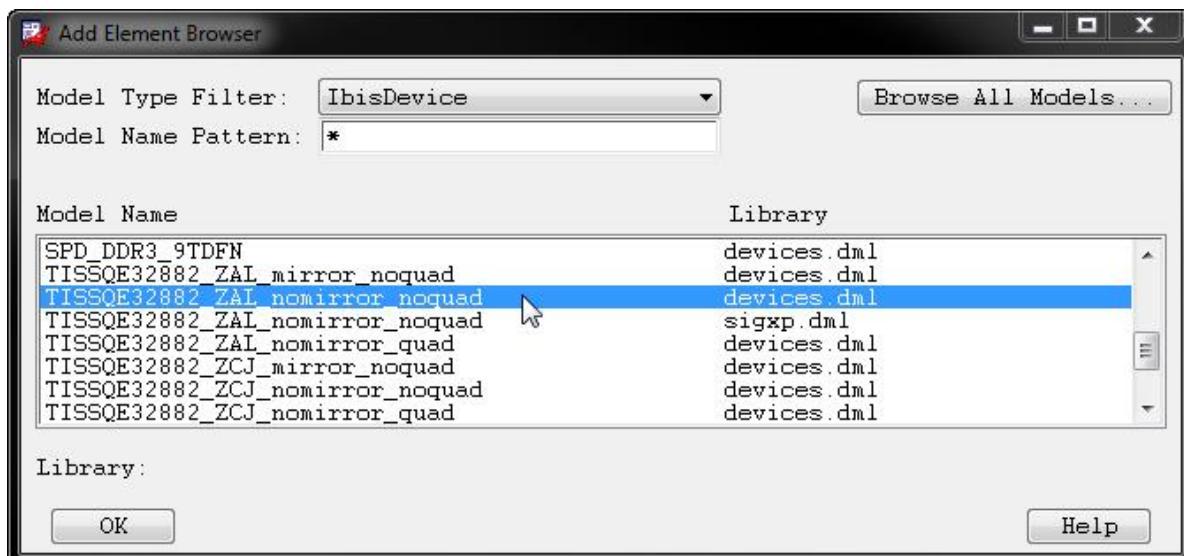


图 89: Add Element Browser窗口中选择寄存器芯片

在弹出的Select IBIS Device Pin窗口中找到QAA13(Pin A1, Model EA32882_1P6_OUT_light), 单击选择。

编者注：大家注意到同样是管脚A1的QAA13信号，存在多个缓冲模型（light、light_LV、moderate、moderate_LV等），这是因为在IBIS模型中，同一个管脚可以通过Model Selector字段定义多个缓冲器模型，以对应不同的IO特性（驱动电流、阻抗、电压等等）。而末尾带*号的表示默认选择的缓冲器模型。

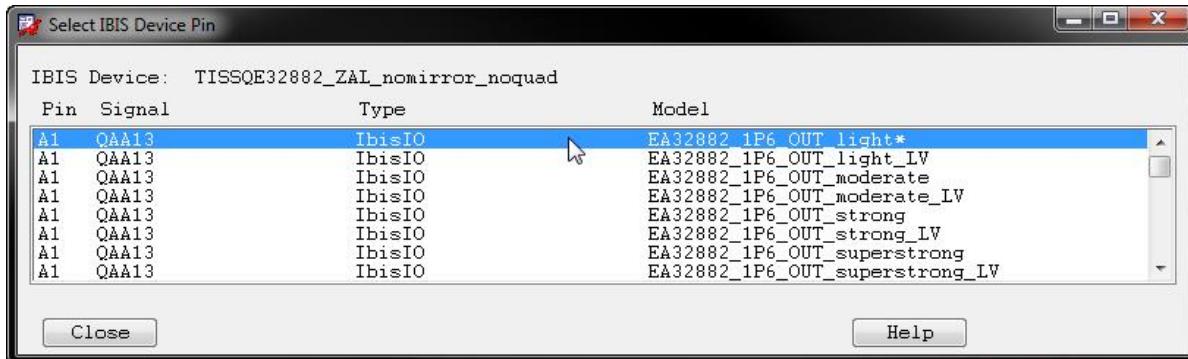


图 90: Select IBIS Device Pin窗口中选择缓冲器模型

一个IO缓冲器模型就会出现在鼠标光标下方，在SigXP工作台点击，即摆放下此缓冲器，然后右击在右键菜单中选项“End Add”结束摆放。

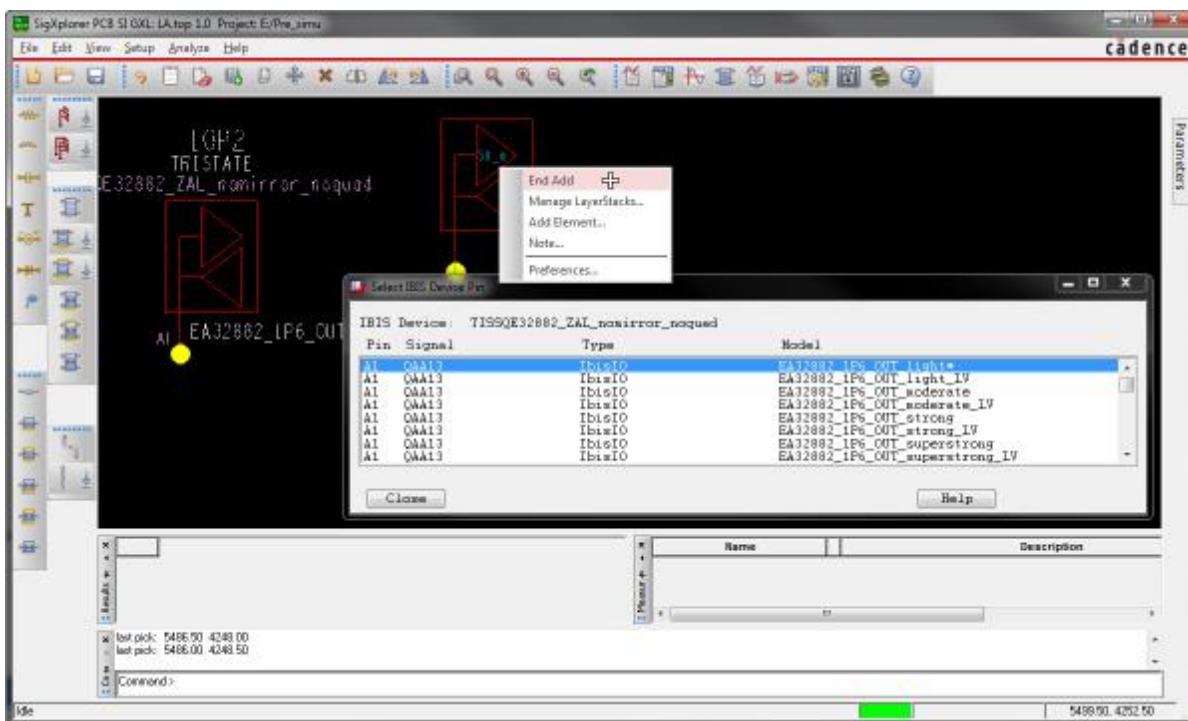


图 91: 在SigXplorer窗口中摆放缓冲器模型

在Select IBIS Device Pin窗口点击“Close”按钮回到Add Element Browser窗口，同样方式添加10个MT41J256M8DA芯片的V79D_INPUT2_1066缓冲器模型（Pin N3, Signal A13）。

在Add Element Browser窗口修改Model Type Filter栏至GenericElement，然后点击其中的Source，将一个电源模型摆放到工作台中。

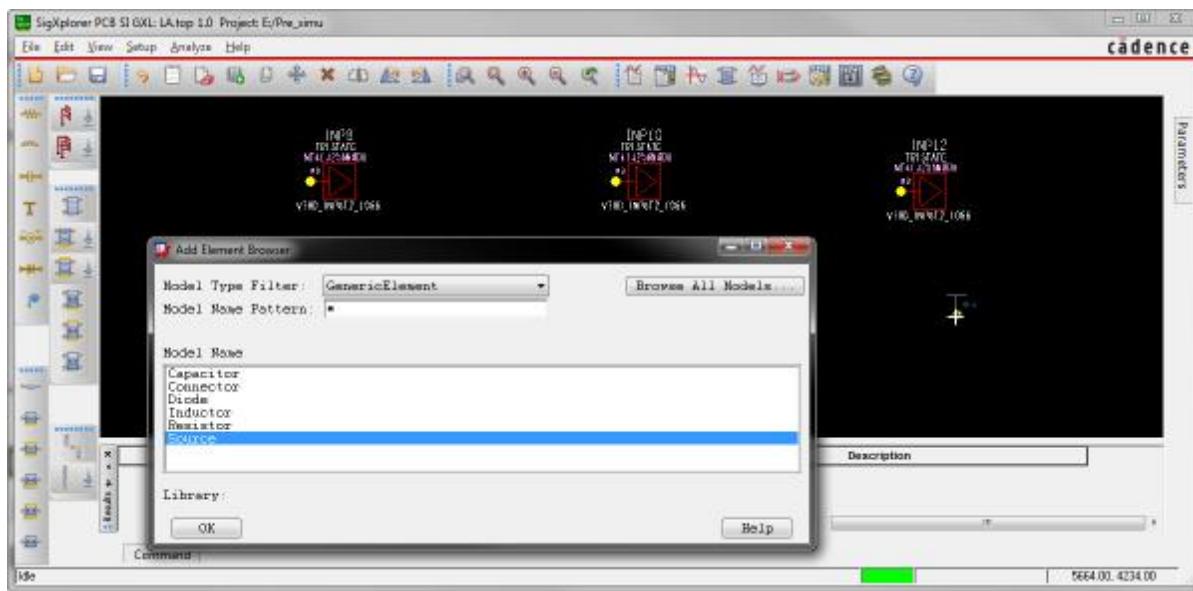


图 92：在SigXplorer窗口中摆放电源模型

同样方式模型栏中点击Resistor添加一个电阻。

在Add Element Browser窗口修改Model Type Filter栏至Interconnect，然后点击其中的Microstrip_1，将一段微带线摆放到工作台中。

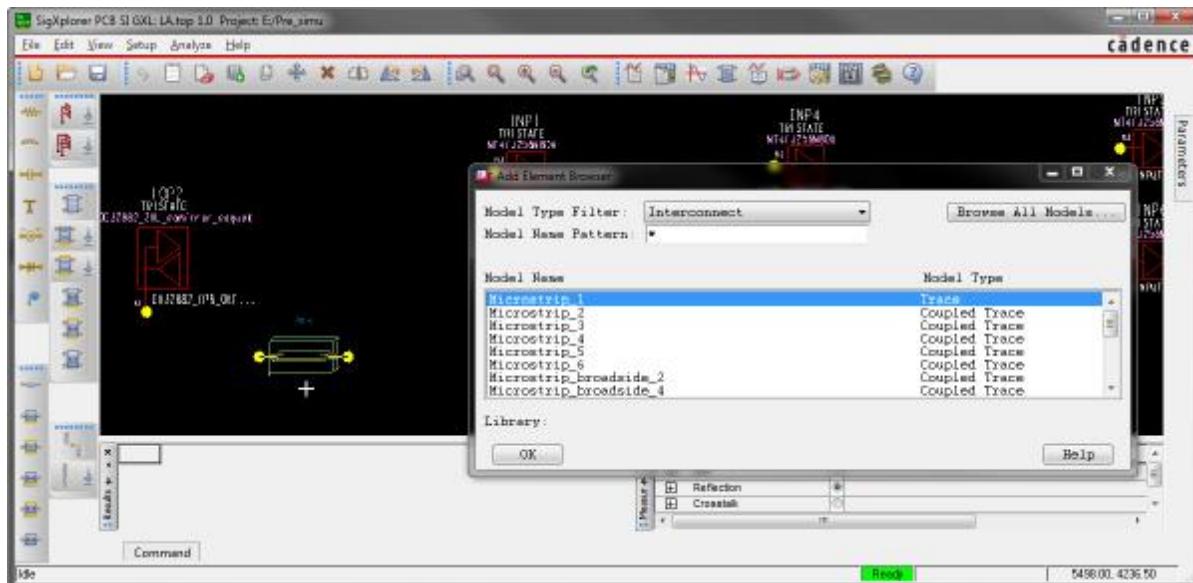


图 93：在SigXplorer窗口中摆放传输线模型

同样方式，将一段带状线Stripline摆放到工作台中。

在Add Element Browser窗口修改Model Type Filter栏至Via，模型栏将显示当前所有库路径下存在的过孔模型。点击其中笔者已事先建好的过孔，摆放到工作台中。

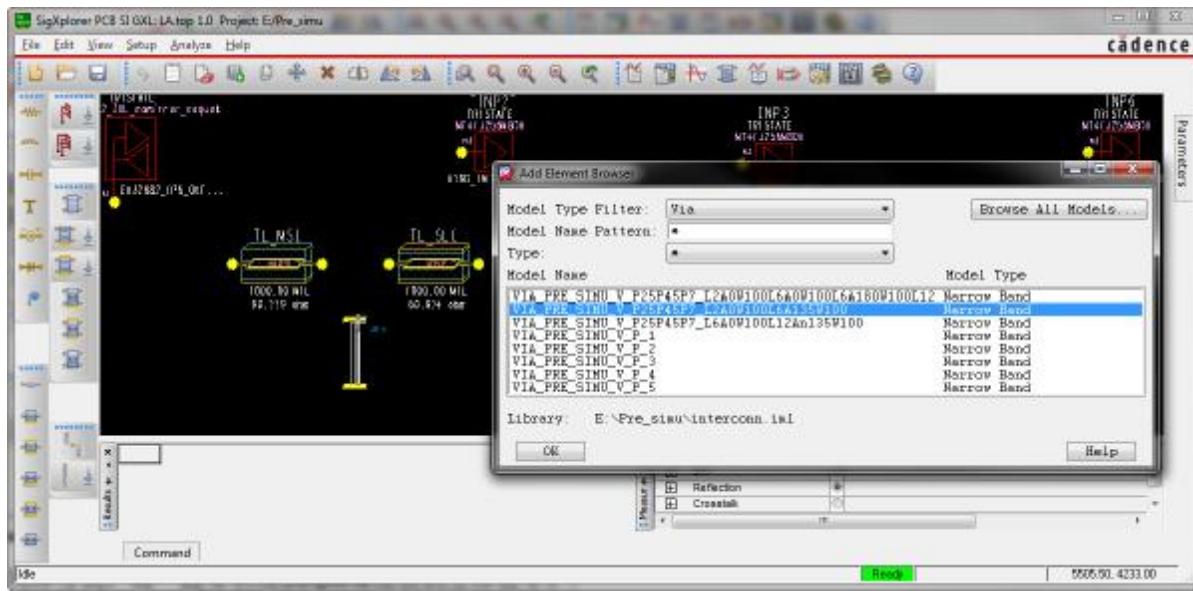


图 94：在SigXplorer窗口中摆放过孔模型

编者注：过孔模型需要事先创建，通过Analyze -> Via Model Generation在打开的Via Model Generator过孔模型生成器，其中可以创建单独过孔和耦合过孔，模型精度上可以选择Closed Form近似模型和Analytical Solution解析模型，具体笔者另文叙述。另外，在前仿真阶段，对于频率较低的网络，也可以忽略过孔模型。本案例的频率下（DDR3-1066），过孔对SI的影响并不是很明显。

修改或确认模型参数

之前我们调入了各类模型，但其参数都是默认的，一般而言不符合我们的需要。在本环节，我们将对模型的参数进行定制，使之符合我们预期的方案。

双击工作台中电源上的“5V”字符，会自动在右方的Parameters栏中找到此电源，将其中Value栏的5V改为0.75V。

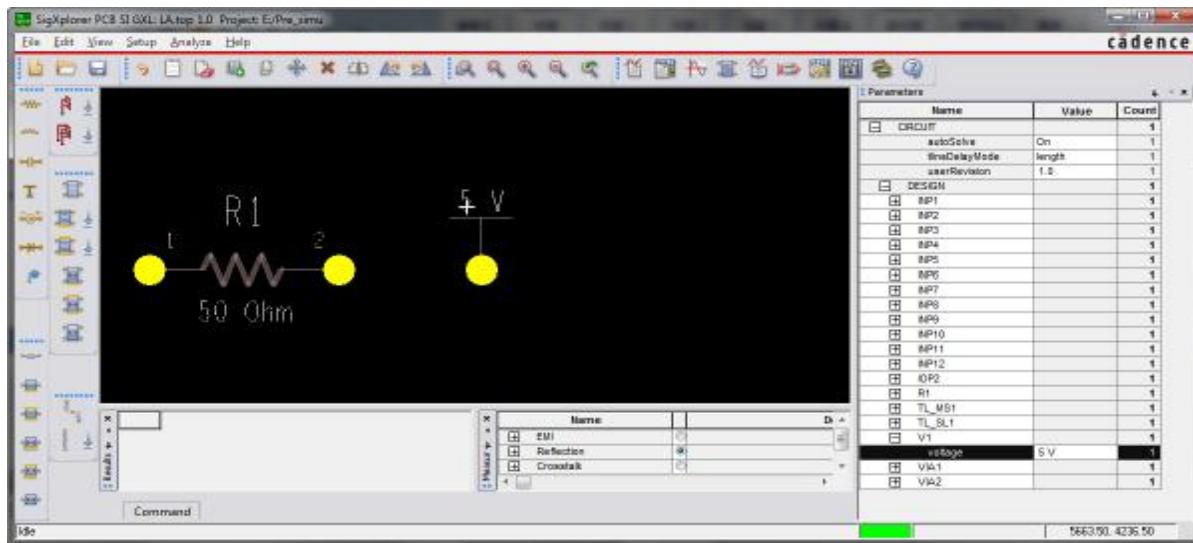


图 95：在SigXplorer窗口中电源参数值

双击工作台中电阻R1的“50 ohm”字符，会自动在右方的Parameters栏中找到此电阻，将其中Value栏的50ohm改为39ohm。

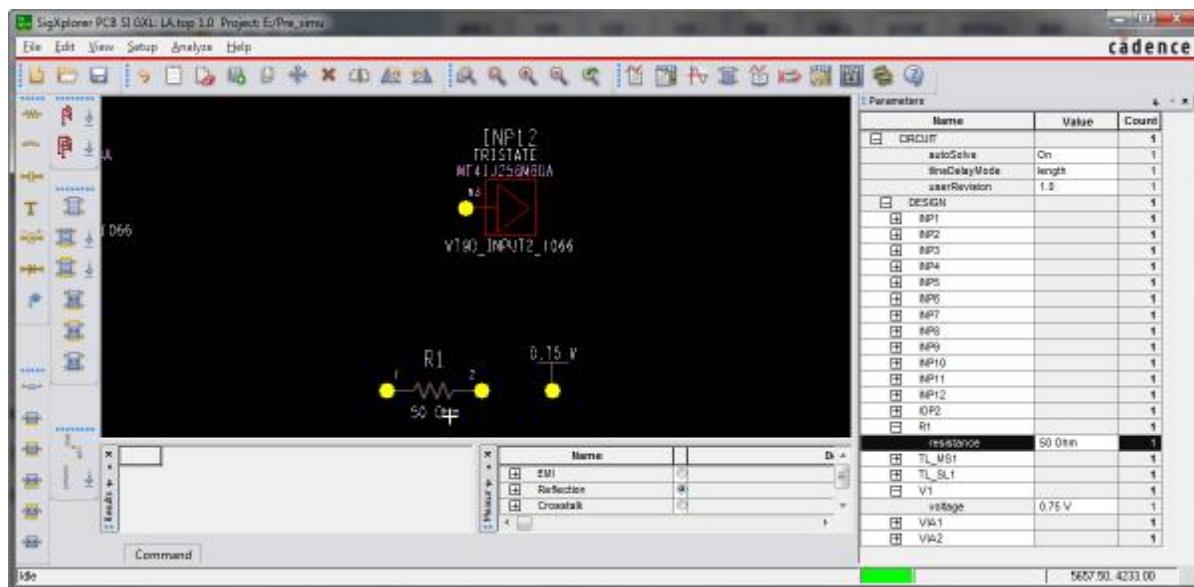


图 96：在SigXplorer窗口中修改电阻阻值

右击工作台中微带线，在弹出的菜单中选择View Trace Parameters，我们可以在弹出的View Trace Model Parameters窗口中以图形化地看到此传输线的参数及其Value值。

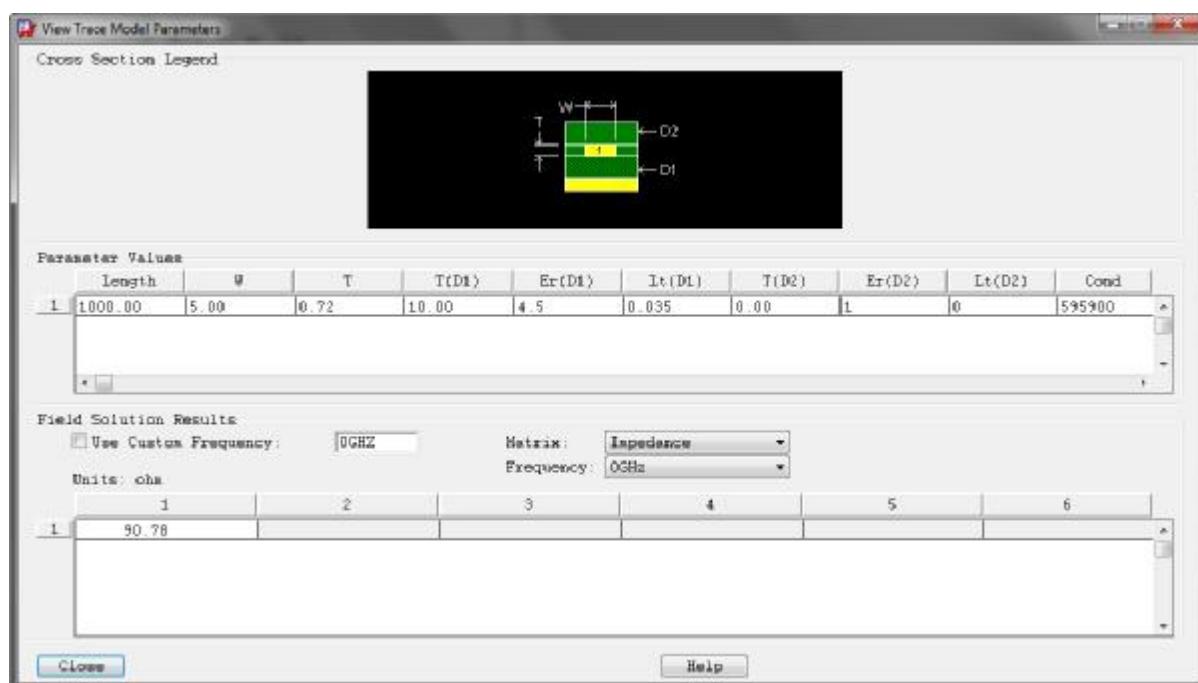


图 97：View Trace Model Parameters窗口显示传输线参数

然后可以再次右击微带线，选择Parameters，会在右方的Parameters栏找到此传输线，我们在这里可以修改在View Trace Model Parameters窗口中看到的传输线的参数。

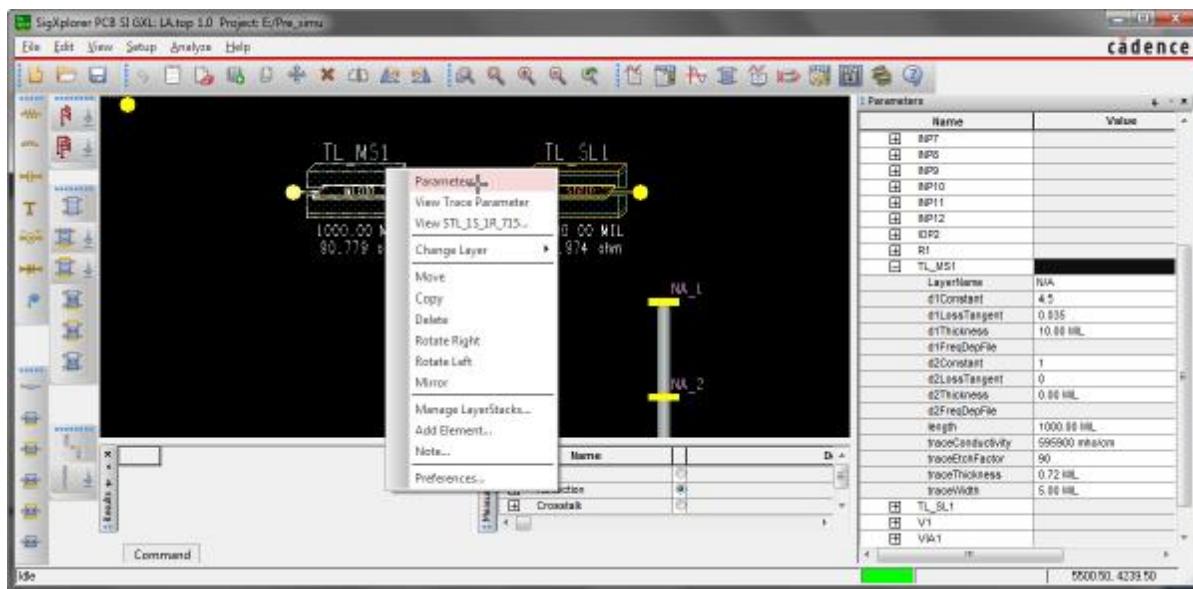


图 98：在SigXplorer窗口中修改传输线参数

逐项修改传输线参数还是比较麻烦，特别是当需要修改的传输线很多的时候。而之前我们设定的叠层在这里就起作用了。同样右键点击微带线，在弹出菜单中选择Change Layer -> Top，除了传输线的线长和线宽继续保持之前设置的1000mil和5mil，其他参数已经变成我们在LayerStack Manager窗口所选择的叠层的Top层相同了。（Parameters栏只显示Top层，具体参数可在View Trace Model Parameters窗口查看。）

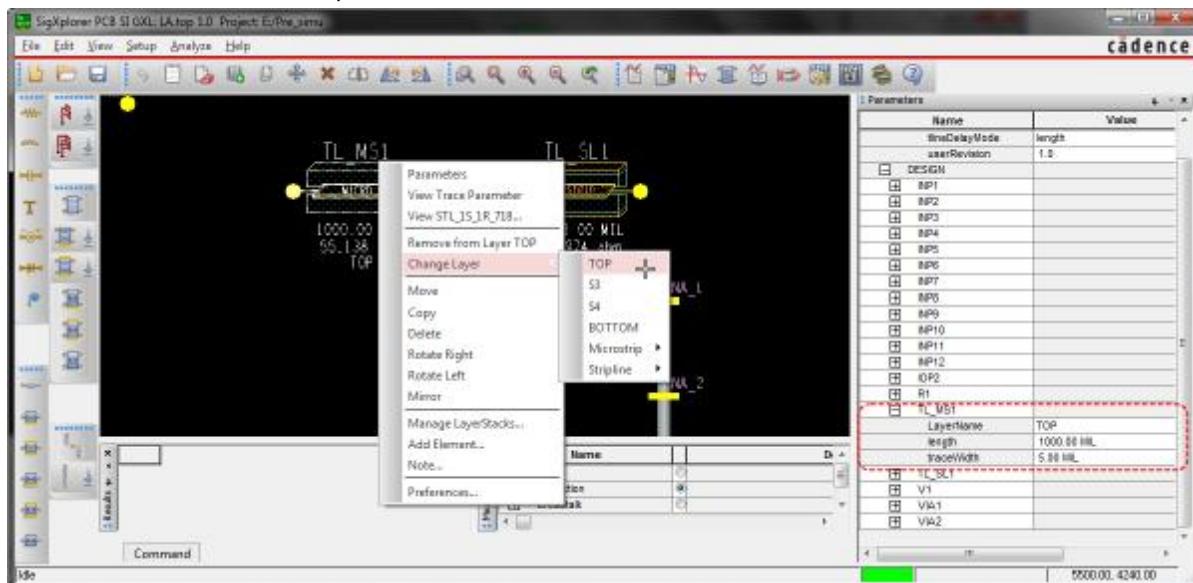


图 99：在SigXplorer窗口中修改传输线所在层面

在Parameters栏中修改了线长和线宽至我们预期的数值后，此微带线参数就设置好了。

同样方式我们可以完成带状线的设置。

接下来我们用拷贝的方式将传输线和过孔添加到需要的地方。先在SigXplorer窗口的工作台中选中所需拷

贝的模型，然后选择Edit -> Copy，或者快捷按钮 ，或者在右键菜单中的Copy，拷贝的对象就会附着在鼠标下方，然后左键点击工作台的空白处，模型就拷贝下来了。

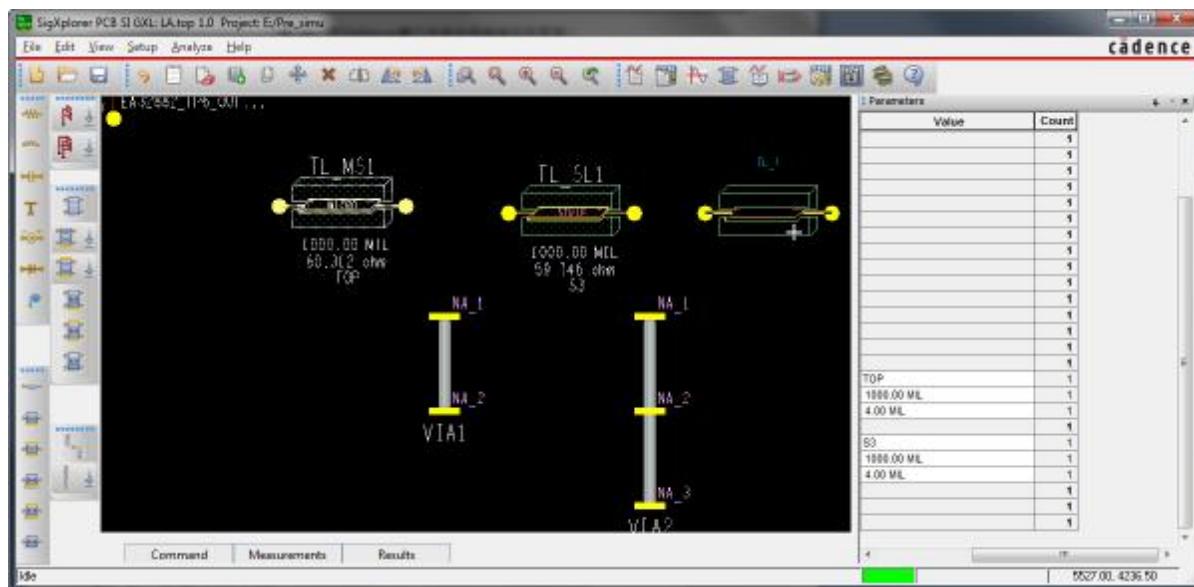


图 100：在SigXplorer窗口中拷贝传输线模型

如果需要移动模型，左键点击模型后，按住不放，拖动鼠标时模型即跟随移动，然后在需要的地方松开左键，模型即放下。

按照上述方法将过孔和传输线复制并移动到需要的地方，按照预期拓扑的近似位置摆放好。再修改每一传输线的叠层和线长线宽参数至预期值，完成的结果如下图所示。

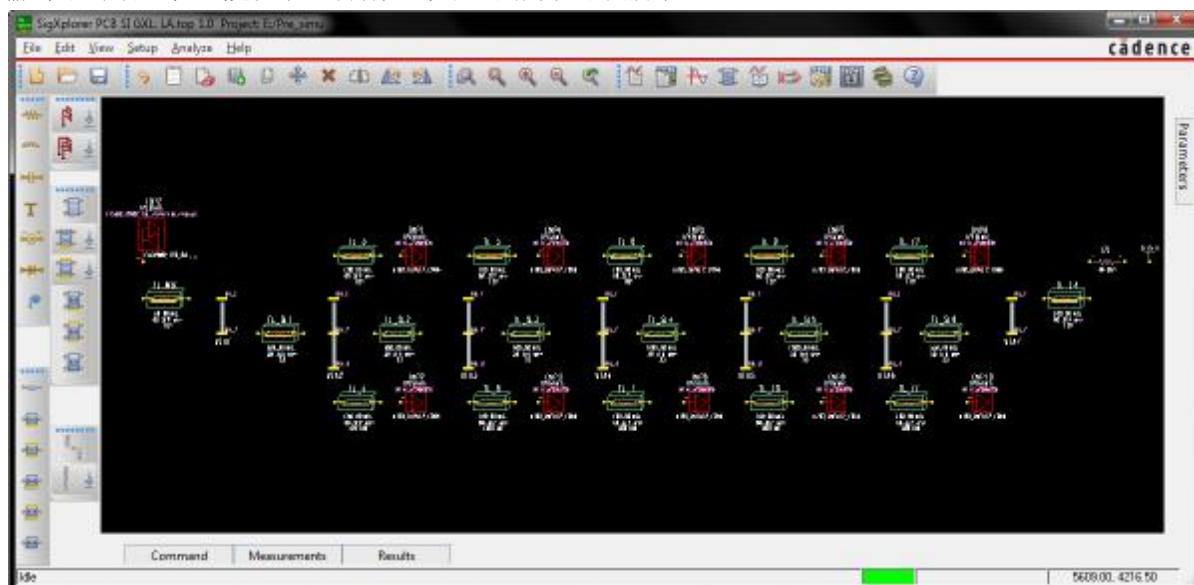


图 101：在SigXplorer窗口中拷贝和移动模型

■ 将模型按照所需的拓扑（连接方式）连接在一起

在SigXplorer中，所有模型都带有黄色的圆点或方点（存在于过孔模型）作为连接节点。我们需要将模型进行电气连接时，只需要依次点中两个节点即可，连接后会呈现黄色的细线。而如果要删除某一电气连接，只需要单击这黄色细线中的任一点即可。按照上述方式将本案例中的模型按照所期望的拓扑连接好，如下图。

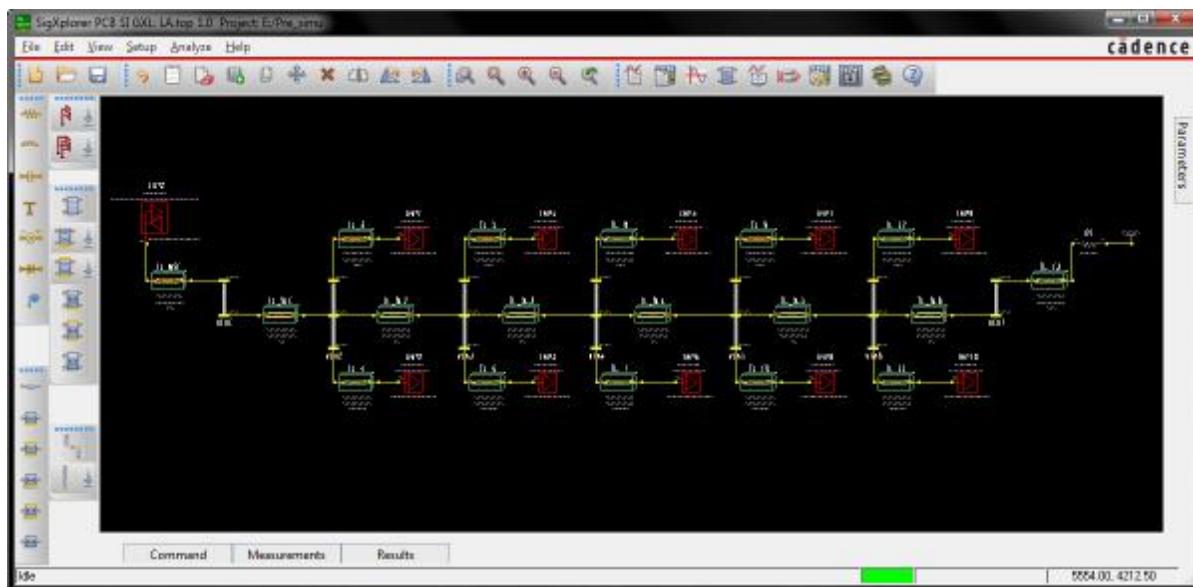


图 102：在SigXplorer窗口中连接模型绘制拓扑

添加激励和设定测量

无论是手动创建拓扑，或是提取的拓扑，我们都需要给驱动端添加适当的激励，并选择所需的测量。

对于非脉冲周期性信号，例如本案例中的地址信号，为了仿真出码间串扰的影响，我们常常需要添加伪随机码激励。点击驱动端缓冲器表征状态的字符，就会弹出IO Cell Stimulus Edit激励编辑窗口。

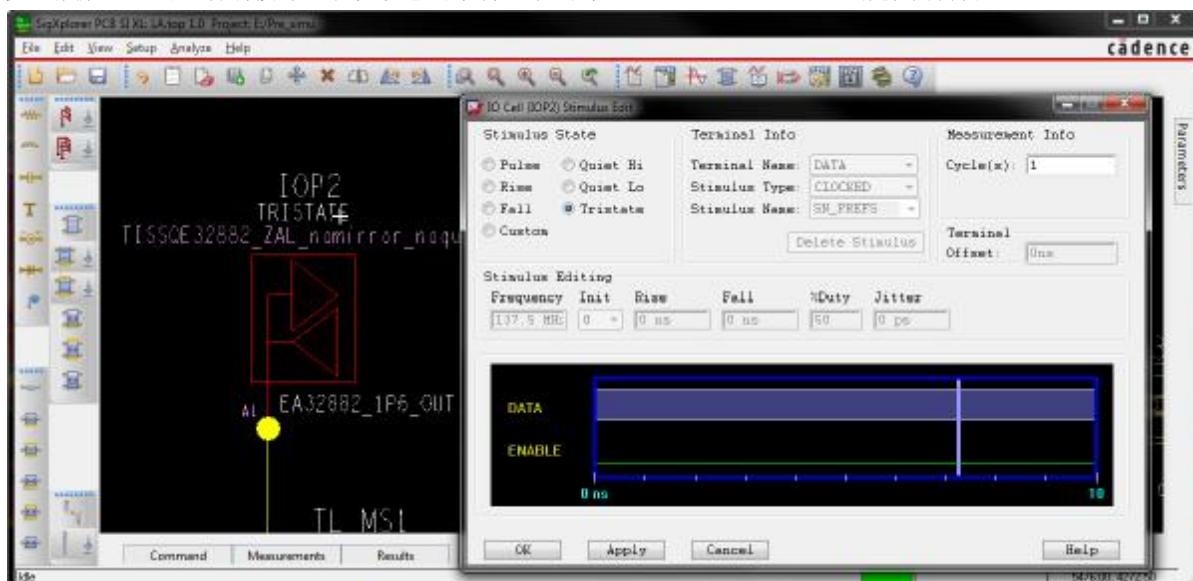


图 103：在SigXplorer窗口中设置驱动器状态

在IO Cell Stimulus Edit激励编辑窗口中，Stimulus State激励状态选择Custom，Frequency频率栏输入533MHz（这里是缓冲器内部的激励时钟，应该与地址信号比特率533Mbps数值相同），Pattern栏输入127位1+X+X7 PRBS伪随机码序列，其他保持不变，然后确认退出。

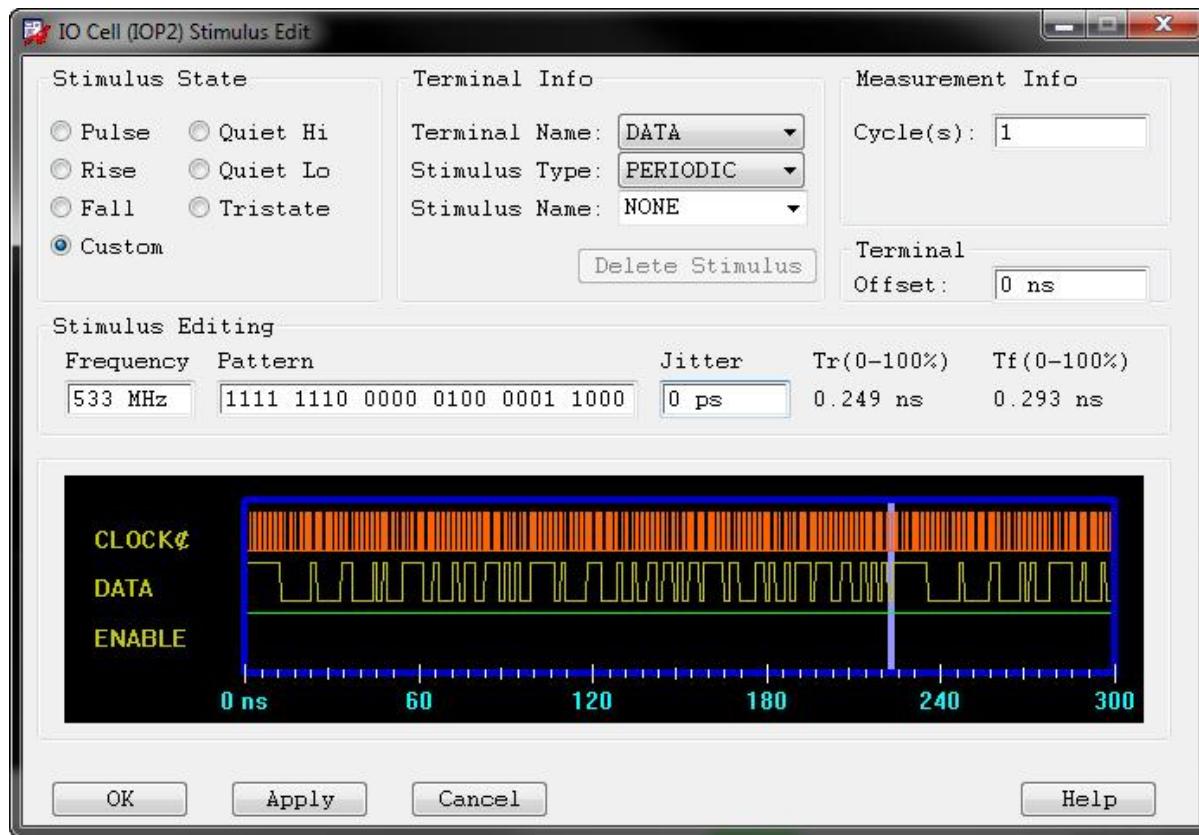
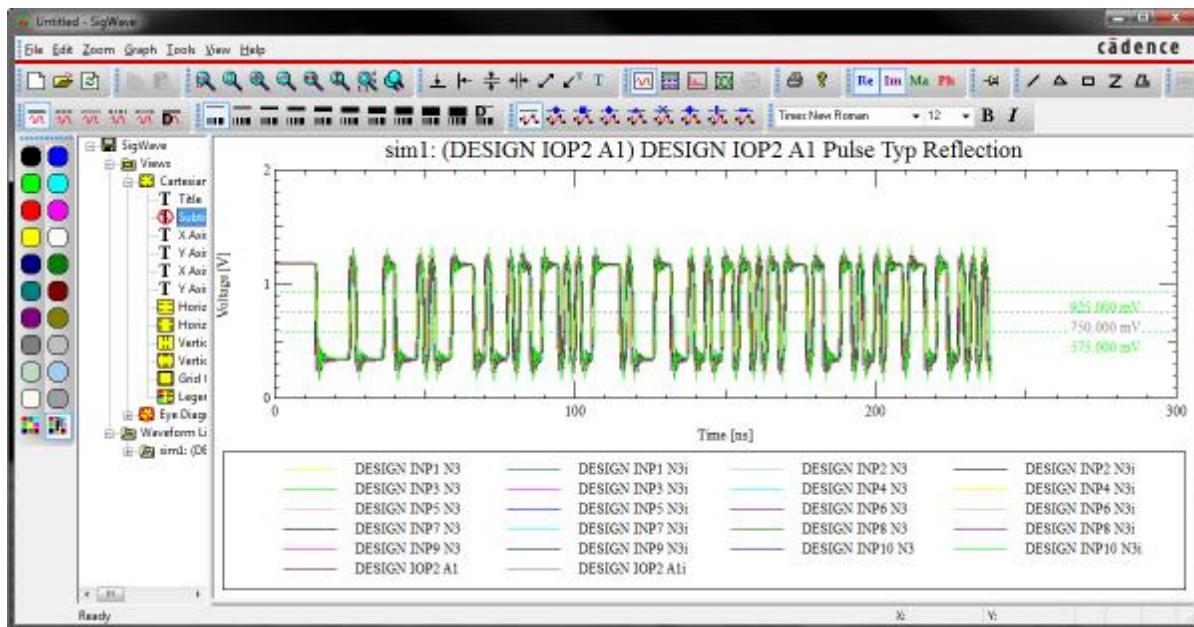


图 104：在IO Cell Stimulus Edit窗口中设置伪随机码激励

说明一下IO Cell Stimulus Edit窗口的选项。

栏目名称	内容
Pulse	周期性脉冲激励
Rise	单个上升沿激励
Fall	单个下降沿激励
Quiet Hi	恒定为高（状态1）输出
Quiet Lo	恒定为低（状态0）输出
Tristate	三态，正确的说应该是无输出，终端保持高阻态。
Custom	自定义激励，勾选了这个选项，才能编辑以下其他选项。
Terminal Name	指的是缓冲器内部的端口，一般有Data、Enable两个选项，需要对Data设置激励序列，而Enable保持高使能状态不变。
Stimulus Type	激励类型，可以选择PERIODIC、SYNC、ASYNC，分别是周期、同步和异步。
Stimulus Name	激励名称，可以将某一个自定义激励保存下来，然后在其他拓扑上调用。
Frequency	缓冲器内部的激励时钟频率，应该与Data端口的比特率数值相同。
Pattern	激励图案序列，描述激励信号在UI时间轴上的01变化。
Init	初始值，可以是0或者1，在选择同步或异步激励类型时可以选择。
Switch At	激励沿，可以是RISE、FALL或BOTH（上升、下降或双向），选择同步激励时出现。
Jitter	周期性激励的码间抖动，在选择周期激励时出现。



我们可以在Results栏中查看测量结果是否存在问題，也可以更直观地在SigWave查看每一个接收器的波形。在SigWave中，波形可以按照时域（Cartesian）、总线（Bus）、频域（FFT）和眼图（Eye Diagram）模式显示，相关操作笔者或另文详述，在此忽略。我们用眼图模式显示每一个接收器的晶元处波形如下。

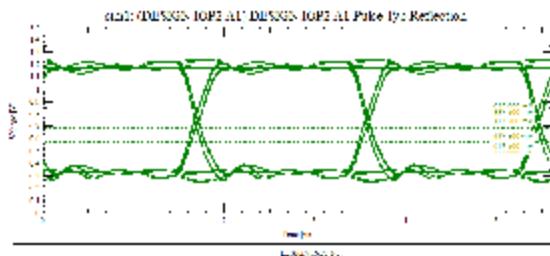


图 106：最前端正面接收器眼图波形

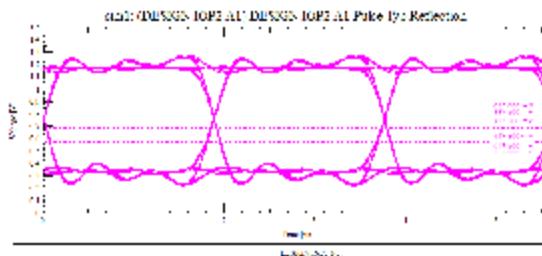


图 108：次前端正面接收器眼图波形

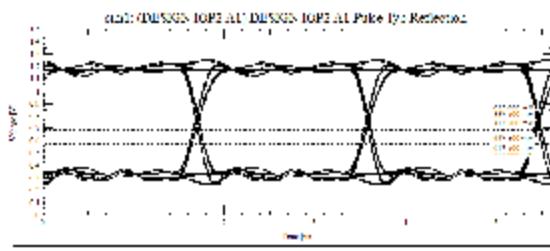


图 107：最前端背面接收器眼图波形

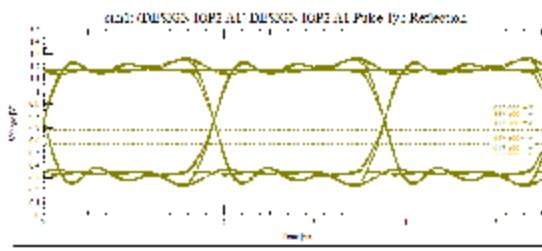


图 109：次前端背面接收器眼图波形

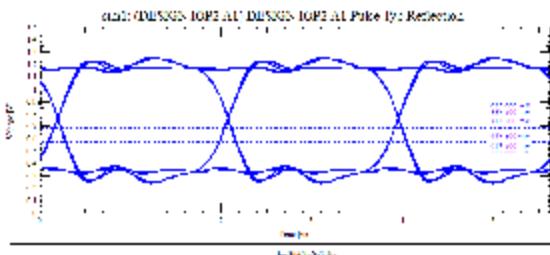


图 110：中部正面接收器眼图波形

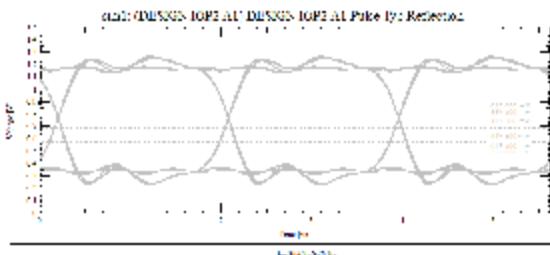


图 111：中部背面接收器眼图波形

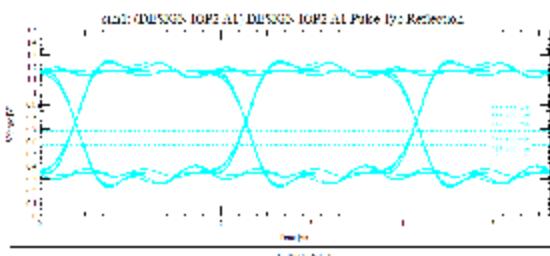


图 112：次末端正面接收器眼图波形

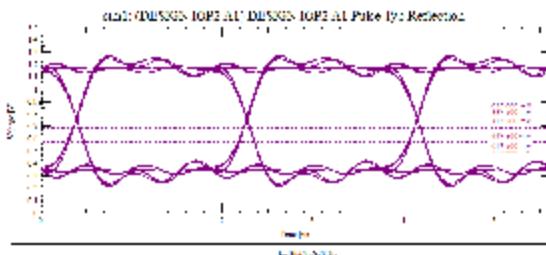


图 113：次末端背面接收器眼图波形

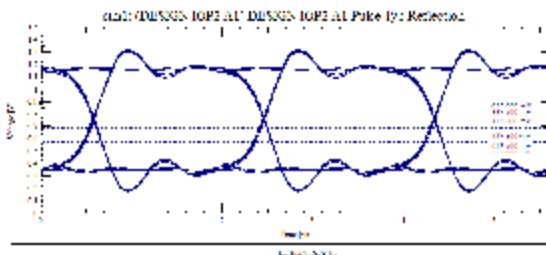


图 114：最末端正面接收器眼图波形

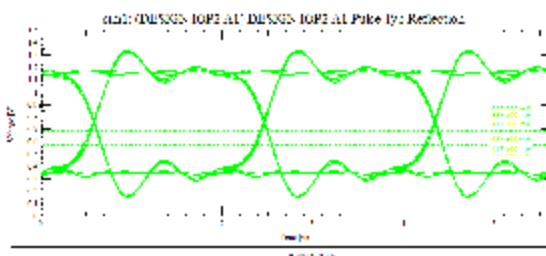


图 115：最末端背面接收器眼图波形

上面已经仿真出结果，但是前仿真不仅仅是这样，我们需要众多的未确定条件和参数找出一个信号完整性得到优化，PCB Layout又可以实现的方案。比如说，本案例中，寄存器芯片可以调节输出驱动力，这在IBIS模型中体现为有4个缓冲器模型可供选择，我们需要仿真哪一个更适合本案例；由于布局布线空间的限制，每两个芯片之间的连线长度有一个范围，我们需要仿真连线是不是越短越好；终端并联匹配电阻通常都是等于传输线阻抗，但是却有人提出电阻阻值偏小一些信号更好，我们需要通过仿真确认电阻阻值；过孔到正反两个内存芯片在表层的连线是我们能控制的stub（线头），我们可以验证一下这个stub是否越短越好；另外由于布线空间的原因，Layout工程师指出会有一些地址线的这个stub会达到5mm（200mil）左右，我们需要验证是否允许；叠层和线宽会影响到传输线的阻抗以及相邻传输线的串扰，而在控制成本的要求下，我们难以调节介电常数，于是我们既需要仿真传输线阻抗的选择，也需要确认什么样的线宽、线间距以及平行长度下串扰的影响可以接受。以上种种，我们不仅需要找出“最”优化方案，也要根据实际情况的需要给出在此方案下所允许的裕量空间，是为方案空间分析。

方案空间分析一般有两种方式，其一是固定其他参数或条件，只扫描某一参数值对仿真结果的影响；其二是将所有的未确认参数都在同一个仿真文件（拓扑）中扫描。前者耗时少，但并不是每一个参数对仿真结果的影响都是线性单调变化，导致所得到的最优值以及可变空间不能适应所有情况；后者在参数多的情况下，仿真量将是一个天文数字。因此我们常常需要在一定的理论和经验的基础上，结合两种方式进行仿真分析。

在下文中，我们将使用几个实例介绍具体的方案空间分析过程。

- [输出驱动力扫描分析](#)
- [Stub长度扫描分析](#)

■ 线宽线间距扫描分析**2.5.1 输出驱动力扫描分析**

保持其他参数值在较优化状态，只扫描输出驱动力对信号完整性的影响。

在SigXplorer窗口的工作台中右键点击输出缓冲器，在弹出的菜单中选择Change Buffer Model，会弹出Set Buffer Parameter: buffer Model窗口。

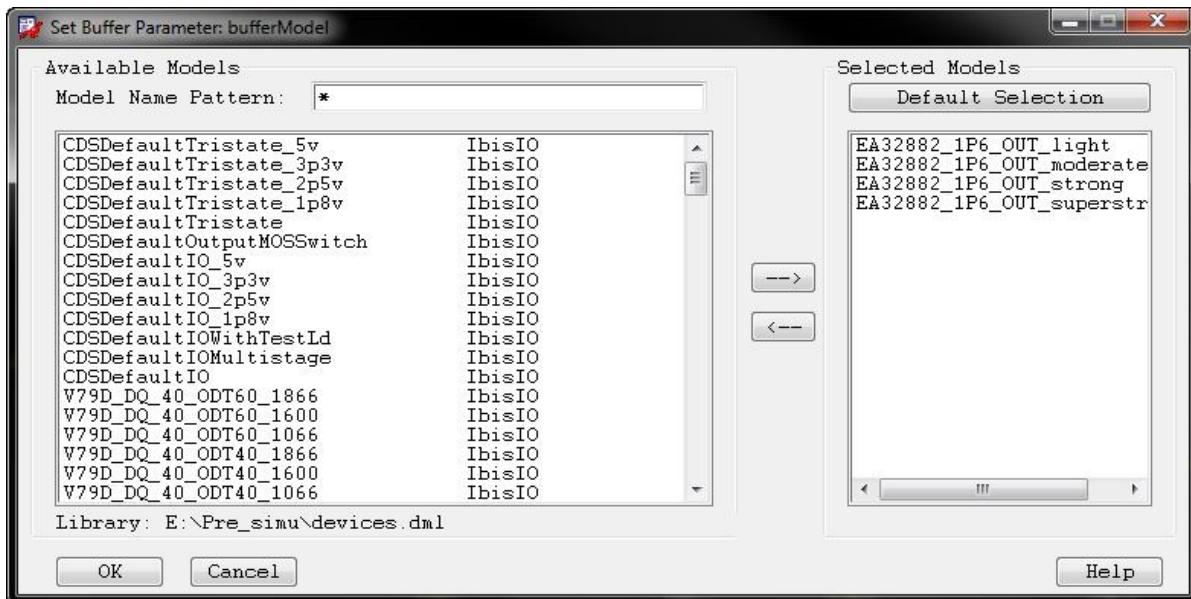


图 116: Set Buffer Parameter: buffer Model窗口

在Set Buffer Parameter: buffer Model窗口左方的Available Models可选模型栏中找到寄存器芯片的IO缓冲器，逐一双击，缓冲器将移动至右方的Selected Models已选模型栏中，然后确认退出。



点击点击Analyze -> Simulate或者 快捷按钮，由于同一参数存在多个扫描值（选择了多个缓冲器模型），所以会先弹出Sweep Sampling窗口，Continue后仿真开始执行。

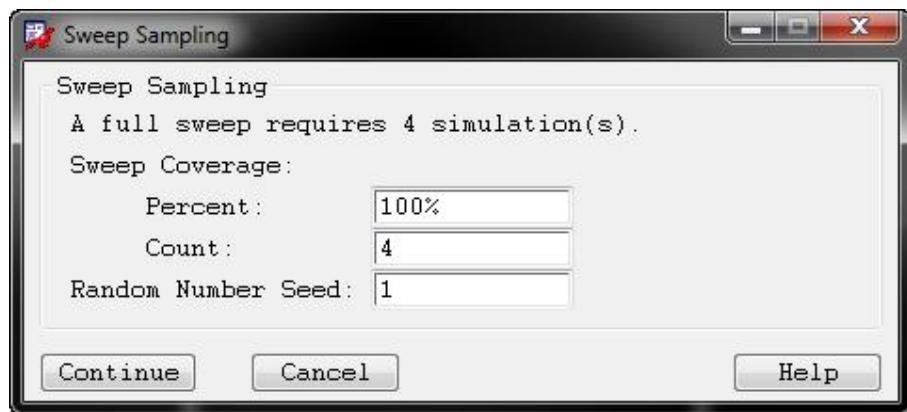


图 117: Sweep Sampling窗口

在一段执行时间后，仿真完成，结果会出现在Results栏，但不会同时弹出SigWave窗口。在Results栏可以看到1~4四组SimID，同一SimID都对应同一输出缓冲器模型；每一个SimID下又有多行，每一行是不同的输入缓冲器测量结果。右击SimID为1的任意一行，选择View Waveform，所有Sim1（即输出缓冲器为light）的波形会在弹出的SigWave窗口中显示。同样方法依次同一Sigwave窗口中显示Sim2~Sim4的波形。编辑SigWave，使之以眼图模式依次显示每一个内存芯片在不同输出端驱动力下的接收波形，如下图。（由于同一位置正面背面芯片的波形区别极小，所以在此忽略正面芯片的波形。）

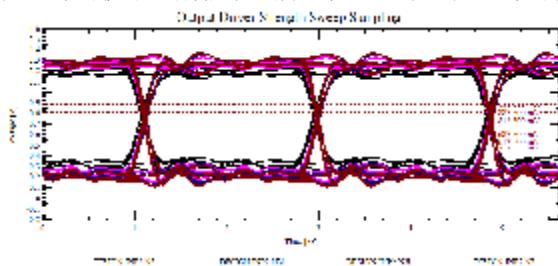


图 118: 不同驱动力下的最前端芯片波形

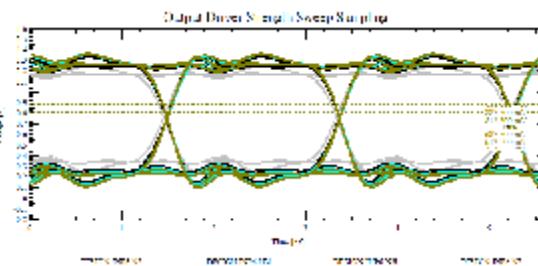


图 121: 不同驱动力下的次末端芯片波形

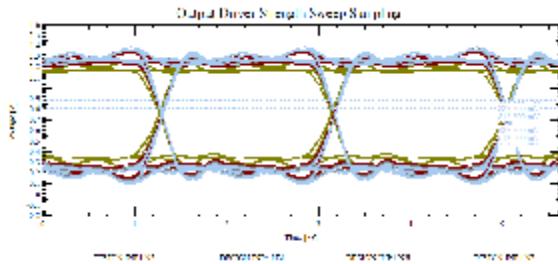


图 119: 不同驱动力下的次前端芯片波形

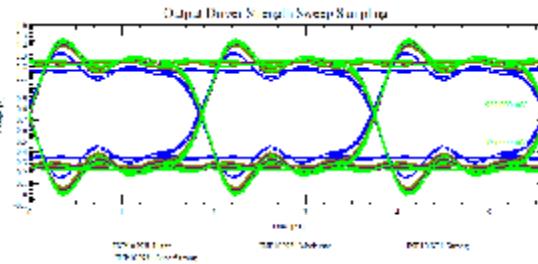


图 122: 不同驱动力下的最末端芯片波形

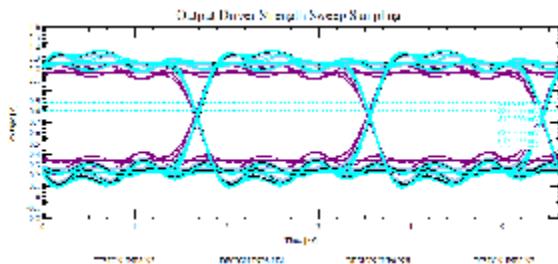


图 120: 不同驱动力下的中部芯片波形

从上述波形中我们可以看出四种驱动力对接收端波形的影响并不是很大。以眼图有效数据窗口和噪声裕量的角度，驱动力越强会越好；但驱动力增强强，波形的振幅和斜率都会增大，这又有可能对串扰和EMI不利。在还没有分析串扰和EMI影响的前提下，不妨暂且折中选择中间等级的驱动力，等后续仿真有结果了再做决定。

2.5.2 stub长度扫描分析

前面已经提到，过孔到正面和背面两个内存芯片的连线最长需要达到约200mil，我们仿真比较一下100mil和200mil的区别。

在SigXplorer窗口的工作台中右键点击某一段到内存芯片的微带线，例如这里的TL_3，选择Parameters，会在右方的Parameters栏中跳转到此传输线的参数处。点击length栏的Value值（在此是100.00mil）右方出现的下拉箭头，会弹出Set Parameter窗口。

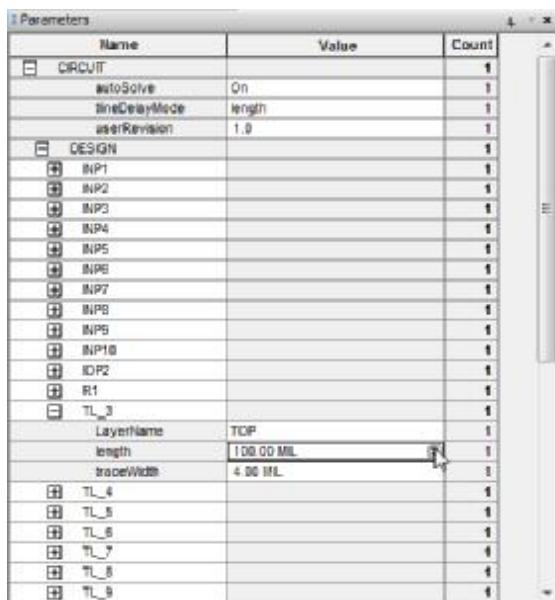


图 123: Parameters栏修改传输线长度

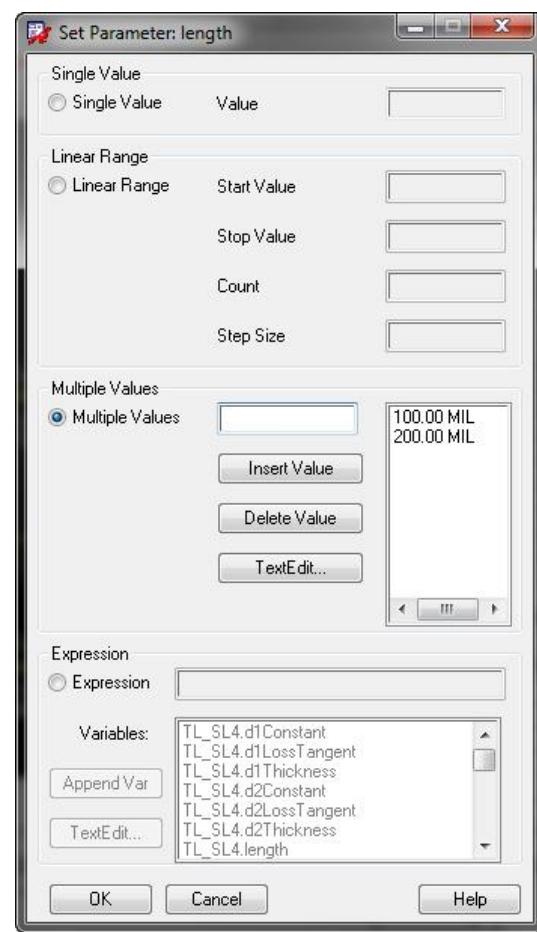


图 124: 在Set Parameter窗口输入多个参数值

在Set Parameter窗口选中Multiple Values，然后通过Delete Value按钮和Insert Value按钮将右方的值改为100mil和200mil，OK确认退出。

然后选择另一段到内存芯片的微带线，例如这里的TL_4，点击TL_4的length栏Value值，在弹出的Set Parameter窗口中选择Expression，选中下方的变量栏中TL_3.length，点击Append Var按钮添加到Expression栏中，然后确认退出。这样做的目的是使TL_4的线长跟随TL_3的线长变化。

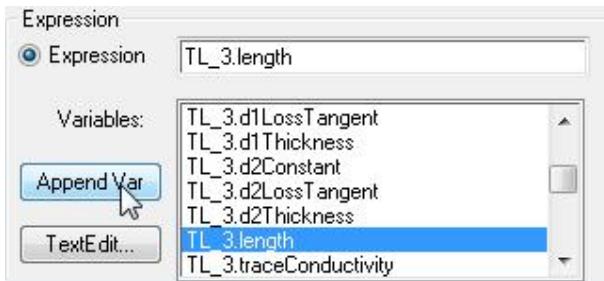


图 125：在Set Parameter窗口的Expression栏设定变量参数值

同样方法依次修改其他从过孔到内存芯片的微带线，使之跟随TL_3线长变化。点击仿真，得到波形如下（在此只给出某一内存芯片处的波形，其他波形忽略）。

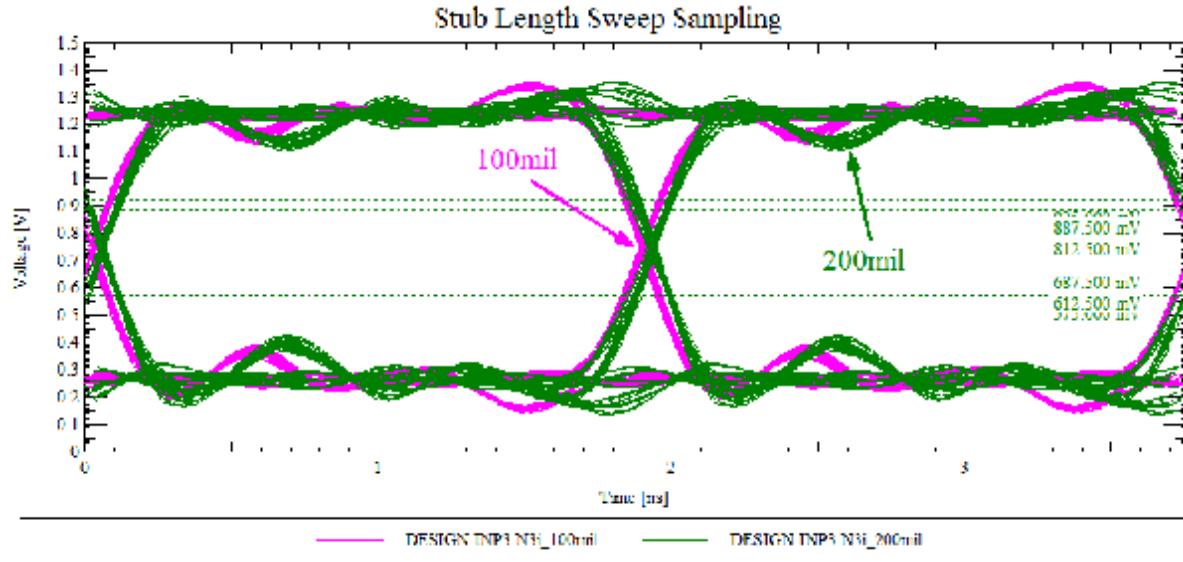


图 126：Stub线长对波形的影响

从上图中我们可以看出200mil的stub虽然在波形抖动（由于码间干扰形成）、有效数据窗口、噪声裕量等SI参数上都较100mil的情况要差一些，但整体波形没有致命问题，暂时认为可以接受。最终每一个SI参数是否满足要求，需要综合各种影响后才能判断。

2.5.3 线宽线间距扫描分析

根据布线的空间，我们大概可以预估出在本案例的两个内层（S3和S4），每一条地址类信号所能占用的宽度大约是12mil（0.3mm），也就是说，当我们使用4mil的线宽时，线间距（边缘距）就是8mil，线宽为5mil时，线间距是7mil。假定三条地址信号从寄存器开始，传输线一直处于平行耦合状态直至并联匹配电阻，那么当外

侧两条信号处在偶模状态（状态同时变化），中间的传输线所受到的串扰最大。我们需要仿真出串扰对信号的电压和时序的影响，并进一步了解寄存器驱动力、线宽、线距对串扰的影响。

由于使用Allegro PCB SI预先绘制平行布线并提取拓扑进行串扰或综合仿真虽然可行，但过程比较麻烦且不方便设置，所以在前仿真阶段，我们可直接在SigXplorer中创建多网络耦合拓扑，创建过程不再细说，得到的拓扑如下图所示。

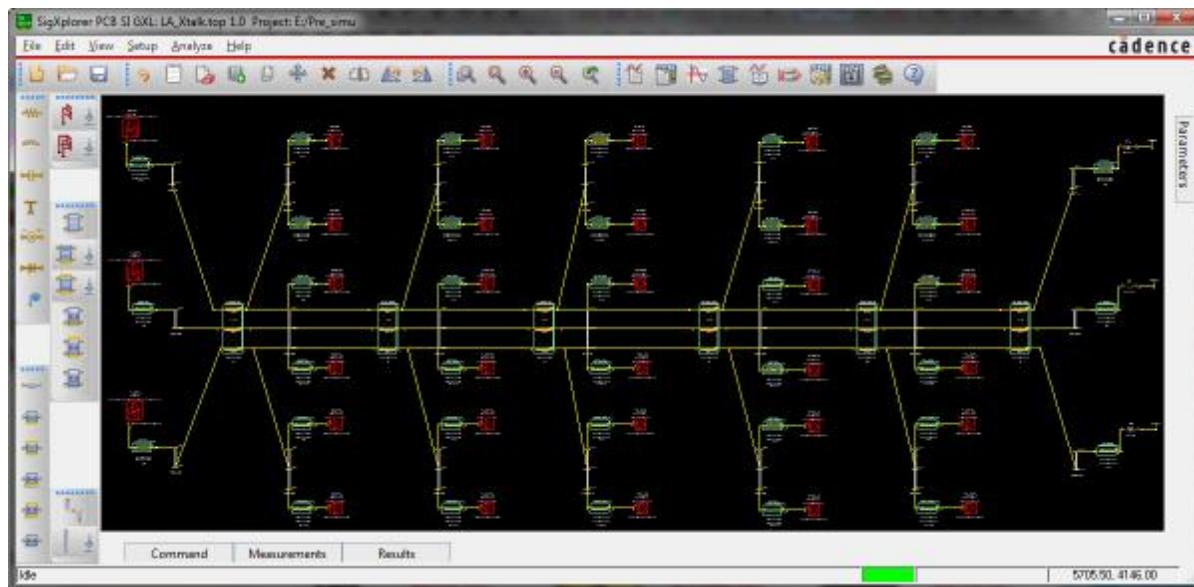


图 127：串扰分析拓扑

扫描线宽和间距参数并扫描输出端驱动力，我们可以看到在平行长度为3000mil，线宽为4mil，间距为8mil，驱动力选择最低，串扰最大可能给中间的内存芯片带来约60ps的时序偏移和约180mV的电压偏移。而线宽加大，间距缩小，驱动更强时，串扰的影响更加严重。

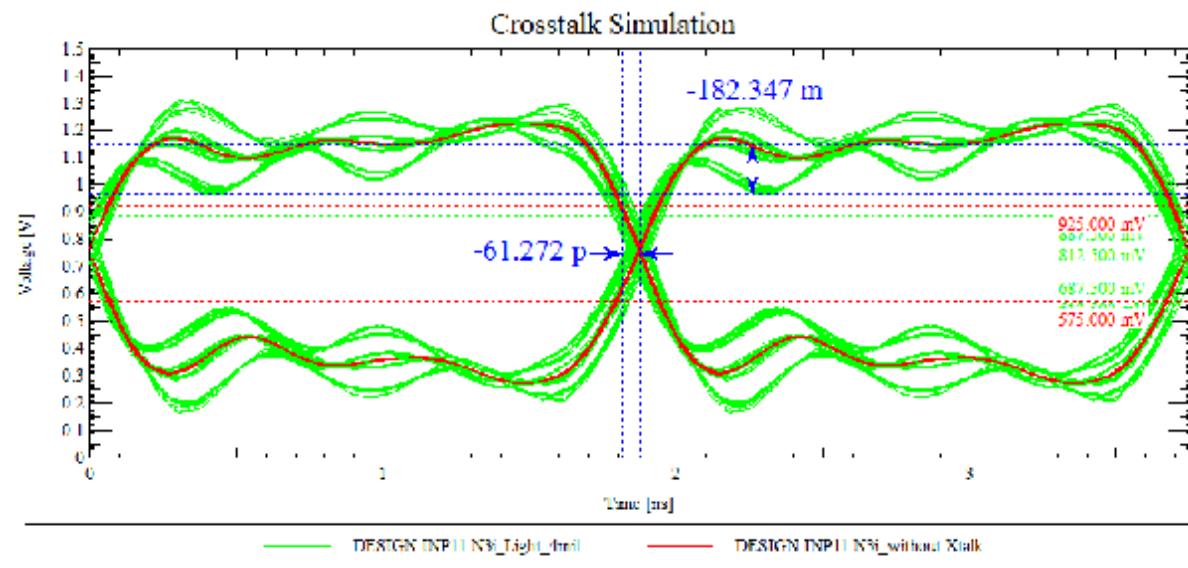


图 128：串扰对波形的影响——4mil线宽，8mil线距，弱驱动

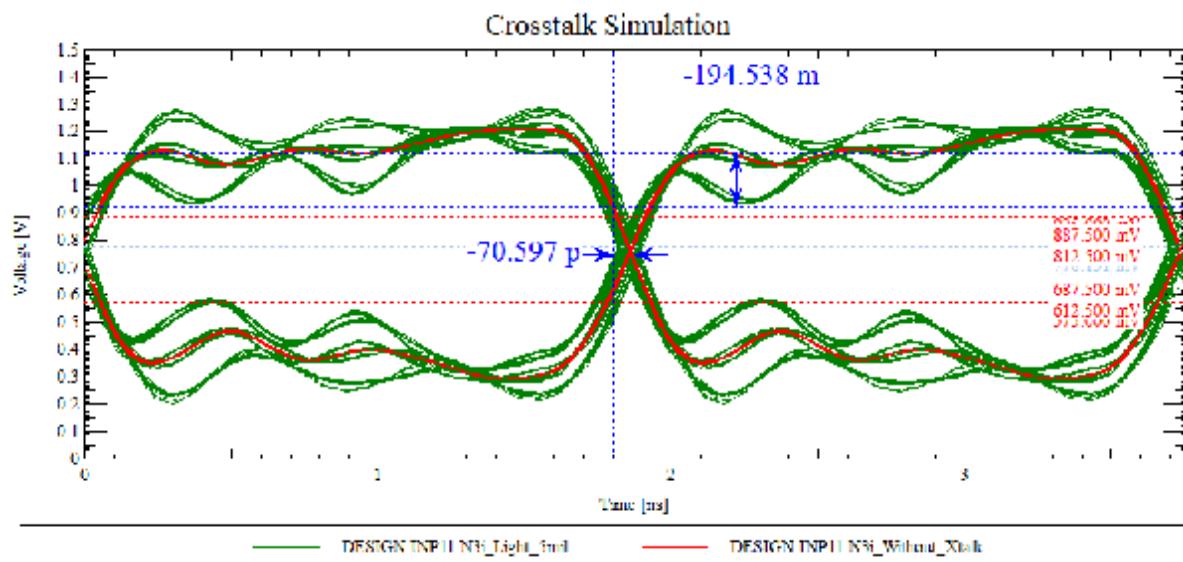


图 129: 串扰对波形的影响——5mil线宽, 7mil线距, 弱驱动

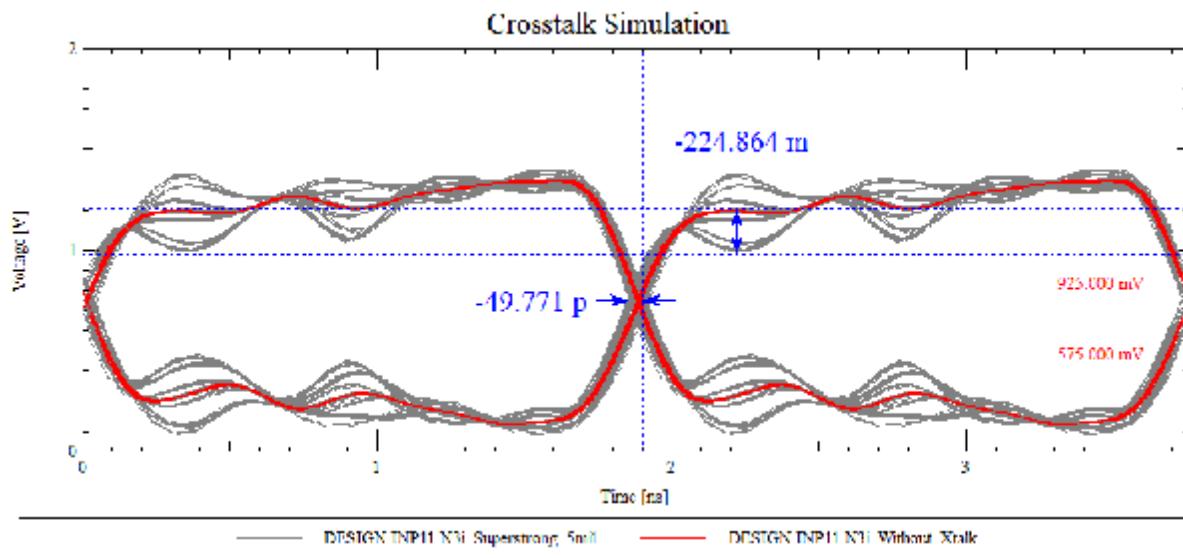


图 130: 串扰对波形的影响——5mil线宽, 7mil线距, 强驱动

从上面的图中可以看出在假想情况下, 串扰对地址信号的影响还是比较大的, 我们需要控制布线时的耦合长度, 以及在可能的情况下扩大线间距来降低串扰的影响。

2.6 方案到约束规则的转化

当通过仿真最终确定了电路（或者说是我们所关心的高速信号电路）的布局和布线方案后, 我们就可以将此方案应用到设计中了。在传统的设计流程中, 我们通常需要将方案转换成文字规则, 然后告诉Layout工程师遵循规则执行布局布线; 而在Cadence Allegro中, 正如大家熟知的, 我们可以将仿真转换成约束规则集, 并应

用到对应的网络上，然后在Layout过程中实时地指导布局布线，这正是备受推崇的Allegro约束驱动设计流程的核心部分。

在本案例中，上文已经介绍了如何通过仿真去找寻解决方案，但我们将省略通过仿真结果综合分析得出最终方案的环节，而直接使用JEDEC内存模组规范的要求作为方案。事实上，JEDEC的内存模组规范也是在JEDEC模组设计工作组成员们经过不断的仿真、测量、分析和讨论，逐渐地修订成文的。

在下文中，我们将介绍具体的方案到约束规则的转化过程。

- [传输线延迟规则的设置](#)
- [拓扑结构等传输线特性规则的设置](#)
- [传输线耦合规则的设置](#)
- [拓扑规则在约束管理器中的应用](#)

2.6.1 传输线延迟规则的设置

可以在JEDEC规范中找到地址信号的拓扑结构图及其要求的长度规则。

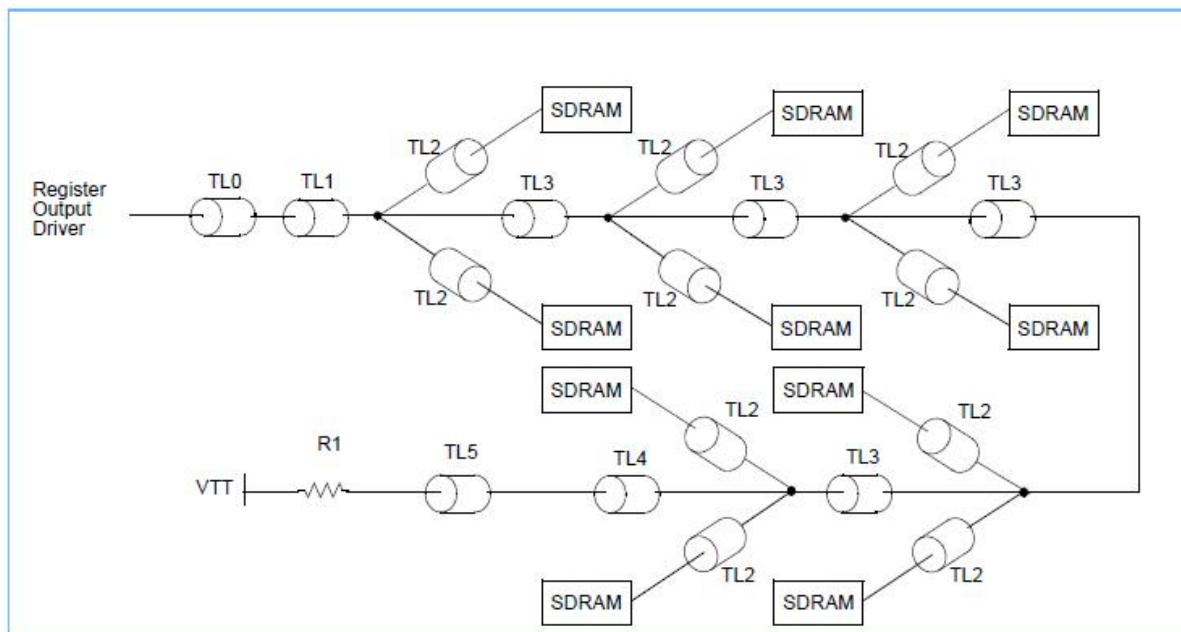


图 131: JEDEC规范中地址类信号拓扑

TL0		TL1		TL2		TL3		TL4		TL5		R1 Ohms	Notes
Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
1.6	8.3	8.5	15.4	0.8	3.8	13.3	13.5	2.5	9.8	0.8	5.6	39 ± 5%	1, 2

NOTE 1 All distances are given in millimeters and must be kept within a tolerance of ± 0.8 millimeter.
 NOTE 2 $TL0 + TL1 = 13.2$ to 17.0

图 132: JEDEC规范中地址类信号的线长要求

之前提取的LA_9.top拓扑文件就是按照此拓扑结构连接的，为了使之成为Allegro Constraint Manager约束管理器认可的规则拓扑，我们需要做一下转变。用SigXplorer打开之前保存的LA_9.top文件，可另存为一个名字，例如LA_CSets.top。然后点击Edit->Transform for Constraint Manager，网络拓扑中的过孔被移除，而物理传输线则转变并合并成理想的TLine线。

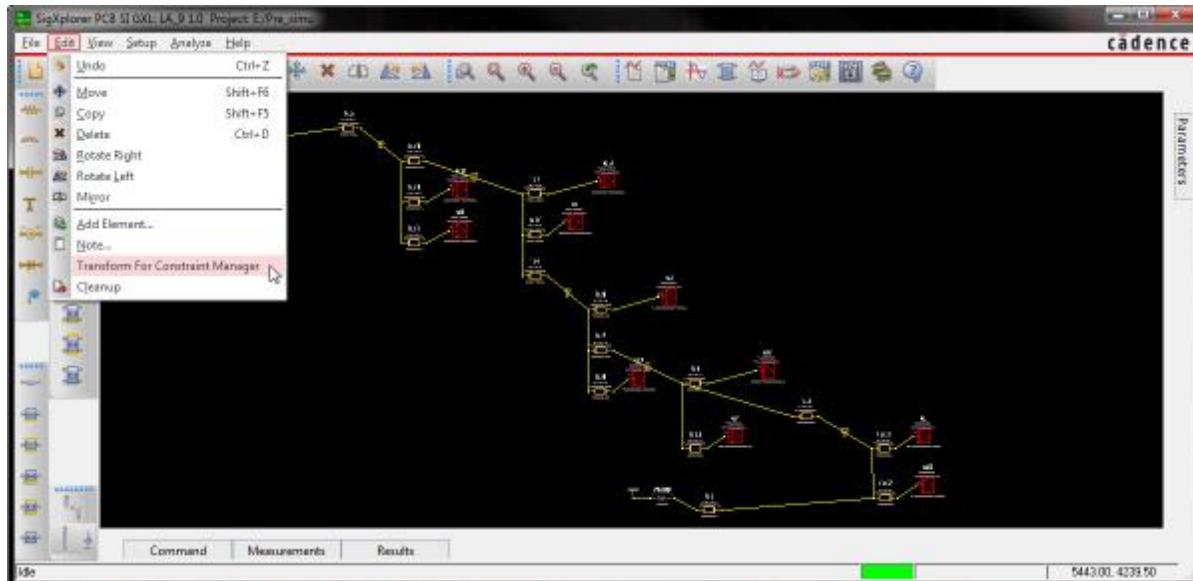


图 133：转换拓扑成为Constraint Manager约束管理器认可的规则拓扑

为了方便查看，整理一下。（不做整理也可，并不影响规则设置。）



图 134：整理后的地址信号规则拓扑

我们可以看到拓扑中存在多个T-Point，即T点，只与TLine传输线相连，与任何元器件都不相连的节点。T点是我们设置复杂拓扑的关键。我们可以看到规范对寄存器到第一个分岔点的长度要求既有绝对长度，也有相对长度；绝对长度是TL0+TL1（即上图中的TL5，U21和T4之间的传输线）是13.2mm到17.0mm，相对长度要求所有地址信号此段长度不大于0.8mm。我们来把这两个要求添加到拓扑中。

点击SigXplorer菜单Setup->Constraint，将弹出的Set Topology Constraints窗口切换到Prop Delay栏眉。

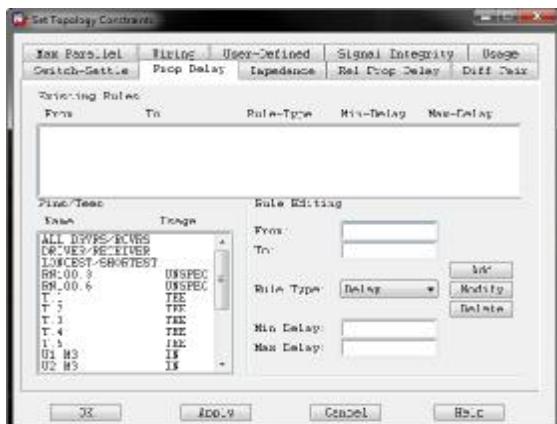


图 135: Set Topology Constraints窗口的Prop Delay栏眉



图 136: Prop Delay栏眉下输入绝对延迟规则

在Prop Delay栏眉的Pins/Tees栏中找到U21.1和T.4，依次点击，这两个节点就会进入到右方的From和To栏中；通过下拉菜单选择Rule Type为Length，在下方的Min Delay和Max Delay栏分别输入13.2mm和17.0mm，再点击Add按钮，此绝对长度规则就输入好了。

将Set Topology Constraints窗口切换到Rel Prop Delay栏眉，依次点击Pins/Tees栏中的U21.1和T.4，这两个节点就会进入到右方的From和To栏中；在右方的Rule Name栏中输入此相对长度规则的名称（也就是Constraint Manager中的Matching Group名称），例如U21_TP1，Scope栏选择Global，Delta Type栏选择Length，Delta栏输入0mm，Tol Type栏选择Length，Tolerane栏输入0.8mm，再点击Add按钮，此相对长度规则就输入好了。

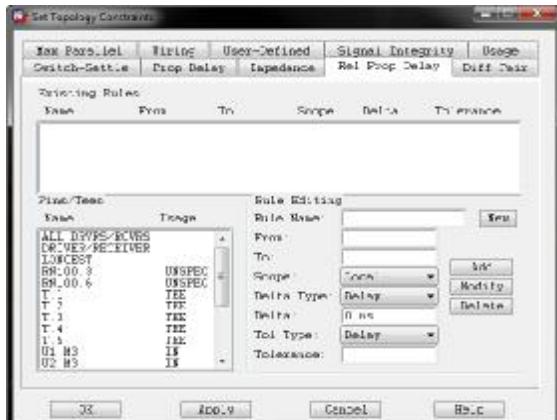


图 137: Set Topology Constraints窗口的Rel Prop Delay栏眉

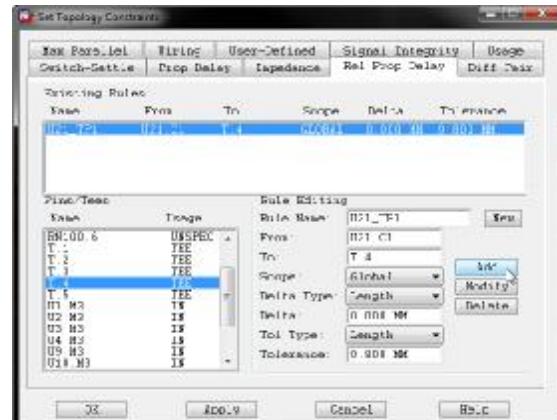


图 138: Rel Prop Delay栏眉下输入相对延迟规则

同样方法，可输入所有传输线段的长度规则。

2.6.2 拓扑结构等传输线特性规则的设置

传输线的延迟规则只是Allegro Constraint约束规则中的一部分，而且如果要应用到复杂拓扑的网络上，我们还需要通过一定的设置使规则中的T点和缓冲器能够正确的映射。

打开Set Topology Constraints窗口并切换到Wiring栏眉。

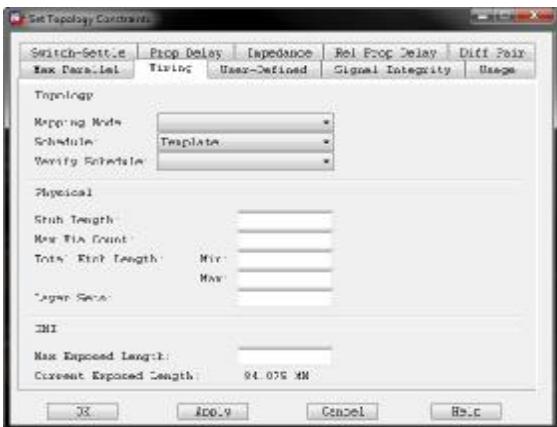


图 139: Set Topology Constraints窗口的Wiring栏眉

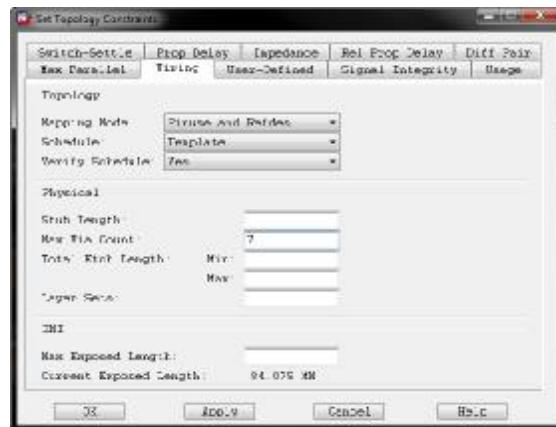


图 140: Wiring栏眉修改拓扑规则

在Wiring栏眉中，选择Mapping Mode为RefDes and Pinuse，保持Schedule为Template，选择Verify Schedule为Yes；以上设置能确保本案例拓扑Schedule的正确映射。

另外，在Wiring栏眉中，**Stub Length**栏虽然可以用来控制Stub线长，但这里的Stub，并非我们之前提到的从过孔到内存芯片的表层传输线，而是特指菊花链拓扑的Stub，所在在本案例中留空即可；**Max Via Count**最大过孔数目栏我们可以填入7，确认不会出现额外的过孔影响信号完整性；**Total Etch Length**总线长栏可以留空(因为我们已经具体的分段线长)；**Layer Sets**用于设置此网络可以布线的层面，本案例留空；**EMI**的**Max Exposed Length**用于设定微带线允许的总长度，本案例也留空。

2.6.3 传输线耦合规则的设置

之前我们对造成串扰的几个主要因素进行了仿真，接下来我们来看看可以如何设置约束规则来控制串扰。

将Set Topology Constraints窗口切换到Max Parallel栏眉。在Rule Editing的Length线长栏中输入10mm，在Gap间距栏中输入0.15mm，然后点击Add按钮添加规则，表示0.15mm以内的间距下，最大耦合长度为10mm；依次设置添加规则0.2mm间距内最大耦合长度20mm，以及0.25mm间距内最大耦合长度40mm。

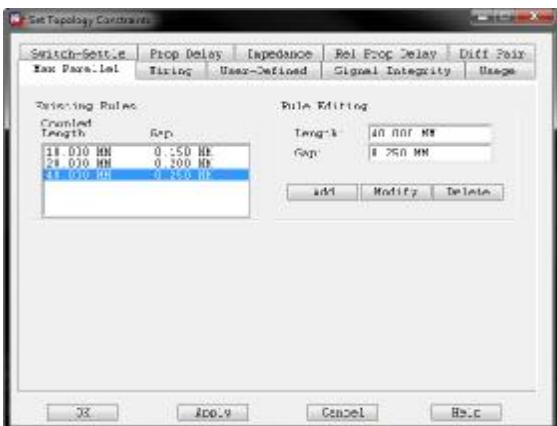


图 141: Set Topology Constraints窗口的Max Parallel 栏眉

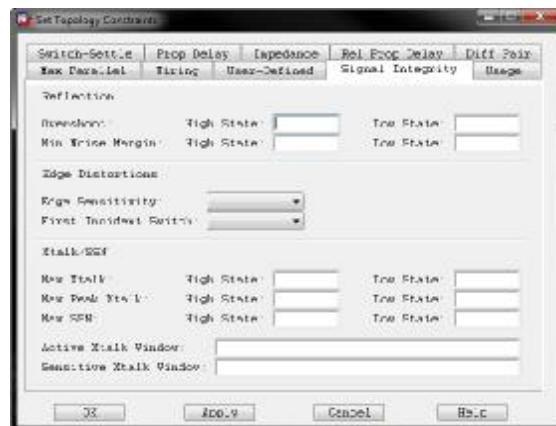


图 142: Set Topology Constraints窗口的Signal Integrity栏眉

我们还可以将Set Topology Constraints窗口切换到Signal Integrity栏眉，里面可以直接输入串扰的最大电压等数值。但笔者并不建议如此，因为这里需要通过仿真才能得到规则是否违背的结果，所花费的时间较多，并不利于实时地DRC检查；而采用串扰表格的形式，则是简单的长度和间距规则，可以很方便地在设计中实时地显示DRC的结果。这个思路也可以应用于其他方面，虽然Allegro提供了包括这里的串扰电压，以及诸如过冲、噪声裕量、阻抗和飞行时间等在内的基于仿真和运算的SI参数检查，但是笔者还是建议通过前仿真将上述要求转换成线长线间距等物理尺寸规则，这样可以大大提高设计的效率。

2.6.4 拓扑规则在约束管理器中的应用

当约束规则设置完毕，我们就可以传递到Allegro，从而指导设计了。有两个方法可以将SigXplorer中的约束规则导入到Allegro中：其一，如果网络拓扑是在Allegro Constraint Manager中提取得到的话，点击SigXplorer菜单中的File ->Update Constraint Manager即可；其二，无论是手动创建还是提取的拓扑，都可以在SigXplorer保存拓扑文件（.top），然后在Constraint Manager中选择File -> Import -> Electrical CSets，然后打开所保存的拓扑文件即可。

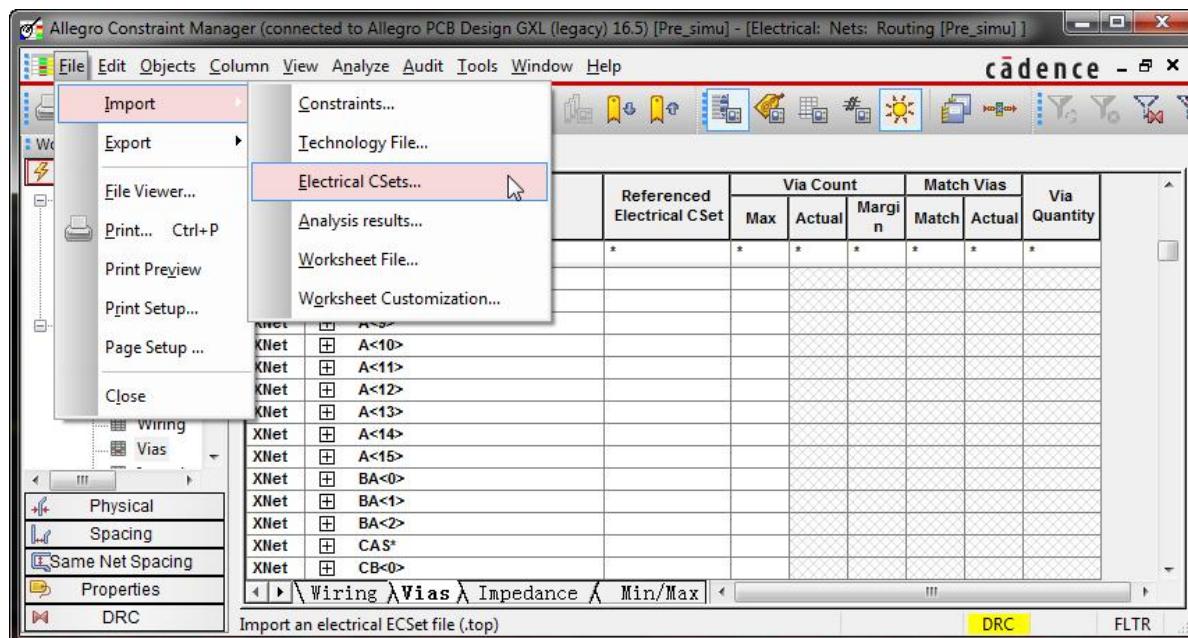


图 143: Allegro Constraint Manager中导入规则拓扑

这里我们打开之前保存的已近设置好规则拓扑的LA_CSets.top，拓扑就进入到约束管理器中了。

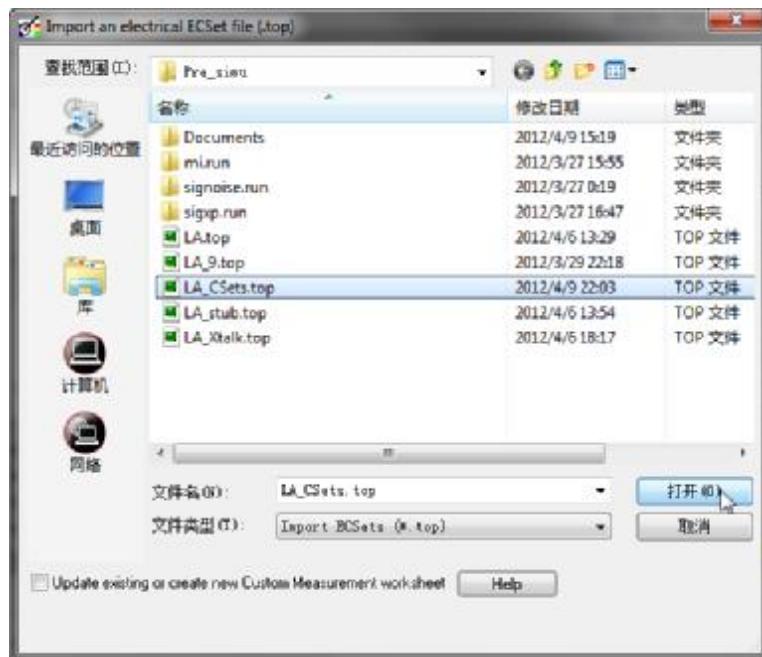


图 144：导入LA_CSets.top规则拓扑

此规则出现在约束管理器的Electrical栏Electrical Constraint Set目录下。

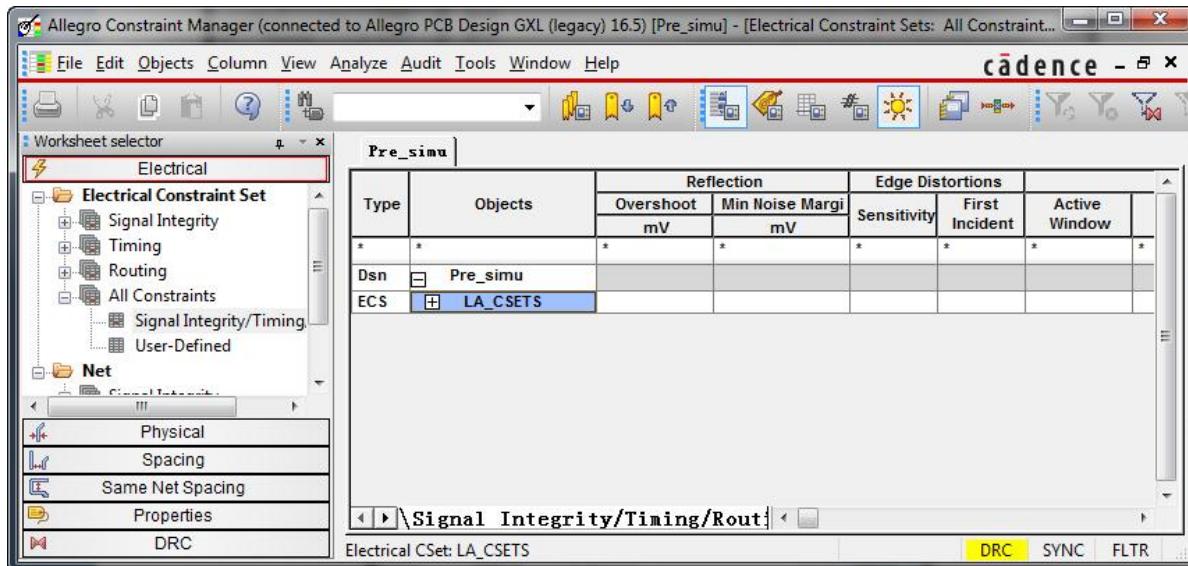


图 145：Electrical栏Electrical Constraint Set目录下出现导入的LA_CSSETS规则

将约束管理器切换到Electrical栏Net目录下，找到需要应用网络，例如LA<4>，点击Reference Constraint CSets栏，在出现的下拉菜单中选择LA_CSSETS，规则就应用到此网络上了。同样方法，可以依次将约束规则应用到其他网络上。另外，如果创建有Class网络类或Bus总线，可以一次性将规则应用到Class或Bus上。

为了使约束管理器中能够正常的显示我们需要监管的规则违背状态，我们还需要在设置Electrical DRC模式。在约束管理器中点击Analyze -> Analysis Modes，在出现的Analysis Modes窗口中选择左方的Electrical Modes，然后在右方的选择中将所需的项使能，本案例中，我们可以使能（选择“On”）Max Via Count, Propagation Delay, Relative Propagation Delay和Max Parallel。

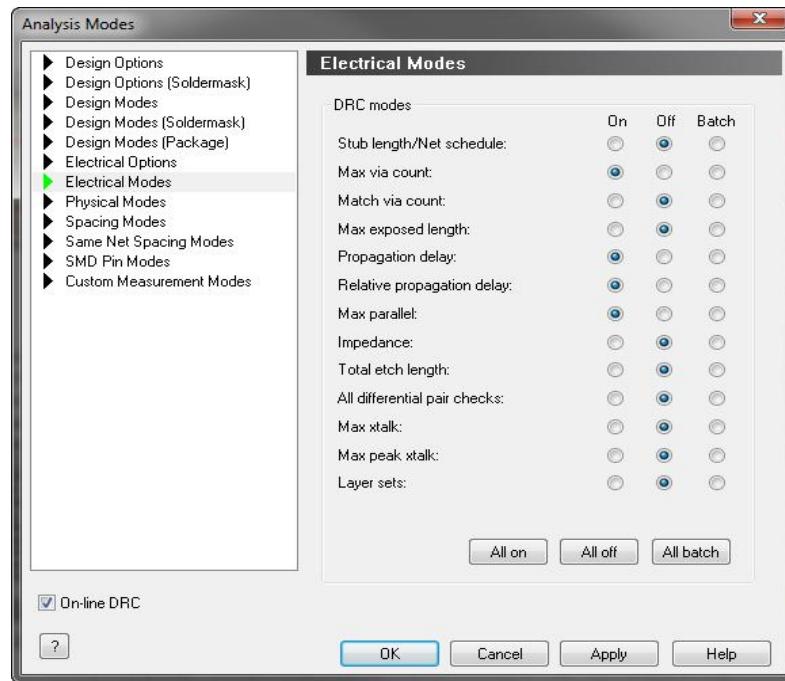
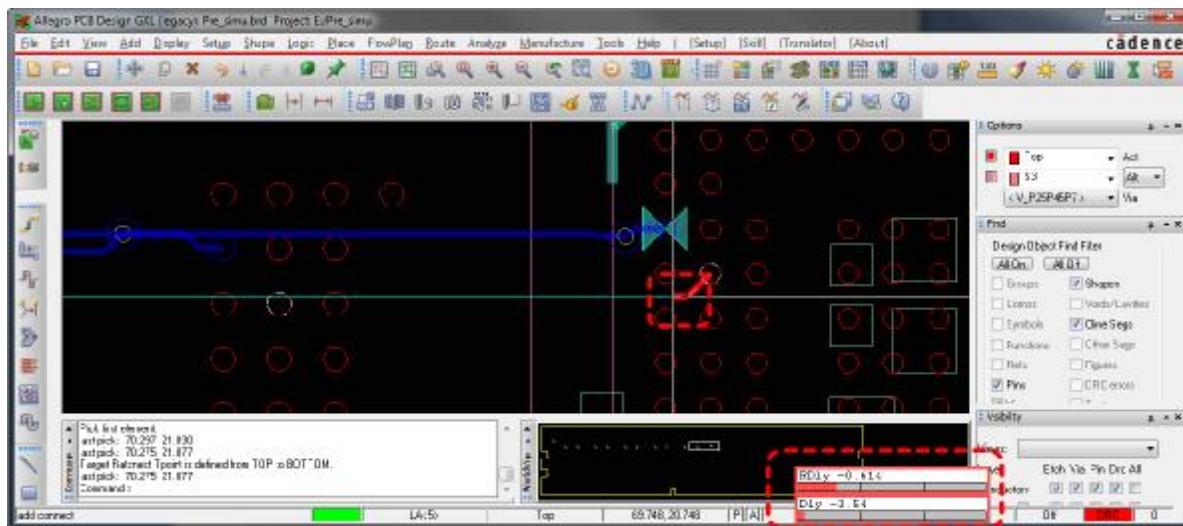


图 146: Analysis Modes 窗口 Electrical Modes 栏选择 DRC 模式

这样，我们就可以在 Layout 的同时实时地在约束管理器中显示相关 DRC 状态，例如我们之前已近做了 LA<9> 的预布线，在 Min/Max Propagation Delay 栏中就显示了此时的状态。

同时，我们在布局布线过程中，Allegro 工作台上也会实时地通过 DRC 标志（蝴蝶结形式）或线长状态栏显示规则违背状态。



3 Allegro PCB SI的后仿真

在设计完成了布线后，输出生产文件将电路板投产前，我们可以执行设计的后仿真以确保高速信号的信号完整性不存在问题。虽然在应用Allegro约束驱动的设计流程执行设计，也就是设计在设置完备的高速规则约束下完成后，已经最大限度的避免了SI问题的发生，但后仿真作为一个验证的环节，依旧是推荐执行。而且在Allegro PCB SI的后仿真流程中，我们可以通过软件方便快捷地创建各种仿真报告，满足各方面审核设计的需要。

Allegro PCB SI的后仿真可以按需要执行多种类型的仿真，EMI、串扰、反射、时序等等，同样需要对电路板（brd文件）进行仿真设置，设置的过程和前仿真中对电路板的仿真设置过程是一致的，这里不再复述；而仿真的过程根据所需执行的仿真类型的不同也略有不同，鉴于笔者已经一篇文章《Allegro PCB SI - 一步一步学会使用Bus Analysis》中介绍了如何运用Allegro PCB SI的总线分析模块执行DDR3地址总线时序和信号完整性的后仿真，这里也就不再详述了。需要的话，可以在本站如下链接中下载。

http://www.sofe.cn/down_show.php?id=482

--[全文完]--

以上技术文档由上海索服科技提供

更多EDA技术文档请访问：<http://www.sofe.cn>

全国统一服务电话：400 600 9600