



Allegro PCB SI: 一步一步学会使用Bus Analysis

Learn Bus Analysis Step by Step

Doc Scope : Cadence 16.5
Doc Number : SFTEC11004
Author : Daniel Zhong
Create Date : 2011-11-04
Rev : 1.00



目录

1	Bus Analysis简介.....	3
2	仿真过程	3
2.1	实例介绍.....	3
2.2	准备工作.....	4
2.2.1	IBIS模型文件和datasheet	4
2.2.2	Derating Table文件	5
2.3	打开文件.....	7
2.4	SI Setup 和 Design Audit.....	9
2.5	总线设置.....	9
2.5.1	创建仿真总线 (Create Simulation Bus)	9
2.5.2	设置总线方向/控制器位号/触发沿/Derating Table文件	12
2.5.3	指定缓冲器模型 (Assign Bus Component Buffer Models)	13
2.5.4	选择时钟或选通信号 (Select Clocks or Strokes)	14
2.5.5	选择对应的总线网络 (Assign Bus Xnets to Clocks or Strokes)	14
2.5.6	指定元件参数 (Specify Component Parameters)	15
2.5.7	添加激励 (Assign Bus Stimulus)	16
2.6	确认缓冲器模型参数	17
2.7	总线仿真.....	18
2.7.1	仿真参数设置	19
2.7.2	运行仿真	20
2.8	仿真结果.....	21
2.8.1	波形	22
2.8.2	报告	23

1 Bus Analysis简介

Allegro PCB SI中的Source Synchronous Bus Analysis模块是用于仿真和分析源同步总线特别是DDR数据总线和地址/命令/控制总线的一个后仿真工具，我们可以利用它方便快捷地分析源同步总线的时序、信号质量等信号完整性问题。

在Allegro PCB SI 16.5版本中，Source Synchronous Bus Analysis模块得到了进一步改进，更有利于DDR3地址/命令/控制总线的仿真。

2 仿真过程

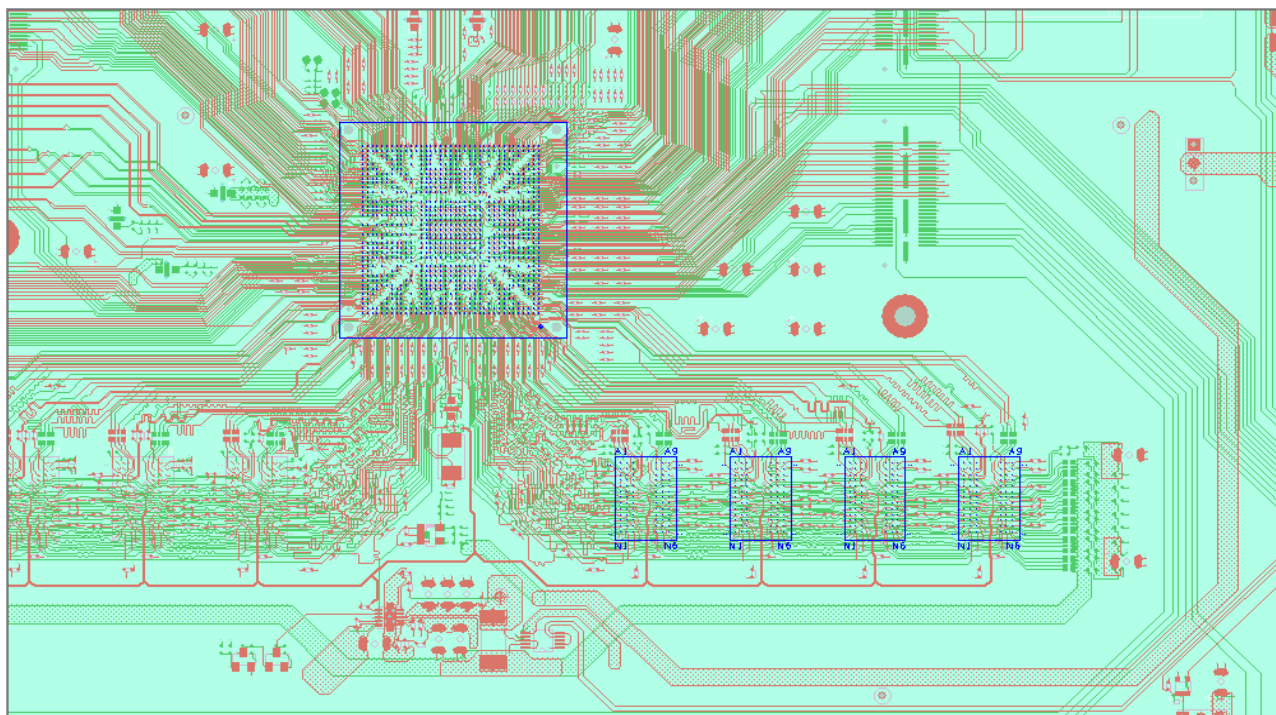
本文会按照以下步骤依次介绍总线分析（Bus Analysis）的执行：

- [实例介绍](#)
- [准备工作](#)
- [打开文件](#)
- [SI Setup和Design Audit](#)
- [总线设置](#)
- [确认缓冲器模型参数](#)
- [总线仿真](#)
- [仿真结果](#)

2.1 实例介绍

本文将以一个使用了DDR3芯片的DSP主板为例，介绍总线分析的仿真步骤。主板的主要特性见下表：

内存控制器	TMS320DM8168 (TI DSP)
DDR3芯片	EDJ2108BCSE (Elpida DDR3 SDRAM) x 4
运行频率	DDR3-1066 即时钟频率533MHz，地址/命令/控制总线速率533Mbps（1T Command Mode）
主板叠层	6层，SGPPGS，1.6mm厚度



2.2 准备工作

在执行仿真前，需要做一些先期准备工作：

- IBIS模型文件和datasheet
- Derating Table文件

2.2.1 IBIS模型文件和datasheet

针对TI的DSP，到以下网页下载其datasheet: <http://www.ti.com/product/tms320dm8168>，得到tms320dm8168.pdf文件。

用以下链接下载其IBIS模型：

http://e2e.ti.com/cfs-file.ashx/___key/CommunityServer-Components-PostAttachments/00-00-44-67-04/dm816x_5F00_ibis_5F00_v001.zip

得到dm816x_5F00_ibis_5F00_v001.zip文件，解压缩得到dm816x.ibs文件。

针对Elpida的DDR3 SDRAM，用以下链接下载其datasheet: <http://www.elpida.com/pdfs/E1677E21.pdf>，得到E1677E21.pdf文件。

从供应商处得到其IBIS模型：edj2108bcse.ibs。

检查两个IBIS文件，发现dm816x.ibs文件中并没有包含DDR3差分信号管脚对的定义，为了方便之后的使用，可按照以下方式修改此模型文件，在[*pin*]列表之后[*Model Selector*]列表之间加入[Diff Pin]列表，如下表所示（蓝色文字是新加入的差分管脚对列表）：

A19	X1DEV	IOSCHF18GHY.PAD			
R34	X1USB	IOSCHF18GHY.PAD			
C19	X2DEV	OOSCHF18G.PAD			
P34	X2USB	OOSCHF18G.PAD			
[Diff Pin]	inv_pin	vdiff	tdelay_typ	tdelay_min	tdelay_max
B12	A12	0.000V	0.000s	NA	NA
F4	E3	0.000V	0.000s	NA	NA
B4	A4	0.000V	0.000s	NA	NA
B8	A8	0.000V	0.000s	NA	NA
B9	A9	0.000V	0.000s	NA	NA
A15	B15	0.000V	0.000s	NA	NA
A26	B26	0.000V	0.000s	NA	NA
F34	E35	0.000V	0.000s	NA	NA
B34	A34	0.000V	0.000s	NA	NA
B30	A30	0.000V	0.000s	NA	NA
B29	A29	0.000V	0.000s	NA	NA
A23	B23	0.000V	0.000s	NA	NA

```

|*****
|  Usage IO#3.3V#PD/PI/PU##BC3340CGHYPBFBP18.PAD
|  Base model BC3340CGHYPBFBP18
|*****

```

2.2.2 Derating Table文件

Derating Table文件在这里是描述DDR3 SDRAM地址类信号的建立/保持时间要求与信号和时钟斜率的关系的表格文件。在DDR3 datasheet文件E1677E21.pdf中的第10页，我们可以找到其AC150的减额表格如下：

[Derating Values of tIS/tIH AC/DC based-Alternate AC150 Threshold (DDR3-800, 1066, 1333, 1600)]
 $\Delta tIS, \Delta tIH$ derating in [ps] AC/DC based

Alternate AC150 Threshold $\rightarrow V_{IH}(AC)=V_{REF}(DC)+150mV, V_{IL}(AC)=V_{REF}(DC)-150mV$

CK_i /CK differential slew rate

		4.0 V/ns		3.0 V/ns		2.0 V/ns		1.8 V/ns		1.6 V/ns		1.4 V/ns		1.2 V/ns		1.0 V/ns		Unit
		ΔtIS	ΔtIH	ΔtIS	ΔtIH	ΔtIS	ΔtIH	ΔtIS	ΔtIH	ΔtIS	ΔtIH	ΔtIS	ΔtIH	ΔtIS	ΔtIH	ΔtIS	ΔtIH	
CMD, ADD slew rate (V/ns)	2.0	+75	+50	+75	+50	+75	+50	+83	+58	+91	+66	+99	+74	+107	+84	+115	+100	ps
	1.5	+50	+34	+50	+34	+50	+34	+58	+42	+66	+50	+74	+58	+82	+68	+90	+84	ps
	1.0	0	0	0	0	0	0	+8	+8	+16	+16	+24	+24	+32	+34	+40	+50	ps
	0.9	0	-4	0	-4	0	-4	+8	+4	+16	+12	+24	+20	+32	+30	+40	+46	ps
	0.8	0	-10	0	-10	0	-10	+8	-2	+16	+6	+24	+14	+32	+24	+40	+40	ps
	0.7	0	-16	0	-16	0	-16	+8	-8	+16	0	+24	+8	+32	+18	+40	+34	ps
	0.6	-1	-26	-1	-26	-1	-26	+7	-18	+15	-10	+23	-2	+31	+8	+39	+24	ps
	0.5	-10	-40	-10	-40	-10	-40	-2	-32	+6	-24	+14	-16	+22	-6	+30	+10	ps
	0.4	-25	-60	-25	-60	-25	-60	-17	-52	-9	-44	-1	-36	+7	-26	+15	-10	ps

将此表格按照建立和保持时间重新整理成以下表格形式，并保存为Elpida_ddr3_derating.dat于根目录：

```
# Derating table for design DDR3
# Lines beginning with the symbol # are comments and will be ignored
```

```
# The units of CLOCK_SLEW and DATA_SLEW values are:
# Volts per nano-seconds (V/ns)
```

```
clock_slew 4.0, 3.0, 2.0, 1.8, 1.6, 1.4, 1.2, 1.0
data_slew 2.0, 1.5, 1.0, 0.9, 0.8, 0.7, 0.6, 0.5, 0.4
```

```
setup_derating_table
##### 4.0 3.0 2.0 1.8 1.6 1.4 1.2 1.0
      +88 +88 +88 +96 +104 +112 +120 +128
      +59 +59 +59 +67 +75 +83 +91 +99
      0 0 0 +8 +16 +24 +32 +40
      ?2 ?2 ?2 +6 +14 +22 +30 +38
      ?6 ?6 ?6 +2 +10 +18 +26 +34
      ?11 ?11 ?11 ?3 +5 +13 +21 +29
      ?17 ?17 ?17 ?9 ?1 +7 +15 +23
      ?35 ?35 ?35 ?27 ?19 ?11 ?2 +5
      ?62 ?62 ?62 ?54 ?46 ?38 ?30 ?22
```

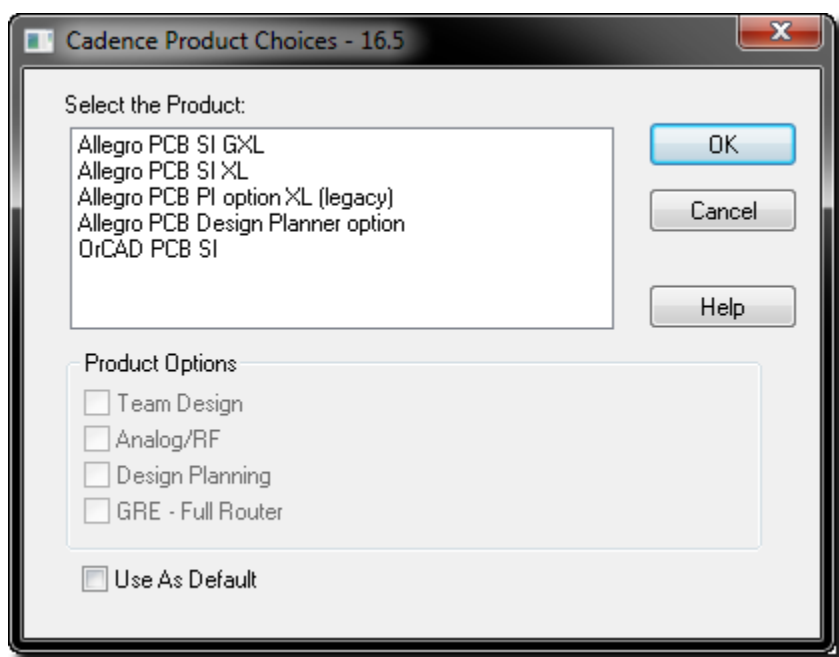
```
hold_derating_table
##### 4.0 3.0 2.0 1.8 1.6 1.4 1.2 1.0
      +50 +50 +50 +58 +66 +74 +84 +100
```

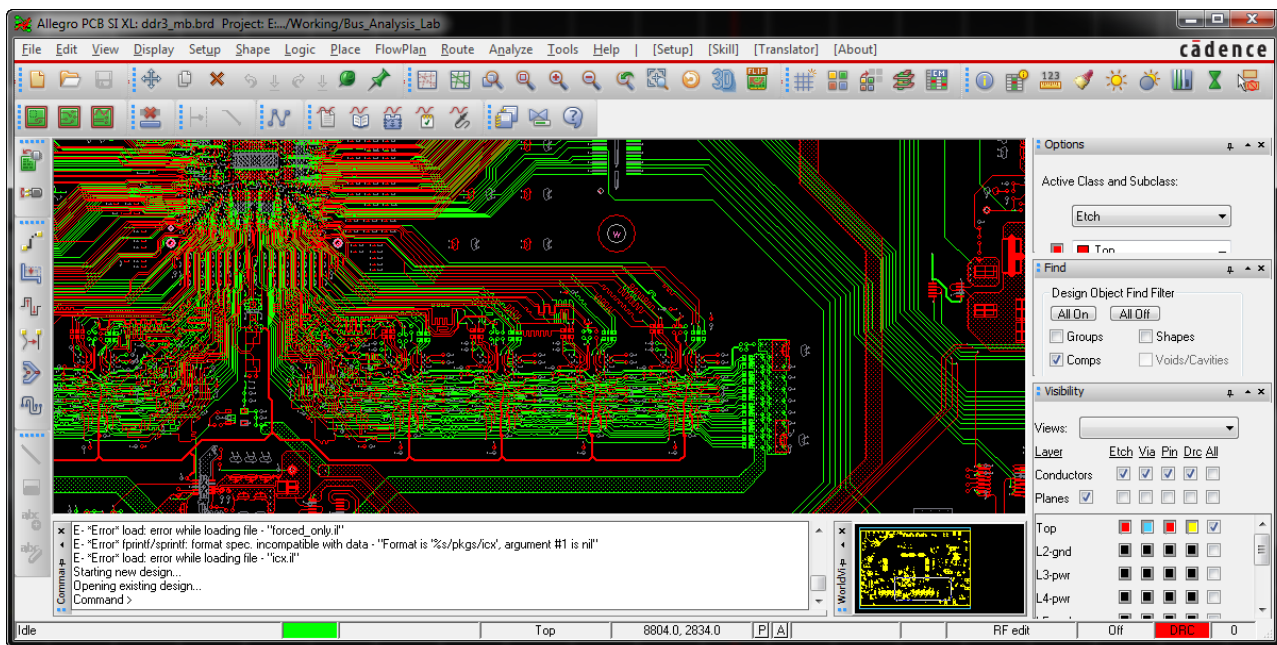
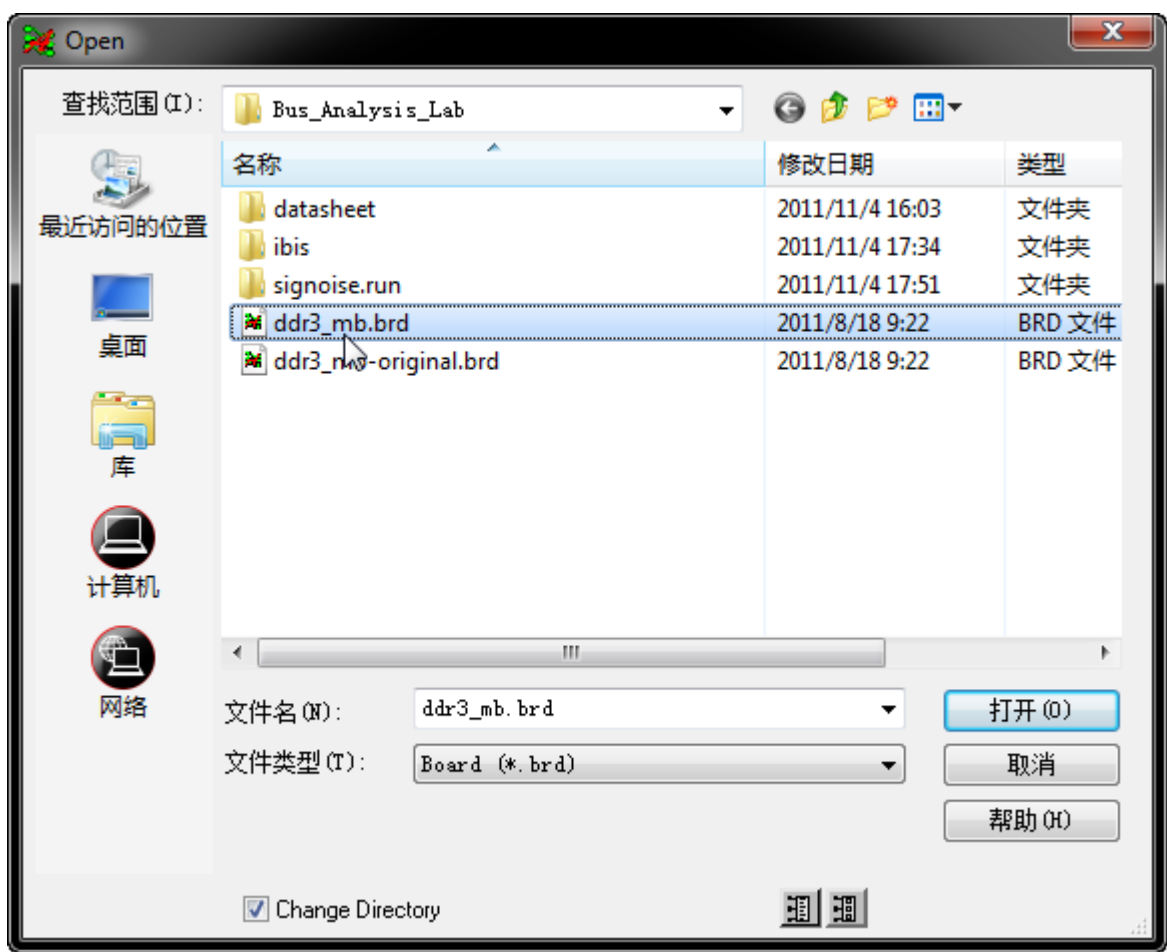
+34	+34	+34	+42	+50	+58	+68	+84
0	0	0	+8	+16	+24	+34	+50
?4	?4	?4	+4	+12	+20	+30	+46
?10	?10	?10	?2	+6	+14	+24	+40
?16	?16	?16	?8	0	+8	+18	+34
?26	?26	?26	?18	?10	?2	+8	+24
?40	?40	?40	?32	?24	?16	?6	+10
?60	?60	?60	?52	?44	?36	?26	?10

注：表格中的“？”在被调用时表示负号“-”。

2.3 打开文件

启动PCB SI(需要有XL版本以上的授权)，点击File - Open, 打开在Bus_Analysis_Lab下的“ddr3_mb.brd”文件。





2.4 SI Setup和Design Audit

本步骤是手动对设计进行SI配置，或是使用SI Design Setup和SI Design Audit命令，在一个智能化的向导流程中，执行设计的SI配置和审核的过程，主要是执行各元件仿真模型的指定、板子叠层的设置、网络的配置等。由于本步骤是SI仿真的基本步骤，因此就不在本文详述了，在此就认为本brd文件已经完成了SI的配置和审核，可以执行下一步的仿真步骤。

注：SI配置和审核过程会另文详述。

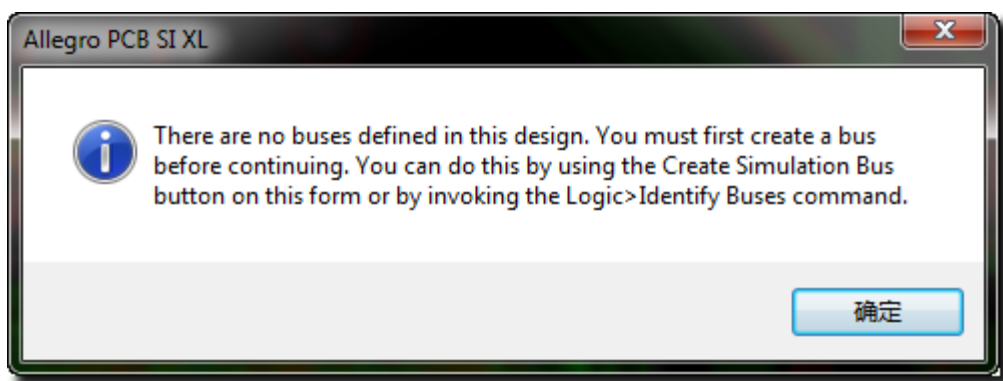
2.5 总线设置

源同步总线分析的设置包含以下几个步骤，依次是：

- [创建仿真总线（Create Simulation Bus）](#)
- [设置总线方向/控制器位号/触发沿/Derating Table文件](#)
- [指定缓冲器模型（Assign Bus Component Buffer Models）](#)
- [选择时钟或选通信号（Select Clocks or Strokes）](#)
- [选择对应的总线网络（Assign Bus Xnets to Clocks or Strokes）](#)
- [指定元件参数（Specify Component Parameters）](#)
- [添加激励（Assign Bus Stimulus）](#)

2.5.1 创建仿真总线（Create Simulation Bus）

选择Analyze - Bus Setup，如果还未定义任何总线，会弹出一个警告窗口，确认它。



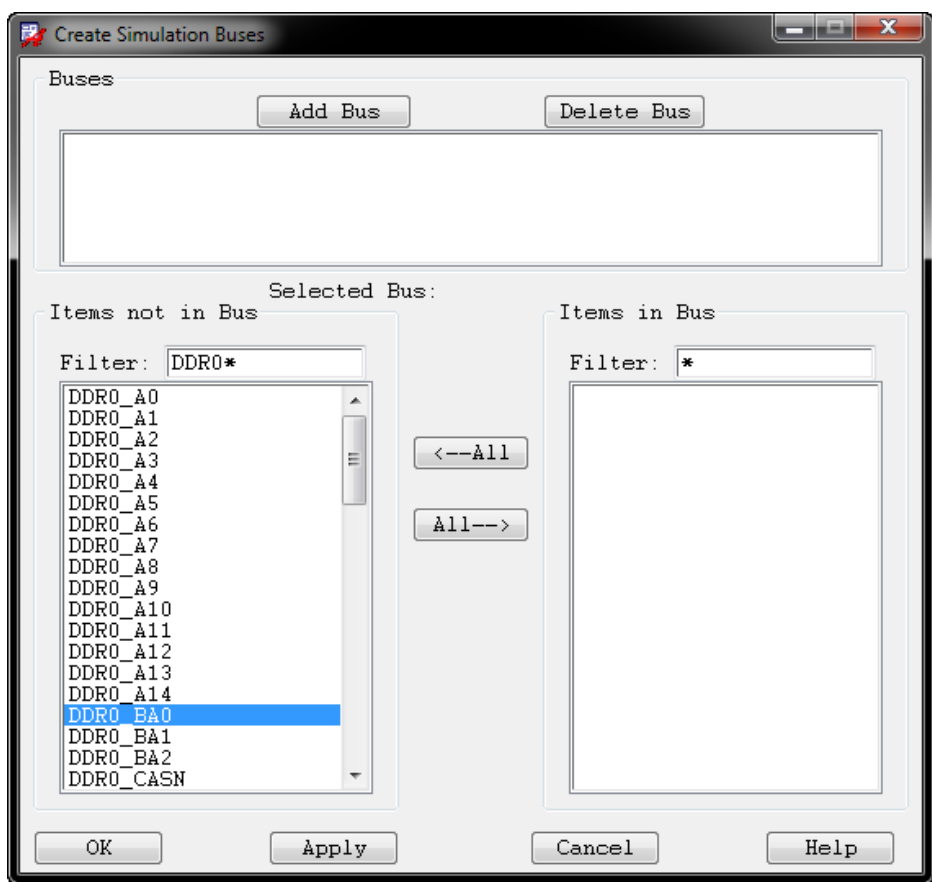
然后弹出如下Signal Bus Setup对话框。



点击对话框中的Create Simulation Bus按钮。

Create Simulation Bus...

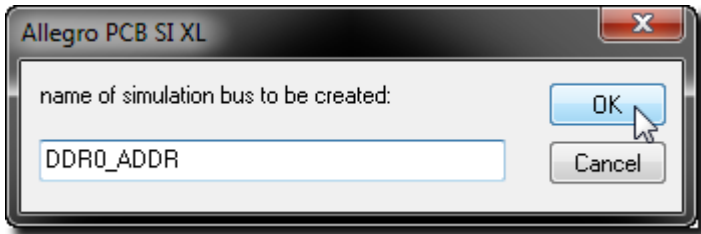
弹出Create Simulation Buses对话框。



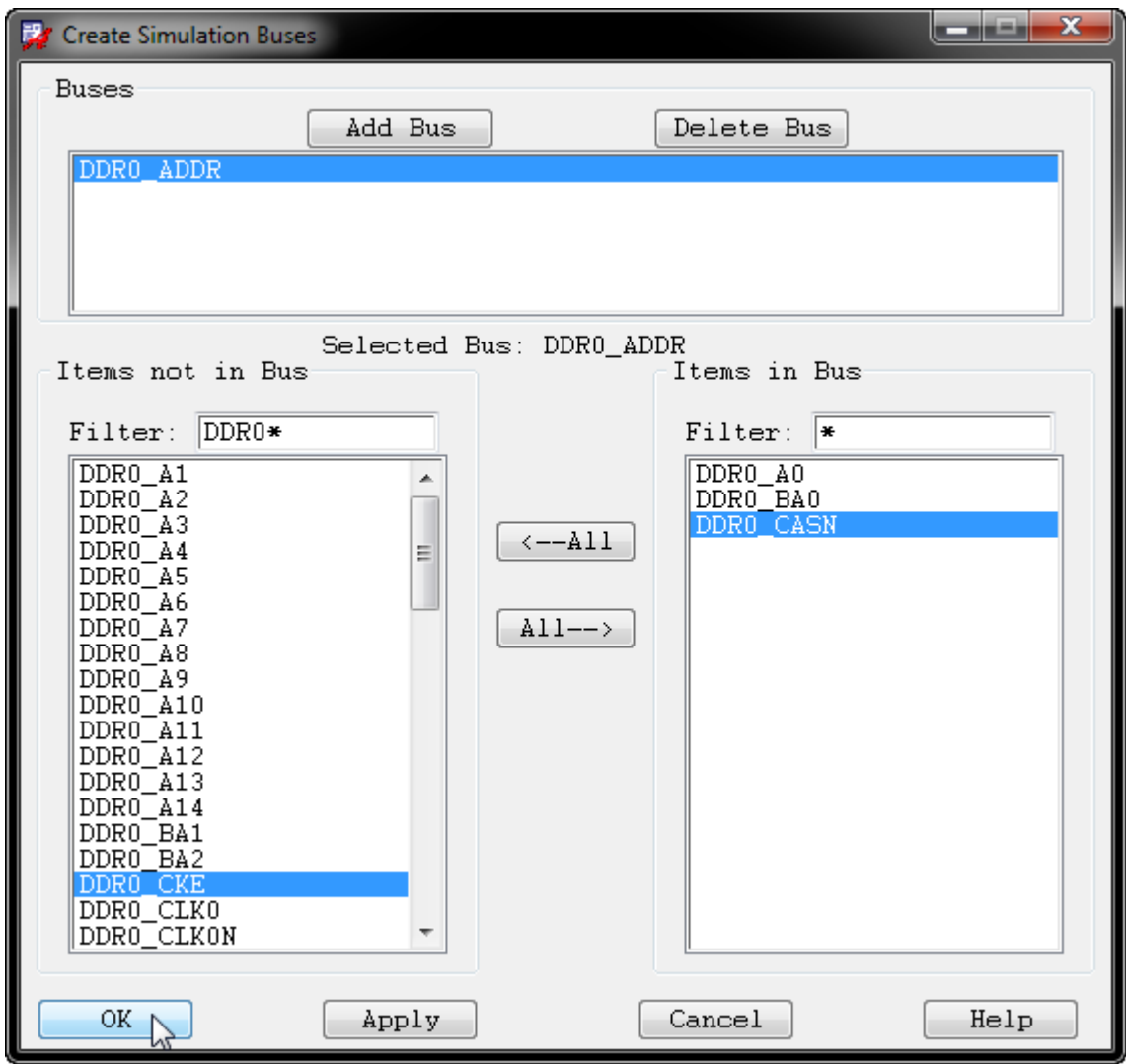
点击对话框中的Add Bus按钮。



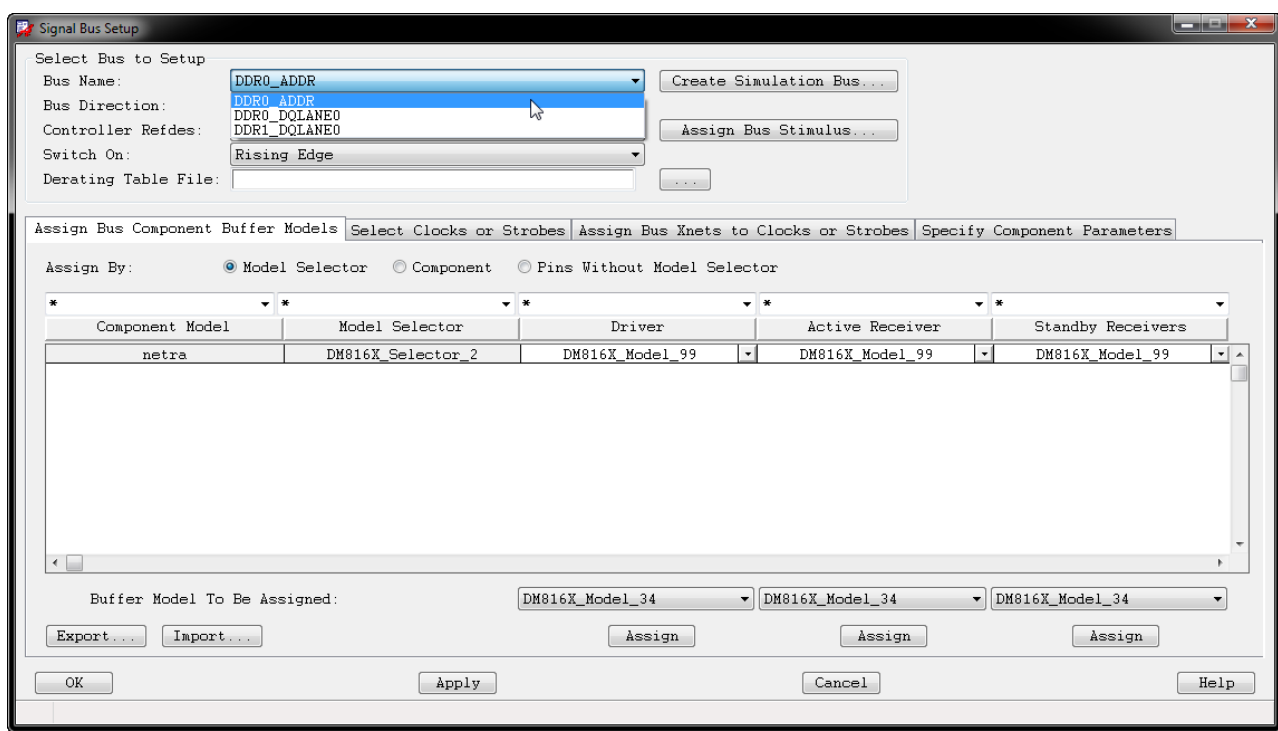
在弹出的窗口中输入所需创建的总线名称，如DDR0_ADDR，并点击右方的OK按钮。



在Create Simulation Bus对话框中选择总线所包含的信号，并点击左下角的OK按钮关闭对话框。DDR3的地址/命令/控制类总线应该包括所有Ax即地址信号、所有BAx即Bank地址信号、CAS、RAS、WE、ODT、CS和CKE信号，在这里为了节约仿真时间，仅取DDR0_A0DDR0_BA0和DDR0_CASN信号作示例。



如果在启动Bus Setup命令前，已经定义有总线，可以直接在Signal Bus Setup对话框中选择需要仿真的总线，如DDR0_ADDR。



注：Signal Bus Setup对话框中可以选择所有在Constraint Manager中定义的Bus。

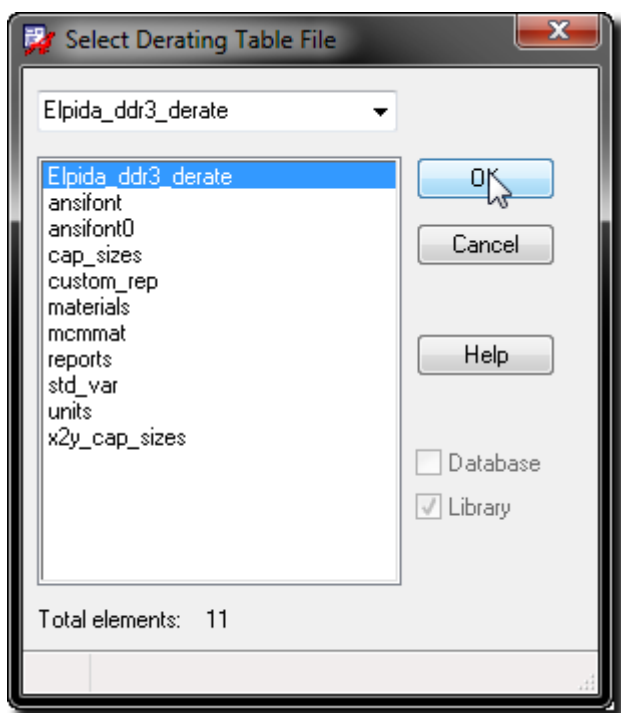
2.5.2 设置总线方向/控制器位号/触发沿/Derating Table文件

注意到地址类信号是单向信号，作为控制器的TI DSP芯片在本设计中的位号是U31，以及地址类信号是上升沿触发，于是在Signal Bus Setup对话框中选择正确的Bus Direction、Controller Refdes和Switch On。



选择Derating Table File栏右方的按钮。...

在弹出的Select Derating Table File中选择之前保存的Elpida_ddr3_derating，并选择OK。

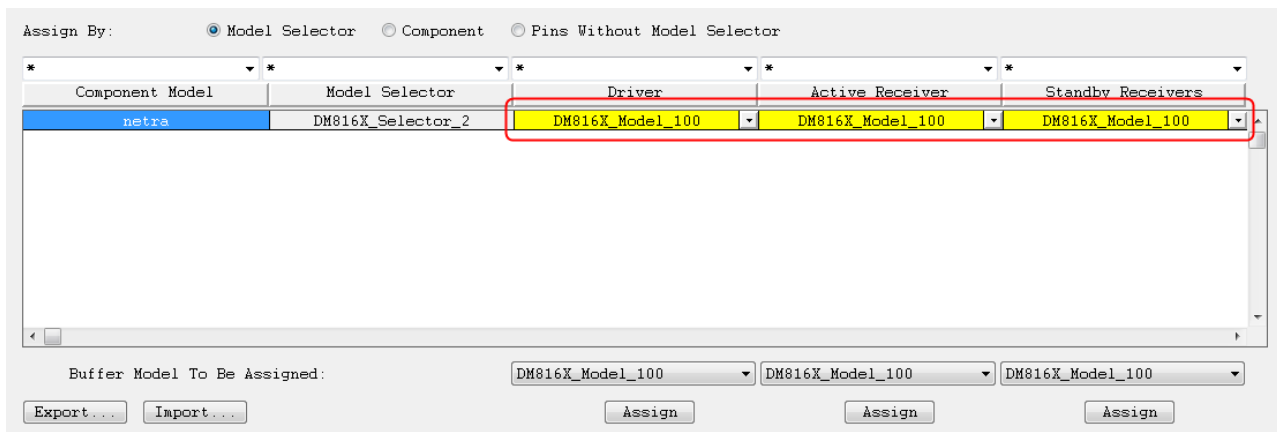


2.5.3 指定缓冲器模型 (Assign Bus Component Buffer Models)

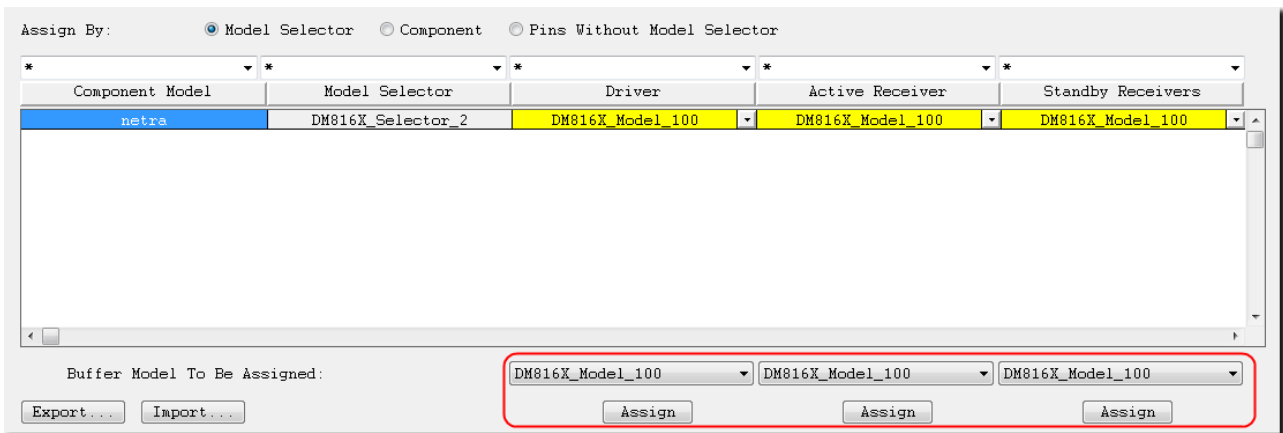
在IBIS模型中，每一个管脚可能带有多个缓冲器模型，定义了此管脚可以通过软件或硬件配置（寄存器）实现的多种IO特性。例如说，Elpida的edj2108bcse.ibs模型中对于数据信号管脚，就定义了iobuf34、iobuf40、iobuf48、odt20、odt30、odt40、odt60和odt120八种缓冲器模型，分别对应了不同的输出阻抗和输入ODT配置。

在本案例中，由于内存控制器，即TI的DSP芯片，可以通过调节寄存器控制地址类信号和时钟信号的输出电流、转折速率等特性，所以信号管脚包含了众多的缓冲器模型。指定寄存器默认选择参数所对应的缓冲器模型DM816X_Model_100。而DRAM处，地址类信号和时钟信号的输入缓冲器唯一，无需指定。

在Signal Bus Setup对话框中选择Assign Bus Component Buffer Models栏，在Driver、Active Receiver和Standby Receiver栏中都通过下拉菜单选择DM816X_Model_100。

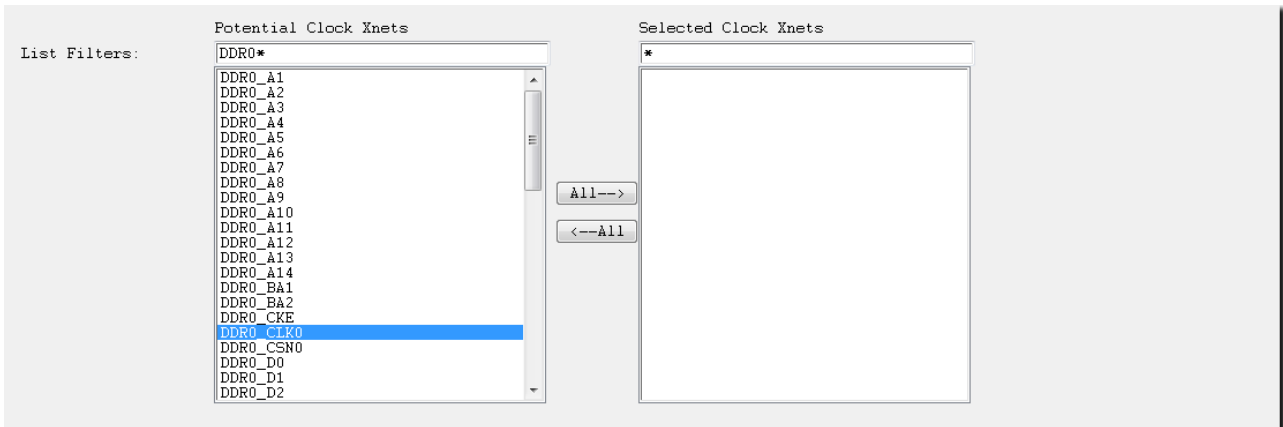


另外, 在上图窗口下方的的下拉菜单中选择DM816X_Model_100, 然后点击Assign按钮可以达到同样效果。特别的, 使用这样的方式, 会将所有的Driver、Active Receiver或Standby Receiver都分配所选择的模型。



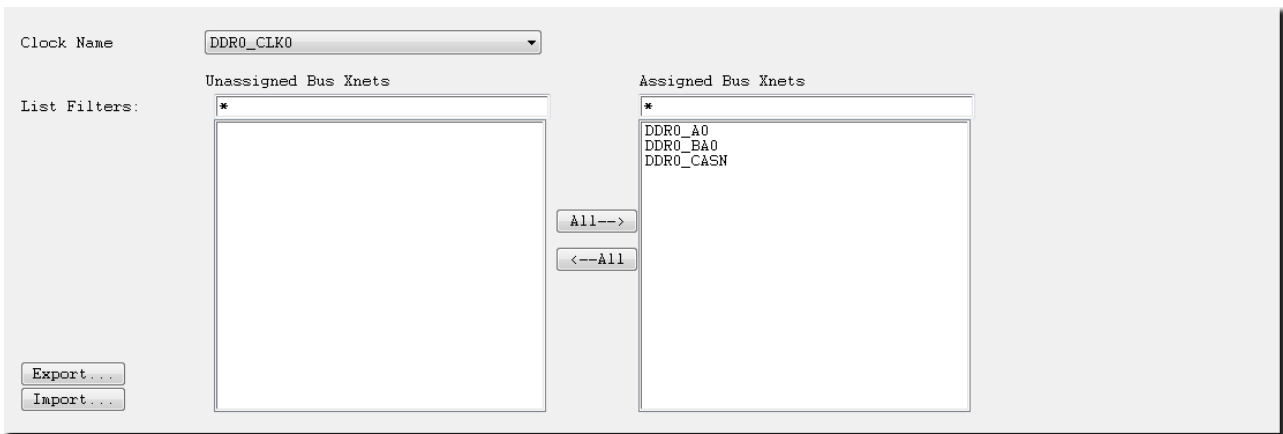
2.5.4 选择时钟或选通信号 (Select Clocks or Strobes)

在Signal Bus Setup对话框中选择Select Clocks or Strobes栏, 在左方的Potential Clock Xnets (潜在的时钟网络) 选择栏中找到所分析总线对应的时钟信号, 这里是DDR0_CLK0, 并点击, 所选择的网络就会移动到右方的Selected Clock Xnets中。



2.5.5 选择对应的总线网络 (Assign Bus Xnets to Clocks or Strobes)

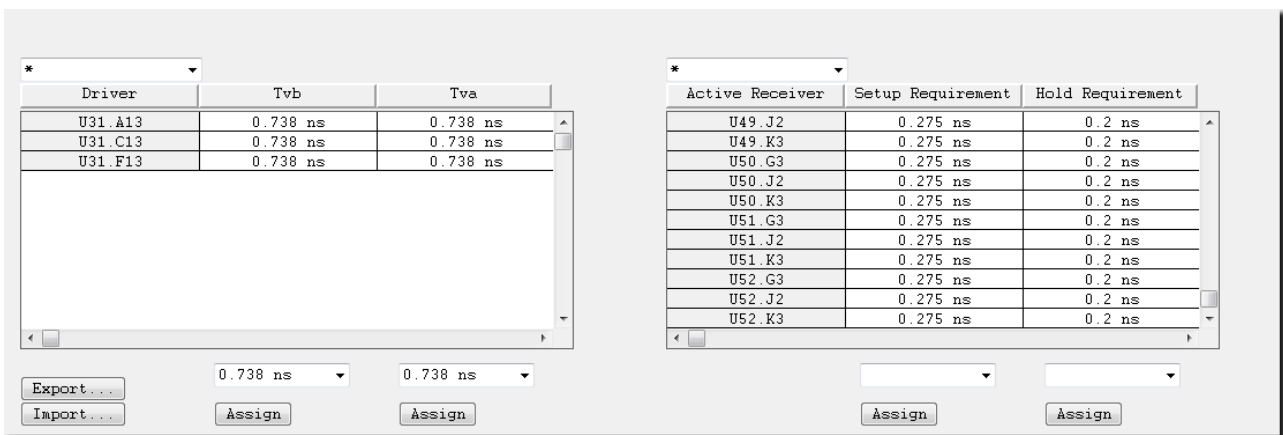
在Signal Bus Setup对话框中选择Assign Bus Xnets to Clocks or Strobes栏, 这里由于我们只有一个时钟信号, 所以不需要做任何改变, 保留原有的总线信号DDR0_A0、DDR0_BA0和DDR0_CASN位于右方的Assigned Bus Xnets栏中即可。



注：如果是在总线信号对应了两个或多个时钟或选通信号的情况下，例如双物理bank的内存系统中，就需要指定不同时钟信号所对应的总线网络。

2.5.6 指定元件参数 (Specify Component Parameters)

在Signal Bus Setup对话框中选择Specify Component Parameters栏，在左边所有的Tvb和Tva栏中输入0.738ns，在右边所有的Setup Requirement和Hold Requirement栏中分别输入0.275ns和0.2ns



下面会说明参数的值是如何确认的。

在DDR3 datasheet文件中第9页，我们可以找到对地址/命令类信号基础建立/保持时间要求的定义，可以看到在DDR3-1066速率下，AC150的基础建立时间要求是0.275ns，DC100的基础保持时间要求是0.2ns。

[Address/Command Setup and Hold Base-Values for 1V/ns]

	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	Unit	Reference
tIS(base) AC175	200	125	65	45	ps	VIH/VIL(AC)
tIH(base) DC100	275	200	140	120	ps	VIH/VIL(DC)
tIS(base) AC150	200 + 150	125 + 150	65 + 125	45 + 125	ps	VIH/VIL(AC)

驱动器的Tva和Tvb定义为在输出管脚处信号相对于其时钟或选通信号的触发沿的有效时间，Tva在触发之后（after）的，Tvb在触发之前（before）。其计算公式为：

$$T_{vb} = T_{offset} - T_{skew_max} \quad (\text{公式1})$$

$$T_{va} = T_{skew_min} - T_{offset} + UI \quad (\text{公式2})$$

其中，UI定义为每比特信号的持续时间，对于本案例，DDR3-1066的时钟频率是533MHz，1T命令模式下地址信号的UI是 $1/533\text{MHz} = 1.876\text{ns}$ 。

Offset定义为，在芯片内部，信号相对其内部时钟或选通信号的偏移量。

对于控制器管脚：

$$T_{offset} = T_{clockcontrolleroffset} - T_{datacontrolleroffset}$$

在本案例中，假定地址相对于内部时钟的偏移 $T_{datacontrolleroffset}$ 为0，由于时钟和地址的输出缓冲器使用特性相同的缓冲器，地址类信号和时钟信号的负载数目也相等，传输线延迟也设计相等，为了使地址信号的建立/保持时间最大化，在1T命令模式下，地址信号会提前时钟信号半个时钟周期（也是半个UI）触发输出，所以时钟相对于内部时钟的偏移 $T_{clockcontrolleroffset}$ 为0.938ns。Offset也就是0.938ns。

对于其他管脚：

$$T_{offset} = T_{clockalternateoffset} - T_{dataalternateoffset}$$

在DRAM处，时钟在芯片内部不做延迟，直接用于触发地址信号，所以可以假定 $T_{clockalternateoffset}$ 和 $T_{dataalternateoffset}$ 都是0ns，Offset也就为0ns。

$T_{skew_max}/T_{skew_min}$ 定义为die pad（晶元焊盘）处信号相对于时钟的延迟偏移的最大值/最小值，表征了地址类信号受到芯片各类条件影响（例如ISI，码间干扰）的结果，这里假定是 $\pm 0.2\text{ns}$ 。

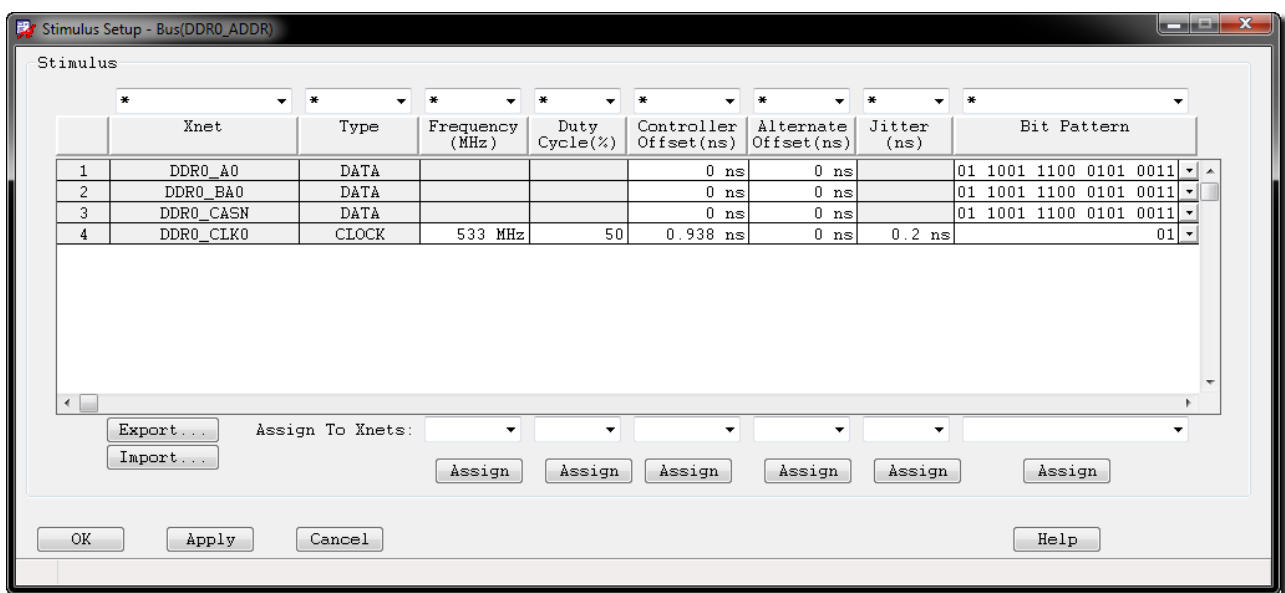
到此，带入公式1和公式2，我们得到 $T_{vb} = 0.738\text{ns}$ ， $T_{va} = 0.738\text{ns}$ 。

2.5.7 添加激励 (Assign Bus Stimulus)

在Signal Bus Setup对话框中选择Assign Bus Stimulus按钮。

Assign Bus Stimulus...

在弹出的Stimulus Setup窗口中，给DDR0_CLK0的Frequency(MHz)栏输入533MHz，Duty Cycle(%)栏保持50不变，Jitter(ns)输入0.2ns，Bit Pattern保持01不变，然后向所有Controller Offset(ns)输入0.9ns，所有Alternate Offset(ns)输入0.9ns，向DDR0_A0、DDR0_BA0和DDR0_CASN的Bit Pattern栏输入二进制伪随机序列（这里使用较短的0101 1001 1100 0101 0011序列以简化仿真）。

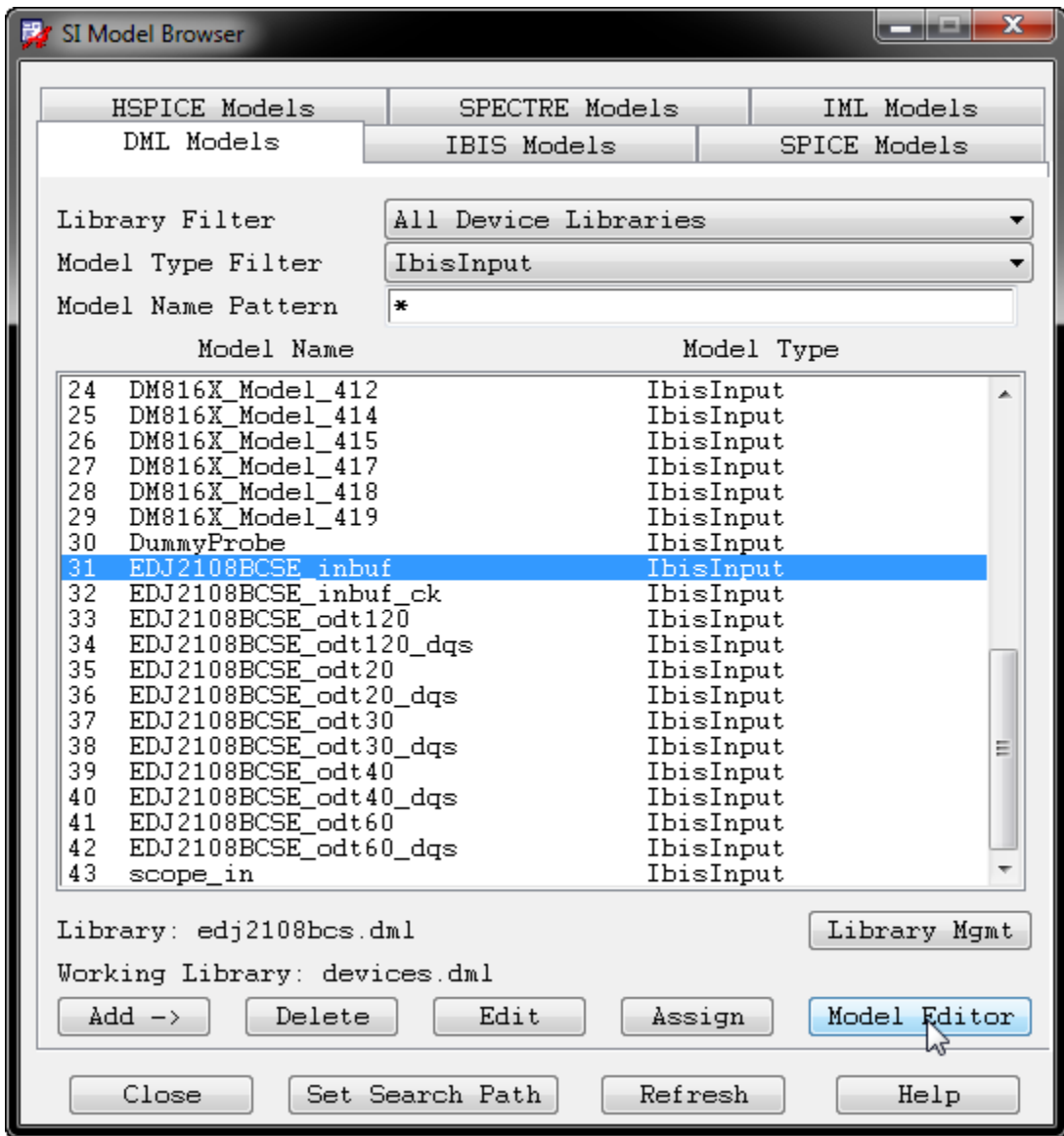


注意：如果输入较大的Jitter值可能会带来仿真测量的错误，替代方法是将Jitter值转变成Tskew，从而转变成更小的Tv_b和Tv_a的数值。

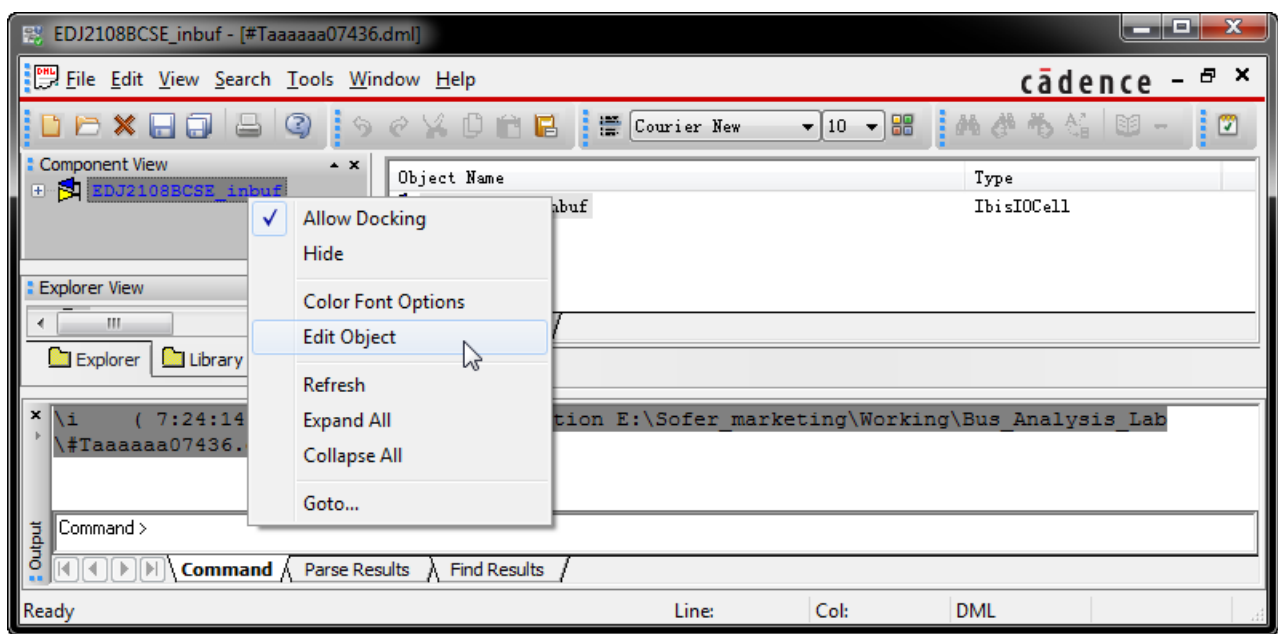
2.6 确认缓冲器模型参数

在这一步骤，我们需要去确认缓冲器模型是否包含完整的输入阈值电压参数。

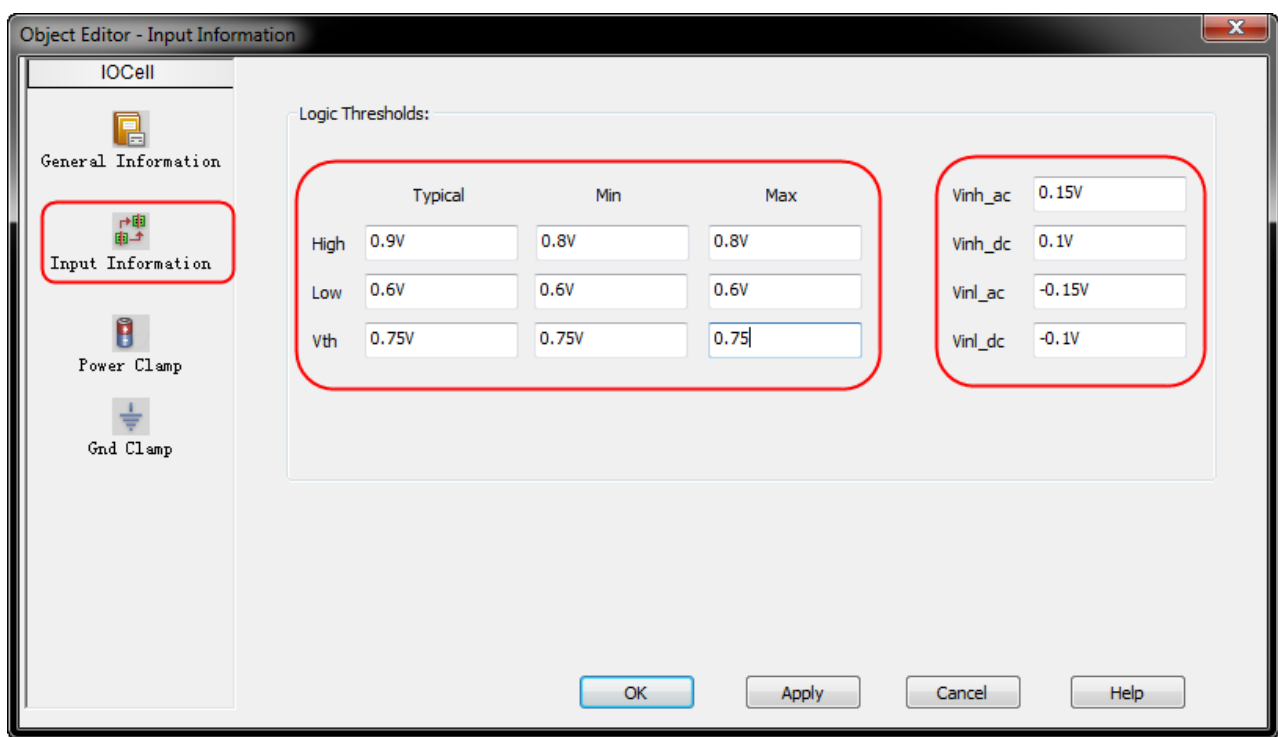
选择Allegro PCB SI界面的Analyze - Model Browser，在打开的SI Model Browser中选择DML Models栏目，然后在Model Type Filter下拉菜单中选择IbisInput，在中部的选择栏中找到仿真所用的输入缓冲器（本案例中是EDJ2108BCSE_inbuf），再点击右下角的Model Editor按钮。



在弹出的Model Editor窗口中（EDJ2108CSE_inbuf）中右击Component View栏中的EDJ2108CSE_inbuf，再在出现的下来菜单中选择Edit Object。



在弹出的Object Editor对话框中选择Input Information，然后在右方的栏目中按照下图数值修改，目的是使用阈值电压AC150和DC100来测量建立/保持时间。修改完成后选择OK确认。



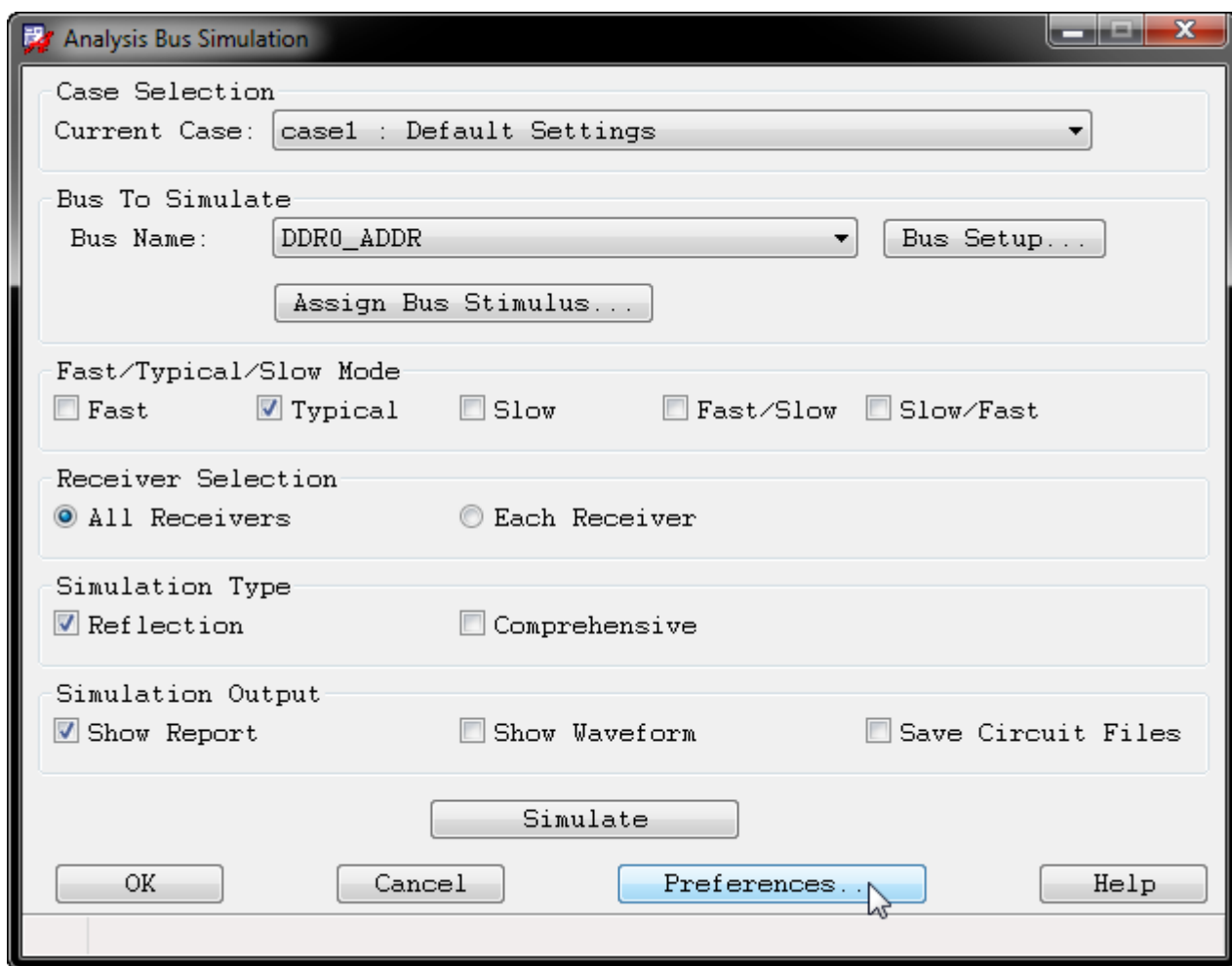
2.7 总线仿真

总线仿真包含以下两个步骤，依次是：

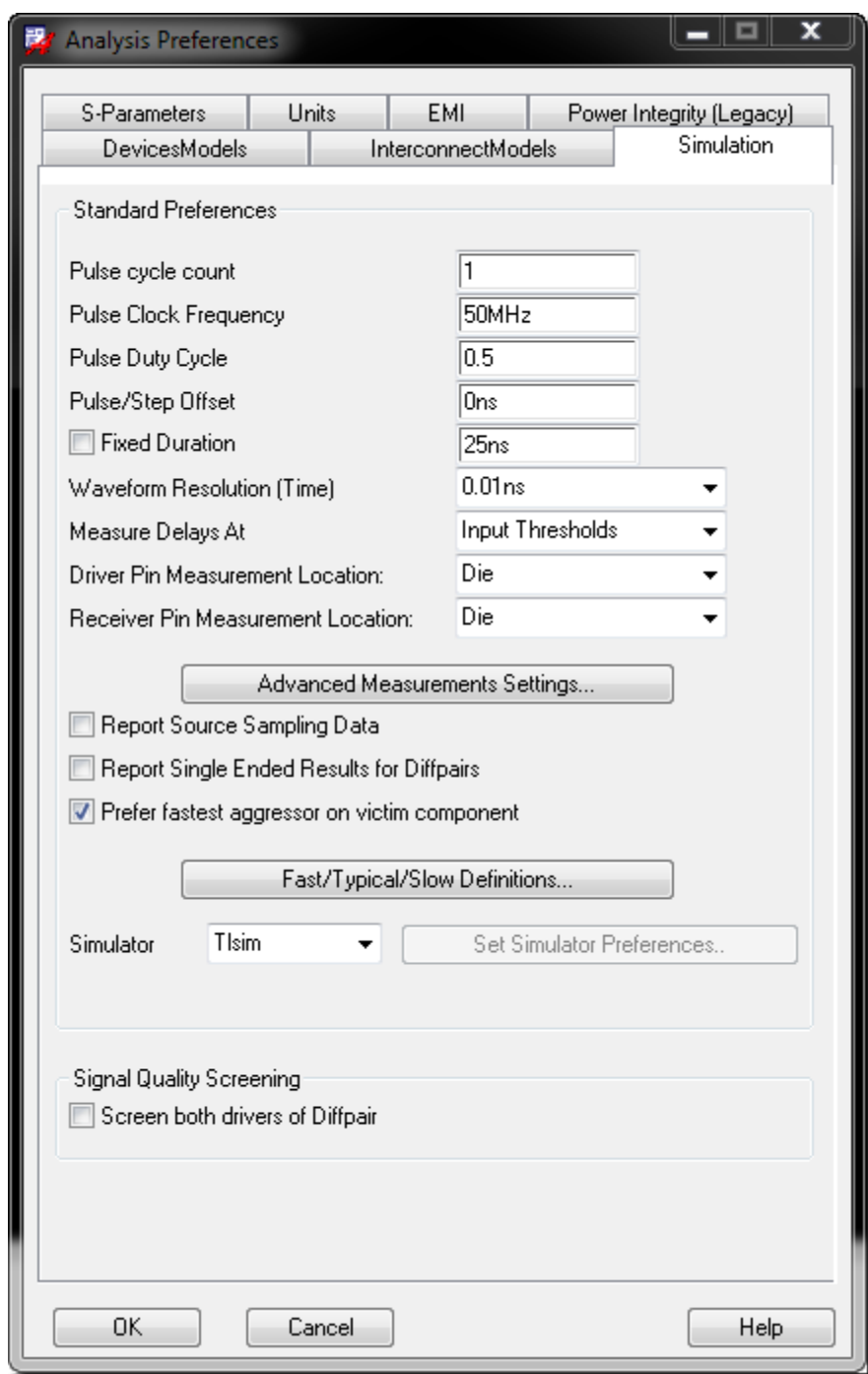
- [仿真参数设置](#)
- [运行仿真](#)

2.7.1 仿真参数设置

选择Allegro PCB SI界面的Analyze -Bus Simulate，在弹出的Analysis Bus Simulation窗口中选择下方的Preferences按钮。

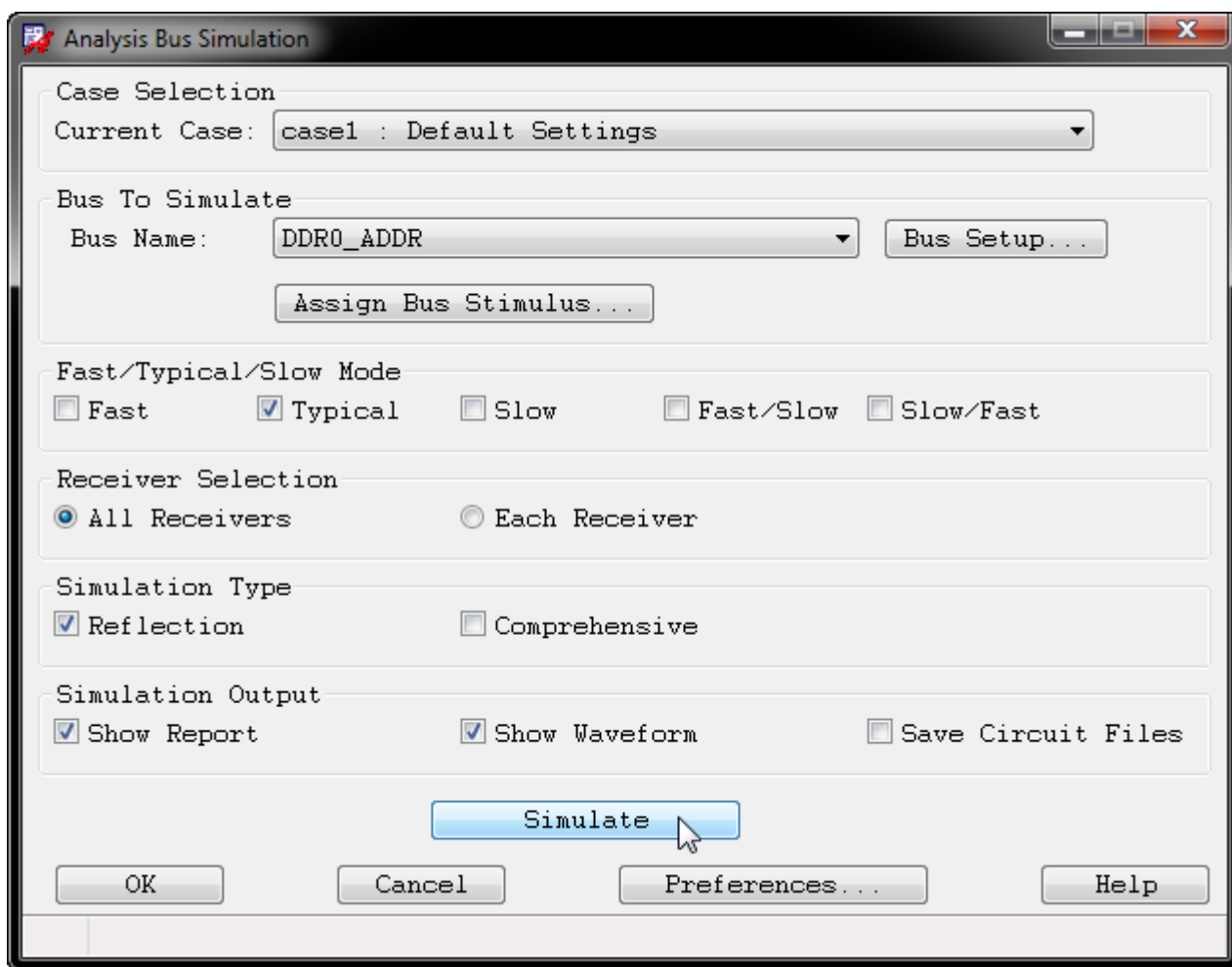


在弹出的Analysis Preferences窗口中选择Simulation栏眉，然后在下面的Waveform Resolution (Time)下拉菜单中选择0.01ns（波形取值间隔，数值越小越精确），在Driver pin Measurement Location 下拉菜单中选择Die（表示在芯片封装内部的晶元焊盘处测量），在Receiver pin Measurement Location下拉菜单中同样选择Die。然后选择OK确认。

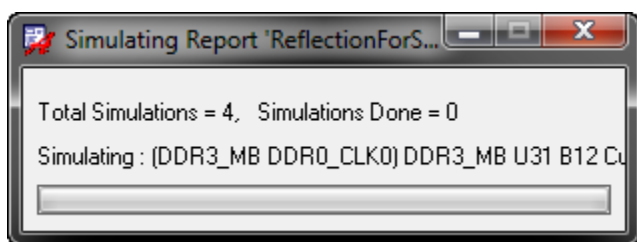


2.7.2 运行仿真

在Analysis Bus Simulation对话框中，确认所需选项已选择，例如这里可以勾选Show Waveform以在仿真结束后显示波形，然后点击Simulate按钮。



仿真进度窗口会弹出，直至仿真结束。



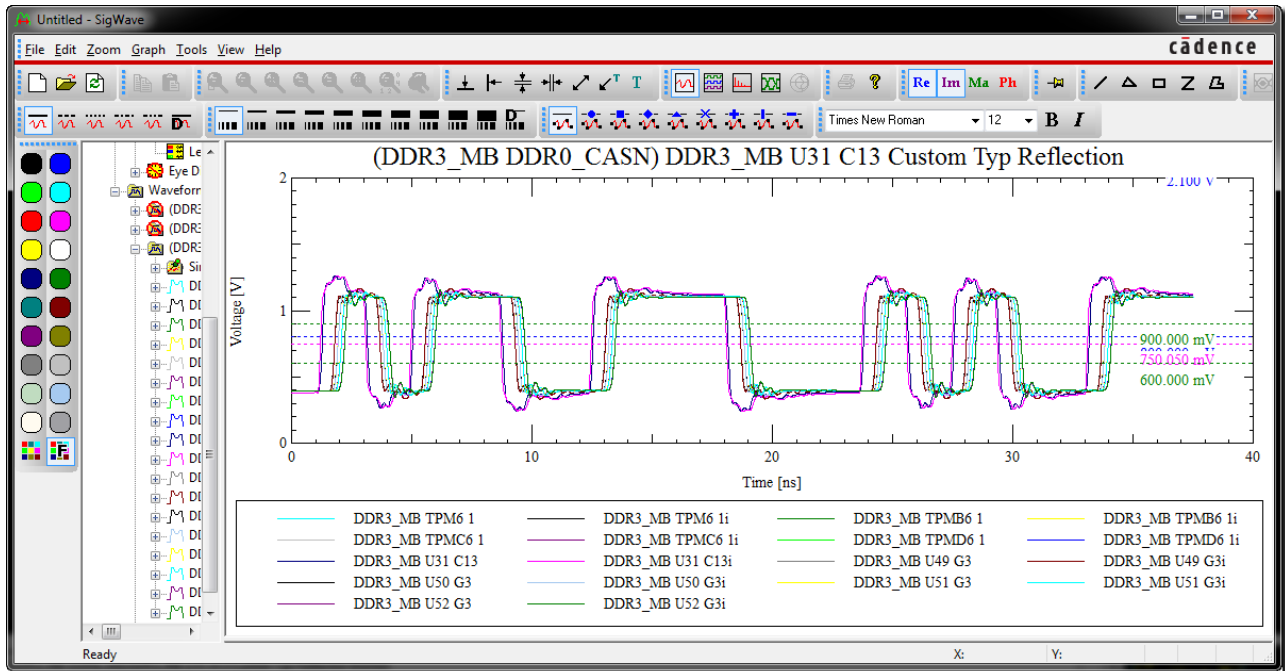
2.8 仿真结果

仿真结果能够以以下两种方式显示出来：

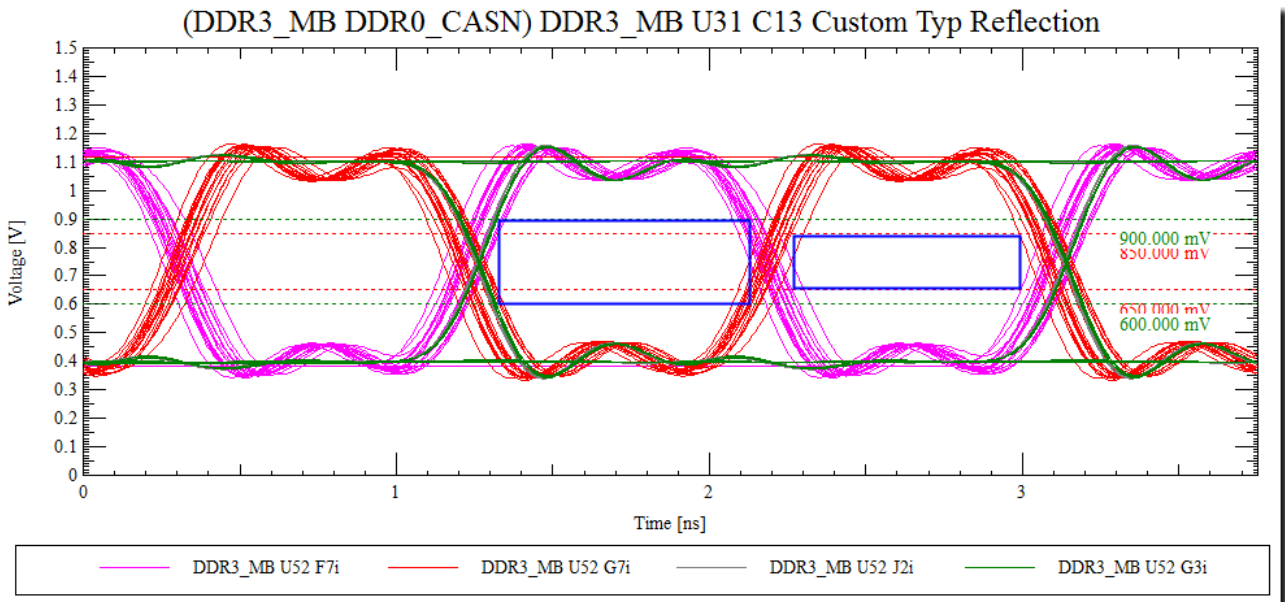
- [波形](#)
- [报告](#)

2.8.1 波形

如果在Analysis Bus Simulation对话框中已经勾选了Show Waveform，当仿真结束后，SigWave窗口会弹出显示仿真结果波形。



编辑Sigwave，选择需要显示的信号和显示的方式，一般会以眼图的方式显示波形，方便查看信号的质量和时序参数。



2.8.2 报告

同样，在仿真结束后，仿真报告会在一个弹出的文本窗口中显示。

Standard Reflection Report for Source Synchronous Bus

File Close Help

Report: Standard Reflection Report for Source Synchronous Bus
Mon Nov 07 22:14:37 2011

***** Setup/Hold Times Worst Case Results: Delays in ns, SlewRate in (V/ns), Typ FTSMode, Preferred Measurement Location: Die *****

XNet	StrobeXNet	Drvr	Rcvr	StrobePin	DataBitState	SetupMargin	HoldMargin	SetupTime	SetupCycle
DDR3_MB DDR0_BA0	DDR3_MB DDR0_CLK0	DDR3_MB U31 F131	DDR3_MB U52 J21	DDR3_MB U52 F71	High	0.3006	0.4555	0.8636	2
DDR3_MB DDR0_BA0	DDR3_MB DDR0_CLK0	DDR3_MB U31 F131	DDR3_MB U52 J21	DDR3_MB U52 F71	Low	0.32	0.4676	0.883	5
DDR3_MB DDR0_BA0	DDR3_MB DDR0_CLK0	DDR3_MB U31 F131	DDR3_MB U51 J21	DDR3_MB U51 F71	High	0.2891	0.4697	0.8521	2
DDR3_MB DDR0_BA0	DDR3_MB DDR0_CLK0	DDR3_MB U31 F131	DDR3_MB U51 J21	DDR3_MB U51 F71	Low	0.3083	0.4813	0.8713	5
DDR3_MB DDR0_BA0	DDR3_MB DDR0_CLK0	DDR3_MB U31 F131	DDR3_MB U50 J21	DDR3_MB U50 F71	High	0.2511	0.4747	0.8541	2
DDR3_MB DDR0_BA0	DDR3_MB DDR0_CLK0	DDR3_MB U31 F131	DDR3_MB U50 J21	DDR3_MB U50 F71	Low	0.3092	0.486	0.8722	5
DDR3_MB DDR0_BA0	DDR3_MB DDR0_CLK0	DDR3_MB U31 F131	DDR3_MB U49 J21	DDR3_MB U49 F71	High	0.2636	0.5067	0.8266	2
DDR3_MB DDR0_BA0	DDR3_MB DDR0_CLK0	DDR3_MB U31 F131	DDR3_MB U49 J21	DDR3_MB U49 F71	Low	0.2806	0.5181	0.8436	5
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	High	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	Low	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	High	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	Low	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	High	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	Low	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	High	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	Low	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	High	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	Low	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	High	NA	NA	NA	NA
DDR3_MB DDR0_BA0	NA	DDR3_MB U31 F131	DDR3_MB TPMD11 1	NA	Low	NA	NA	NA	NA
DDR3_MB DDR0_A0	DDR3_MB DDR0_CLK0	DDR3_MB U31 A131	DDR3_MB U52 K31	DDR3_MB U52 F71	High	0.346	0.4088	0.909	2
DDR3_MB DDR0_A0	DDR3_MB DDR0_CLK0	DDR3_MB U31 A131	DDR3_MB U52 K31	DDR3_MB U52 F71	Low	0.3659	0.4208	0.9289	5

Standard Reflection Report for Source Synchronous Bus

FileCloseHelp

le	SetupDataSlew	SetupClkSlew	SetupDerVal	SetupRequirement	Tvb	HoldTime	HoldCycle	HoldDataSlew	HoldClkSlew	HoldDerVal	HoldRequirement	Tva
2.88	2.754	0.088	0.275	0.738	0.9057	4	2.719	2.732	0.05	0.2	0.738	
15.65	2.76	0.088	0.275	0.738	0.9178	4	2.747	2.731	0.05	0.2	0.738	
2.949	2.604	0.088	0.275	0.738	0.9198	4	2.894	2.585	0.05	0.2	0.738	
1035	2.616	0.088	0.275	0.738	0.9314	4	2.882	2.593	0.05	0.2	0.738	
3.118	3.239	0.088	0.275	0.738	0.9249	4	3.139	3.234	0.05	0.2	0.738	
14.36	3.24	0.088	0.275	0.738	0.9361	2	3.103	3.271	0.05	0.2	0.738	
3.376	4.043	0.088	0.275	0.738	0.9569	1	3.44	3.697	0.05	0.2	0.738	
9.789	4.032	0.088	0.275	0.738	0.9683	3	3.475	3.965	0.05	0.2	0.738	
NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	NA	
2.805	2.754	0.088	0.275	0.738	0.859	4	2.704	2.732	0.05	0.2	0.738	
9.026	2.76	0.088	0.275	0.738	0.8709	4	2.72	2.731	0.05	0.2	0.738	

4

111

1

注意到仿真报告可以分成多个部分，最上面的部分报告了对于不同的输入管脚，在最坏情况下，建立和保持时间裕量的计算结果。每一行对应一个输入管脚，而列则依次包含信号名、信号对应的选通（时钟）信号名、输出管脚、输入选通（时钟）管脚、数据状态（高或低）、建立裕量、保持裕量、建立时间、测量建立时间时的在周期、建立时间对应的数据（这里是地址类信号）斜率、建立时间对应的时钟斜率、建立时间减额值、建立时间需求、Tvb、保持时间、测量保持时间时的在周期、保持时间对应的数据（这里是地址类信号）斜率、保持时间对应的时钟斜率、保持时间减额值、保持时间需求和Tva。

注意：建立/保持时间减额值通过对应的斜率值查找减额表格文件（Derating Table File）得到。

注意：建立和保持裕量按照以下公式计算：

$$T_{setup_margin} = T_{setup_simulated} - (T_{setup_req} + T_{setup_derated}) - (T_{offset} - T_{vb}) \quad (\text{公式3})$$

$$T_{hold_margin} = T_{hold_simulated} - (T_{hold_req} + T_{hold_derated}) + (T_{offset} + T_{va} - UI) \quad (\text{公式4})$$

在建立和保持时间裕量的计算结果下面，是一些基本参数的测量结果，如噪声裕量、过冲等。

***** pDly in ns *****											
Rcvr	RcvrMode	StrobePin	PropDly	NMHigh	NMHighCycle	NMLow	NMLowCycle	OShootHigh	OShootHighCycle	OShootLow	OShootLowCycle
i1	DDR3_MB U52 J2i	Active	DDR3_MB U52 F7i	0.6732	133.9	1	136.4	0	1159	338.8	1
i1	DDR3_MB U51 J2i	Active	DDR3_MB U51 F7i	0.5752	151.1	1	153.4	0	1142	358.1	1
i1	DDR3_MB U50 J2i	Active	DDR3_MB U50 F7i	0.4784	143.1	2	144.6	0	1145	355.2	3
i1	DDR3_MB U49 J2i	Active	DDR3_MB U49 F7i	0.3797	147.2	2	147.3	0	1170	329.9	2
i1	DDR3_MB TPMD11 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB TPMC11 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB TPMB11 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB TPM11 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB U52 K3i	Active	DDR3_MB U52 F7i	0.6794	146.6	1	148.6	0	1142	356.9	4
i1	DDR3_MB U51 K3i	Active	DDR3_MB U51 F7i	0.5804	153.5	2	154.2	0	1131	367.9	1
i1	DDR3_MB U50 K3i	Active	DDR3_MB U50 F7i	0.4818	152.2	2	151.8	0	1169	330.3	1
i1	DDR3_MB U49 K3i	Active	DDR3_MB U49 F7i	0.383	157.5	2	157.8	0	1162	338.5	2
i1	DDR3_MB TPM15 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB TPMD15 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB TPMC15 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB TPMB15 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB U52 G3i	Active	DDR3_MB U52 F7i	0.6787	134.2	1	136.6	0	1154	343.1	1
i1	DDR3_MB U51 G3i	Active	DDR3_MB U51 F7i	0.5811	152.8	1	154.9	0	1139	360.6	2
i1	DDR3_MB U50 G3i	Active	DDR3_MB U50 F7i	0.4837	145.3	2	146.9	0	1141	358.9	3
i1	DDR3_MB U49 G3i	Active	DDR3_MB U49 F7i	0.384	147.6	2	148	0	1168	331.8	2
i1	DDR3_MB TPMD6 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB TPMB6 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA
i1	DDR3_MB TPMC6 1	Active	NA	NA	NA	NA	NA	NA	NA	NA	NA

再之下，显示了仿真的设置，包括激励序列、输入阈值电压、总线信息等。

XNet	ControllerOffset	AlternateOffset	BitPattern			
DDR3_MB DDR0_CASN	0	0	01011001110001010011			
DDR3_MB DDR0_BA0	0	0	01011001110001010011			
DDR3_MB DDR0_A0	0	0	01011001110001010011			

Stimulus Data Per Strobe/Clock Xnet						

StrobeXNet	ClockFrequency	ClockDutyCycle	ControllerOffset	AlternateOffset	Jitter	BitPattern
DDR3_MB DDR0_CLK0	533Mhz	0.5	0.938	0	0	01

Driver I/O Characteristics: Typ FTSMode, RiseSlew/FallSlew in (mV/ns)						

Drvr	IOModel	XNet	Volmax	Vohmin	RiseSlew	FallSlew
DDR3_MB U31 F13i	DM816X_Model_100	DDR3_MB DDR0_BA0	NA	NA	4071	3828
DDR3_MB U31 A13i	DM816X_Model_100	DDR3_MB DDR0_A0	NA	NA	4071	3828
DDR3_MB U31 C13i	DM816X_Model_100	DDR3_MB DDR0_CASN	NA	NA	4071	3828

***** Rcvr *****									
IOModel	XNet	Vilmax	Vihmin	Vilclmax	Vilacmax	Vihclmin	Vihacmin		
DDR3_MB U52 J2i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_BA0	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB U51 J2i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_BA0	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB U50 J2i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_BA0	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB U49 J2i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_BA0	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB TPMD11 1	dummyprobe	DDR3_MB DDR0_BA0	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB TPMC11 1	dummyprobe	DDR3_MB DDR0_BA0	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB TPMB11 1	dummyprobe	DDR3_MB DDR0_BA0	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB TPM11 1	dummyprobe	DDR3_MB DDR0_BA0	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB U52 K3i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_A0	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB U51 K3i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_A0	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB U50 K3i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_A0	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB U49 K3i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_A0	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB TPM15 1	dummyprobe	DDR3_MB DDR0_A0	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB TPMD15 1	dummyprobe	DDR3_MB DDR0_A0	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB TPMC15 1	dummyprobe	DDR3_MB DDR0_A0	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB TPMB15 1	dummyprobe	DDR3_MB DDR0_A0	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB U52 G3i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_CASN	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB U51 G3i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_CASN	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB U50 G3i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_CASN	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB U49 G3i	EDJ2108BCSE_inbuf	DDR3_MB DDR0_CASN	600 mV	900 mV	650 mV	600 mV	850 mV	900 mV	
DDR3_MB TPMD6 1	dummyprobe	DDR3_MB DDR0_CASN	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB TPMB6 1	dummyprobe	DDR3_MB DDR0_CASN	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	
DDR3_MB TPMC6 1	dummyprobe	DDR3_MB DDR0_CASN	800 mV	2100 mV	800 mV	800 mV	2100 mV	2100 mV	

NOTE: If the AC/DC input thresholds are missing from a rcvr model,
then the Vilmax and Vihmin are used to measure the Setup/Hold times.

Bus Information

Name: DDR0_ADDR
Direction: Uni
Controller RefDes: DDR3_MB U31
Switch On: Rising
Derating Table: Elpida_ddr3_derate.dat

Global Parameters

Clock Frequency: 50MHz
Clock Duty Cycle: 0.5
Offset: 0ns
Cycle Count: 1

Simulation Preferences

Variable	Value
Percent Manhattan	100
Default Impedance	60ohm
Default Prop Velocity	1.4142e+08M/s
Geometry Window	DDR3_MB-10mil
Minimum Coupled Length	300mil
Min Neighbor Capacitance	0.1pF
Cutoff Frequency	5GHz
Pulse Clock Frequency	50MHz
Pulse Duty Cycle	0.5
Pulse Step Offset	0ns
Reflection Simulation Type	Reflection
Pulse Cycle Count	1
Simulator Used	Tlsim

---[全文完]---

以上技术文档由上海索服科技提供

更多EDA技术文档请访问: <http://www.sofer.cn>