

# Cadence Allegro PCB 设计解决方案

Managing complexity for faster, more cost-effective implementations

系统公司会受到半导体产业所提供的新设备和新设计方法的影响。新设备往往会带来更多的挑战，比如球栅阵列（BGA）封装的引脚数目不断增加而引脚间距却在不断缩小。此外，新设备会使用不断变化的，如 DDR3、DDR4、PCI Express Gen3、USB 3.0 和其他基于标准的接口，可能需要找到新的方法来在电路板中实现。公司常常希望加入这些日益复杂的技术来区分他们的产品，并力图将这些产品更快地推向市场，以及使产品更便宜，带来更多的功能，并减少最终产品的大小。因此，许多公司现在采用外包或与低成本地区的公司合作的方式。为了管理这种不断增加的复杂度，印刷电路板设计师需要一个解决方案，以满足他们去应对技术和方法的挑战。

## Allegro PCB 设计解决方案

Allegro® PCB Designer 是一个可扩展的，经过验证的 PCB 设计环境，在解决技术和方法的挑战同时，可以使设计周期可控并尽可能缩短。Allegro PCB Designer 解决方案采用了基础软件加选项的配置方案，包含了与 PCB 设计相关的一个完整的设计流程所需的一切。基础软件即 Allegro PCB Designer——包括一个共同的一致的约束管理器（constraint management）解决方案，PCB Editor，自动/交互式布线器，以及用于制造和机械 CAD 的接口。PCB Editor 提供了一个完整的布局 and 布线的环境——从基础平面规划，布局 and 布线到布局复制高级互联规划，分别针对简单或复杂的 PCB 设计。

### 优势

- 提供一个经过验证、可扩展的，高性价比的 PCB 编辑和布线解决方案以及按需升级的配置方案。

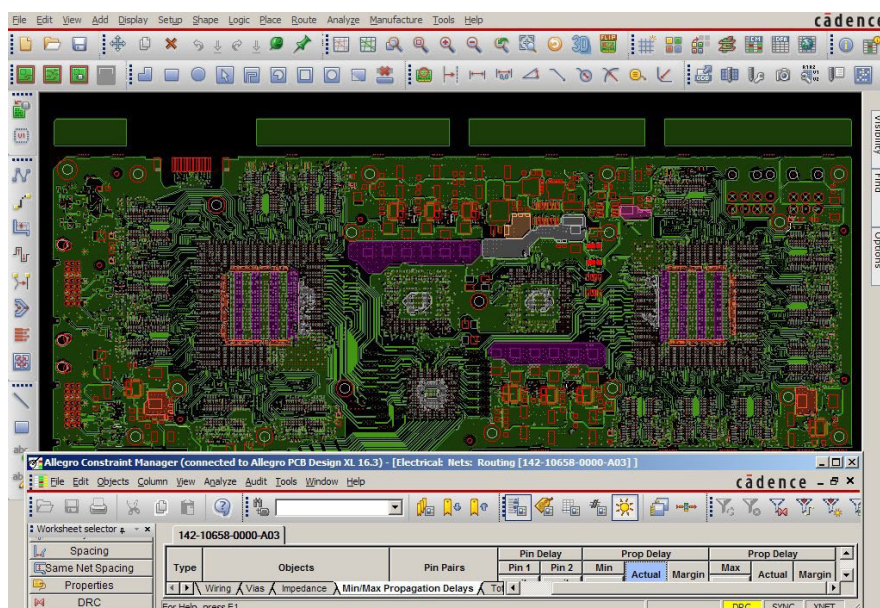


图 1 Allegro PCB 设计解决方案：提供从简单到复杂的电路板设计所需的所有工具

- 通过约束驱动的 PCB 设计流程，避免不必要的反复。
- 支持对物理，间距，面向制造、组装和测试的设计（DFX），高密度互连（HDI），和电气（高速）域设置一个全面的规则。
- 包含一个从前端到后端的、共同的、一致的约束管理系统，用于约束条件的创建、管理和确认。
- 提供第三方应用的开放环境，可以提高工作效率，同时成为最佳综合工具。

## PCB Editor 技术

### 约束驱动的 PCB 编辑环境

Cadence PCB 设计解决方案的核心是 PCB Editor——这是一种直观的、易用的、约束驱动的设计环境，方便用户创建和编辑从简单到复杂的 PCB。它广泛的功能解决了当今设计和制造过程中出现的各项挑战。

- 强大而灵活的布局规划工具包括布局复制，可以有效加速设计的布局。
- 强大的基于形状的走线推挤功能带来了高效率的互联环境，同时可实时地显示长度和时序容限。
- 动态铺铜功能提高了在布局和布线时实时地铺铜填充和修复功能。
- PCB editor 还可以产生全套底片加工、裸板装配和测试输出，包括 Gerber 274x, NC drill 和各种格式的裸板测试。

### 约束管理

约束管理系统实时地显示了物理/间距和高速规则以及他们的状态（根据设计当前所处的状态），并且可适用于设计过程的任一阶段。每个工作表提供了一个电子数据表界面，能够让用户以层级的方式进行电议、管理和确认不同的规则。这种强大的功能应用让设计工程师可以按图形方式创建、编辑和评估约束集，使其作为图形的拓扑结构，成为理想的实现设计策略的电子蓝图。一旦约束被提交到数据库中，它们就可用于驱动布局以及被约束信号的布线过程。

约束管理系统是完全集成到 PCB Editor 中，而约束可以随着设计过程的进行实时地确认。确认过程的结果会用图形化的方式表示约束条件是否满足，满足时用绿色显示，不满足约束就用红色显示。这可以使设计工程师可以实时地看到设

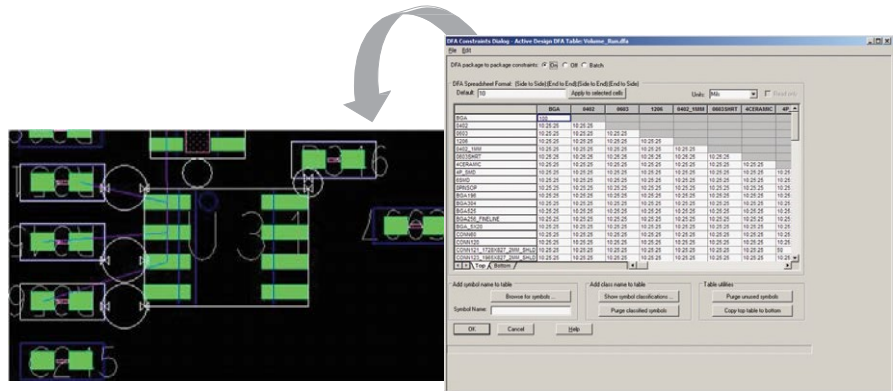


图 2 面向装配的设计（DFA）规则驱动布局能在紧密的布局中规避错误

计的进度，以及因电子数据表中任何设计的变动而产生的影响。

### 布局规划和布局

PCB 设计解决方案的约束和规则驱动的方法包含了强大而灵活的布局功能，可以采用交互和自动的方式。工程师或设计师可以在设计输入或布局规划阶段将元件或子电路分配到特定的“区域”，可以通过位号、器件封装方式、相关信号名、元件 PN 或原理图表/页面号码来过滤或选择元件。

现如今，电路板上有成千上万个元器件需要精确的管理。通过实时地器件装配分析和反馈，得以实现器件装配时从整体上来考虑并满足 EMS 规则，从而提高设计师的设计速度和效率。动态 DFA（可装配性设计，Design for assembly）分析实现了在交互式布局时实时地封装到封装间距规则检查（见图 2）。基于一个封装类型和封装实体的二维电子表格，DFA 可以实时地检查器件边到边、边到端或端到端的距离是否违背最小要求，使得设计师可以同步的放置元件以实现可布线性、可生成性以及信号时序的要求。

### 布局复制

Allegro PCB Designer 中超强的布局复制技术使用户能够迅速布局和布线设计中多个相似的电路。它允许用户使用现有的某个布局和布线的电路创建一个模板，应用于设计内的其他相似的电路或模块中。模板也可以保存起来，并应该到拥有类似电路的其他设计文件中。当执行布局复制时，用户可以从顶层到底层翻转或镜像电路。当电路从顶层移到底层时，所有相关的蚀刻元素，包括盲埋孔，会映射到正确的层面。

### 显示和形象化

内建的 3D 查看器在所有 PCB Editor 产品中都可以调用。3D 环境中支持多种过滤选项、相机视角、图形显示选项例如固体、透明度和线框等，以及鼠标驱动的平移、缩放和选择显示控制。3D 查看也支持显示复杂的过孔结构或孤立截面。可以使用环境敏感的命令结构显示多个窗口，窗口中的 3D 图像也可以截取下来保存为 JPEG 格式。（见图 3。）

电路板翻转功能可以将电路板针对 Y 轴执行“翻转”。“翻转”会将设计重组，可以使画布上的视角从原始的顶视图（顶部到底部）变成底视图（底部到顶部）。由于可以在 CAD 系统中查看真实的底视

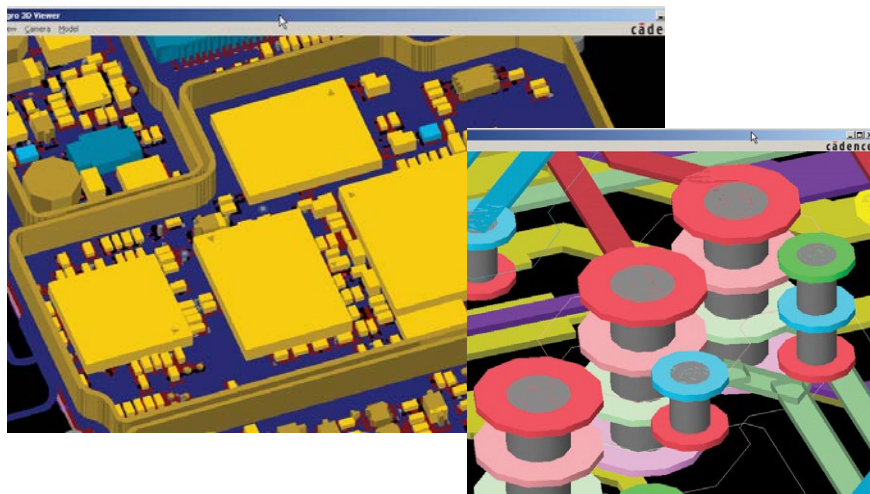


图 3 内建的 3D 查看器允许通过平移、缩放和旋转等方式查看板子的任意区域或者复杂的过孔结构，从而减少结构设计时的可能带来的反复或是 PCB 生产时引入的错误

图，硬件工程师能够更方便地调试板子，在生产环节中装配/测试工程师也会从中得利。电路板翻转不仅仅局限于观看，设计编辑也可以在此模式下执行。

## 高速设计

基于标准的高级接口，例如 DDR3、DDR4、PCIE 和 USB 3.0 等，使用越来越广泛，在 PCB 上实现时需要一整套约束规则以指导设计。

Allegro PCB Designer 通过其高速选项可以使高级接口相关的约束规则更方便快捷地添加到设计中。它提供了一个广泛的电气规则，以确保 PCB 设计实施与高级接口规范的一致性。此外，它允许用户通过使用包含现有规则或布线后数据（如实际走线长度）的公式扩展规则。

## 交互式走线编辑

PCB Editor 的交互式布线功能提高了强大的、交互式的能力，可以使用户的操作执行受控的自动功能。实时的、基于形状的、任意角度的推挤布线允许用户选

择“推挤优先”、“环绕优先”或“仅环绕”模式。

在走线编辑时，设计师可以使用一种能够显示具有高速约束互联设计下时序间隙的实时图形化窗口。交互式布线还提供了多网络群组布线功能，以及用传输线长度或延迟约束布线交互式调整的功能。

## 多线布线

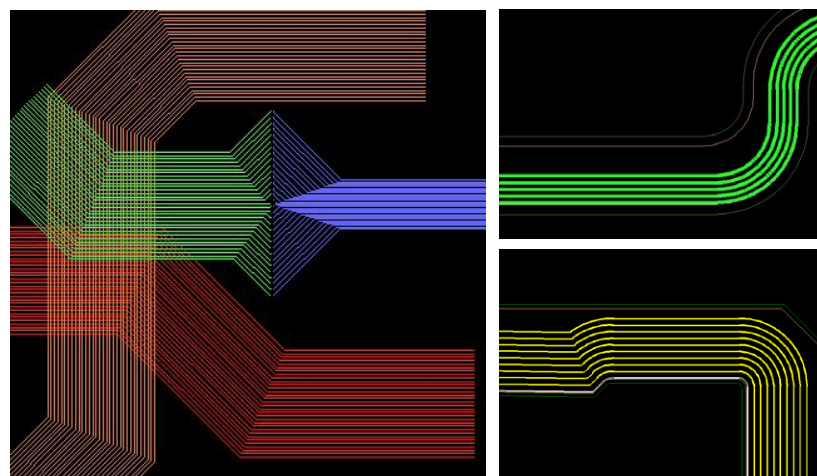


图 4 辅以轮廓环绕选项的多线布线功能可以加速 PCB 设计中弯曲部分的布线

多条铜线允许用户在 PCB 上同时对多条铜线执行布线，就像是一个群组一样。辅以“环绕轮廓”的选项，多线布线功能可以帮助设计师一次性的将多条走线完成走动、弯曲、打孔、推挤和间距变换等布线操作，而不是像传统那样花上几个小时时间一条线一条线的绘制。环绕轮廓选项可以使插入的铜线在弯曲时跟随设计中原有的弯曲部分轮廓（见图 4）

## PCB 制造

可以进行全套底片加工、裸板装配和测试输出，包括各种格式的 Gerber 274x, NC drill 和 裸板测试。更重要的是，Cadence 通过 Valor ODB++ 界面（还包括 Valor Universal Viewer）支持业界倡导的无 Gerber 制造。ODB++ 数据格式可以创建精确可靠的制造数据，进行高质量的无 Gerber 制造。

## 小型化

### 约束驱动的 HDI 设计流程

采用 BGA 引脚间距在 0.65 或 0.5mm 及以下用户不得不采用高密度互连(HDI)技术来绘制 PCB。



虽然微型化不一定是在很多细分市场的首要目标，但是 BGA 的扇出技术却是需要的，尤其是那些每边有三或四行针脚的 BGA。

Allegro PCB Designer 通过其微型化选项提供了约束驱动的 HDI 设计流程，包含一整套针对不同 HDI 设计类型的设计规则，从混合组合/核心结合到完整的组合流程，例如 ALIVH。

此外，它包括加入 HDI 以缩短创建结构纠正的设计时间的自动化过程。

### 嵌入式组件

减少最终产品的尺寸可以通过许多不同的方式来完成。PCB 设计师正在采取的方法之一是嵌入内层的封装组件。Allegro PCB Designer 通过其微型化选项提供了约束驱动的嵌入式组件的布局和布线。它支持传统的直接连接，以及新的间接连接技术。此外，它提供了创建和管理嵌入式组件腔体指定层面的功能。

### 设计规划和布线

由总线互连为主导的高度约束、高密度设计，可花费大量的时间执行战略性规划和布线。加上当前的元件的密度问题、新的信号标准和特定拓扑结构要求，这也难怪传统的 CAD 工具和技术已经不足以满足设计师的特定意图要求。全局布线环境技术 (GRE, Global Route Environment) 提供了贯彻和捕捉设计师意图所需的技术和方法。通过互联流程规划架构和全局布线引擎，用户可以第一时间将他们的经验和设计意图应用到设计工具中，并了解他们（的可行性等）。

用户可创建提取所得的互联数据（通过互联流程规划架构），并迅速回合与一个解决方案之中，用全局布线引擎加以处理。使用互联提取功能降低了系统需处理

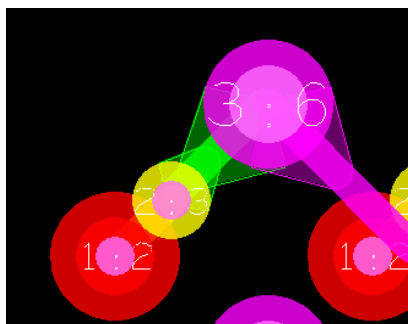


图 5 在走线编辑过程中动态添加泪滴可以有效节省生产准备阶段的时间。

的元件数量，将元件从可能存在的成千上万中减少到数百种，从而使手动的操作大大的降低。使用所提取的数据，规划和布线流程可以通过提取数据比较可布线空间和用户的设计意图是否相一致从而得到加速，然后布线引擎会特定的设计意图处理布线细节。用户不再需要同时探索（形象化）和解决互联布线问题。这代表着当前设计工具的大幅度简化，可以使用户比以往任何时候更方便快捷地获取一个成功的互联解决方案，通过效率和设计速度的提高缩短了设计的周期。（见图 6。）

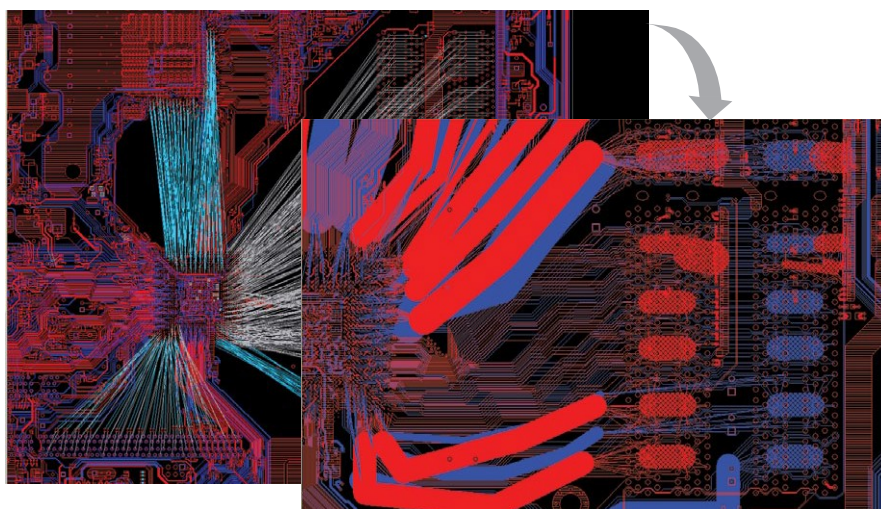


图 6 Allegro 互联流程规划技术使用户能够通过设计规划减少布线层数和缩短设计周期

### 模拟/射频设计

Allegro PCB Designer 通过其模拟/射频设计选项提供了一个混合信号设计环境，从原理图到 PCB 设计以及设计反标，已证明可有效提高射频设计效率高达 50%。它允许工程师在 Allegro PCB 设计环境之中创建、整合和升级模拟、射频和包含数字/模拟电路的微波电路。通过其豪华的 PCB 设计能力以及强大的射频仿真工具接口，它允许工程师从多个途径开始射频设计，无论是从 Allegro Design Authoring, 或是 Allegro PCB Designer, 还是 Agilent ADS。

### 同步地团队设计

设计团队越来越分散于世界各地，这就让缩短设计周期的相关问题变得更加复杂。手动操作解决多用户协作问题非常好是、缓慢而且容易出错。

Allegro PCB Design 设计分割技术提供了多用户同步的设计方法，能够减少设计时间，并加快产品推向市场。通过使用设计分割技术，多个工程师可以同时作业于同一个设计数据库，无论小组成员

相隔多远。设计分割技术让设计师能够将设计分割为多个部分或者区域，由多个设计成员进行设计和编辑。设计可以通过临时的边框垂直（区域）划分，或是（通过层面）横向划分。这样，所有设计师都可以查看到所有被分割的部分，并更新设计视图，监控其他用户部分的状态和进度。这可以大大缩短整个实际周期，并加速设计流程。

## 自动布线技术

PCB 布线技术与 PCB 编辑器紧密地结合在一起，通过 PCB 布线器接口，所有设计信息和约束规则会自动从 PCB 编辑器传递到 PCB 布线器中，一旦布线完成，所有布线信息会自动传递回 PCB 编辑器中。

设计复杂度、密度和高速布线约束的提高是 PCB 的手动布线即困难有耗时。复杂的互联布线问题可以通过强大的自动化技术得以解决。这种强大的、经实践证明的自动布线器含有批量布线模式，可以通过用户自定义的布线策略以及内置的自动布线策略加以控制。

## DFM 规则驱动的自动布线

Allegro PCB Router 中包含的 DFM 功能能够有效地提高产量。制造算法提供一个（间距）拓展功能，会根据可用空间自动加大导体间距。这个拓展功能通过重新定位导线与引脚、导线与 SMD 焊盘以及相邻的导引线段之间创建额外的空间，有助于提高可制造性。用户可以灵活地定义间距值的范围或是使用默认值。

可以在整个布线过程中添加斜线角和测试点。制造算法自动地使用最佳的规则范围，从最大值开始直到最小值。测试点的插入会自动选择可测试的过孔或焊

盘作为测试点。

可测试过孔可以在 PCB 的正面、方面或者两面探测到，支持单面和蛤壳式测试仪。设计师可以根据制造的需要，灵活的选择测试点的插入方法。为了避免昂贵的测试设备调整，测试点可以使“固定”的。测试点的约束规则包括探测面、过孔尺寸、过孔栅格和最小中心间距等。

## 高速规则驱动的自动布线

高速布线约束规则和算法能够满足当前高度电路中差分对、网络规划、时序、布线层设定和特殊几何构造的要求。对于差分布线，用户只需要定义两个走线之间的间距，而自动布线器会解决剩下的一切。自动布线算法可以智能地处理过孔周围或之间的布线，并自动顺应指定的线长或时序标准。自动网络屏蔽可用于降低噪声敏感型线路，以降低干扰。

不同的设计规则可以用于设计的不同区域。例如，用户可以在连接器区域指定紧密的间距规则，而在其他地方应用不那么严格的规则。

## 操作系统支持

### Allegro 平台支持：

- Sun Solaris
- Linux
- IBM AIX
- Windows

### OrCAD 支持：

- Windows

## Sofer 解决方案

- Cadence PCB 设计平台建设
- ECAD/CIS 库平台建设

- Allegro 软件二次开发
- PCB 项目设计及仿真外包服务
- Cadence 软件培训服务

## Sofer 优势

- 实力雄厚的资深技术团队，多名 10 年以上经验的 FAE
- 丰富的 PCB 设计/EDA 平台建设等实践经验
- 出色的二次开发能力，为客户提供各种定制化开发需求
- 高效的技术服务平台，通过电话/邮件/Web/BBS，及时帮客户解决各类软件使用/设计相关问题
- 实战指导、项目现场支持等索服特色服务
- 最新技术资料下载客户专享通道，包括软件使用技巧、设计经验、国外技术文献翻译等
- 为客户提供量身定制的全面的针对性培训服务

## 联系方式

全国统一服务电话：400 600 9600

网站：www.sofer.cn

邮件：sales@sofer.cn

上海总部：

电话：021-64821908

传真：021-64821908 转 100

地址：上海市漕溪路 251 弄 5 号楼 16B

苏州分部：

电话：0512-69382258

传真：0512-69382258 转 100

地址：苏州市东吴南路 388 号吴中商城大厦 2005 室

## Allegro PCB Designer 基础特性和可选特性

Feature	Allegro PCB Designer
Allegro 设计编程 (Allegro Design Authoring)	•
Allegro 设计输入 CIS (Allegro Design Entry CIS)	•
约束管理器: 物理、间距和同网络规则 (Constraint-Manager: Physical, spacing and samenet rules)	•
约束管理器: 属性和 DRC 检查 (Constraint Manager: Properties and DRCs)	•
约束管理器: 差分对规则 (Constraint Manager: Differential pair rules)	•
约束管理器: 区域规则 (Constraint Manager: Region rules)	•
平面规划、布局、布局复制 (Floorplanning, placement, placement replication)	•
可装配性设计、可制造性设计、可测试性设计 (DFA, DFF, DFT)	•
布局过程中动态地 DFA 兼容反馈 (Dynamic feedback on DFA compliance during placement)	•
IDF3.0 和 DFX 导入和导出 (IDF3.0, DXF in /out)	•
EDMD 电气和结构协同设计 (EDMD schema-based ECAD-MCAD co-design)	•
原生的 3D 查看器 (Native 3D viewer)	•
层次化互联流程规划 (Hierarchical interconnect flow planning)	•
高速信号基于长度的规则 (Length-based rules for high-speed signals)	•
基于长度的高速信号的约束规则驱动流程 (Constraint-driven flow for length-based high-speed signals)	•
匹配组、层面规则设置、扩展网络 (Match groups, layer sets, extended nets)	•
T 点规则 (引脚到 T 点) (T-point rules (pin to T-point))	•
最高支持 6 层走线的基于形状的自动布线器 (6-layer automatic shape-based autorouter)	•
基于规则的高速自动布线 (High-speed rules-based autorouting)	•
基于规则的指定层面自动布线 (Layer-specific rules-based autorouting)	•
设计规划: 平面空间可行性分析和反馈 (Design planning - plan spatial feasibility analysis and feedback)	Design Planning Option
设计规划: 生成拓扑规划 (Design planning - generate topological plan)	Design Planning Option
设计规划: 将拓扑规划转换成走线 (Design planning - Convert Topological plan to traces (CLINES))	Design Planning Option
约束管理器: 电子规则集 (反射、时序、串扰) (Constraint Manager: Electrical rule set (relection, timing,	PCB High-Speed Option
使用电子规则的约束驱动流程 (Constraint-driven flow using electrical rules)	PCB High-Speed Option
电子约束规则集/拓扑应用 (Electrical constraint rule set (ECSets) / topology apply)	PCB High-Speed Option
基于公式和相对关系的约束条件 (Formula and relationship based (advanced) constraints)	PCB High-Speed Option
背钻 (Backdrilling)	PCB High-Speed Option
晶元到晶元的引脚延迟、动态相位控制、Z 轴延迟 (Die2Die pin delay, dynamic phase control, Z-axis delay)	PCB High-Speed Option
关键信号的回流路径管理 (Return path management for critical signals)	PCB High-Speed Option
约束管理器: HDI 规则集 (Constraint Manager: HDI rule set)	Miniaturization Option
激光孔及相关间距、堆叠、过孔上焊盘规则 (Micro-via and associated spacing, stacking, and via-in-pad rules)	Miniaturization Option
约束驱动的 HDI 设计流程 (Constraint-driven HDI design flow)	Miniaturization Option
嵌入式元件的制造规则支持 (Manufacturing rule support for embedding components)	Miniaturization Option
内部层面上的嵌入式元件 (Embedd components on inner layers)	Miniaturization Option
HDI 激光孔堆叠编辑 (HDI micro-via stack editing)	Miniaturization Option
动态的基于形状的泪滴、锥状和走线泪滴 (Dynamic shape-based filleting, line fattening, and trace filleting)	Miniaturization Option
轮廓环绕布线 (Hug contour routing (Flex))	Miniaturization Option
内部层面的腔体支持 (Support for cavities on inner layers)	Miniaturization Option
同步团队设计: 按层面分割 (Concurrent team design - layer by layer partitioning)	PCB Team Design Option
同步团队设计: 功能模块分割 (Concurrent team design - functional block partitioning)	PCB Team Design Option
同步团队设计: 同步设计仪表盘 (Concurrent team design - team design dashboard)	PCB Team Design Option
同步团队设计: 软网络 (Concurrent team design - soft nets)	PCB Team Design Option
参数化射频走线元素编辑 (Parameterized RF etch elements editing)	PCB Analog / RF Option
不对称间距 (Asymmetrical clearances)	PCB Analog / RF Option

Feature	Allegro PCB Designer
与 Agilent ADS 的双向接口 (Bi-directional interface with Agilent ADS)	PCB Analog / RF Option
将 Agilent ADS 原理图导入 Design Entry HDL (Import Agilent ADS schematics into DE-HDL)	PCB Analog / RF Option
布线驱动的射频设计创建 (Layout-driven RF design creation)	PCB Analog / RF Option
灵活的形状 (铺铜) 编辑 (Flexible Shape Editor)	PCB Analog / RF Option
最大 256 层自动布线 (256-layer Autorouting)	PCB Routing Option
基于 DFM 规则的自动布线 DFM rules-based autorouting	PCB Routing Option
自动导线拓展 (Automatic trace spreading)	PCB Routing Option
自动生成测试点 (ATP generation)	PCB Routing Option
基于规则的指定层面自动布线 (Layer-specific rules-based autorouting)	PCB Routing Option