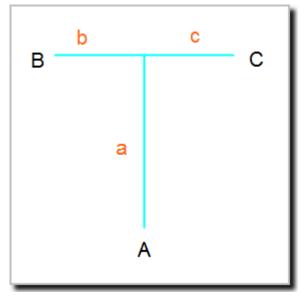


## 1 如何同时控制一个T型拓扑的分段长度和总长度

问题: 我们这里有一组总线,总线上有三个芯片,一个输出,两个输入,我们希望用一个T型的连接方式来连接,输出端连接主干,分叉连接输入端,而且同时需要控制两条分叉线的长度信号内相等以及输出到输入的长度组内相等,不知应该如何实现?

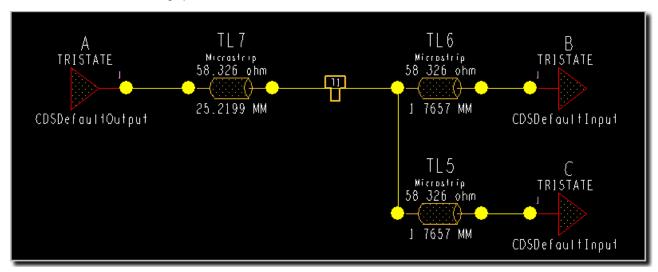
## 回答:

这种长度控制方式Allegro能够很好的支持。我们先用一个图示来确认您的问题。



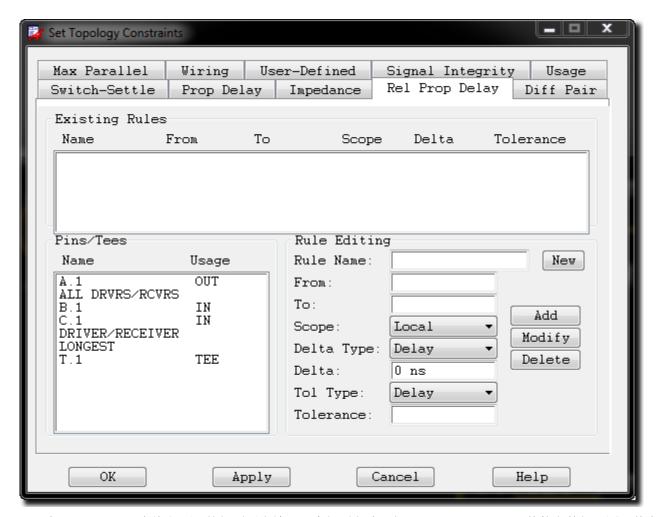
您的问题所描述的是不是如上图所示,A是输出端,B是输入端,规则要求:对于任何信号线,线段b=线段 c,但不同信号线的线段b不需要相等;对于所有信号线,线段a加线段b的总长度与线段a加线段c的总长度统统相等。换一句话说,如果只有两条信号,规则要求:b1=c1,b2=c2,但允许b1≠b2;a1+b1=a1+c1=a2+b2=a2+c2。

Allegro使用RPD(Relative Propagation Delay)来控制传输线的相对长度,使用Rat-T来表征传输线中的分叉点。这样我们可以在SigXplorer中编辑一个拓扑文件。



然后在SigXplorer中选择Set - Constraints打开Set Topology Constraints窗口,选择Rel Prop Delay栏眉。



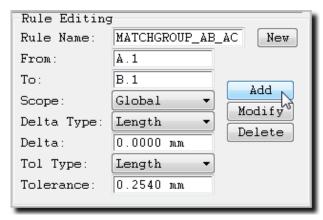


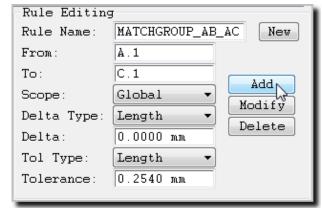
在Rule Name处为线段b和c的规则要求输入一个规则名称,如MatchGroup\_B\_C,其他参数如下图,其中From: T.1 To: B.1表示从B端口到Rat-T的线段(即示例图中的线段b); Scope栏中的Local表示规则只针对信号线内部,不影响其他信号线; Tolerance栏则表示允许长度有0.254mm(即10mil)的误差。完成后点击Add按钮。



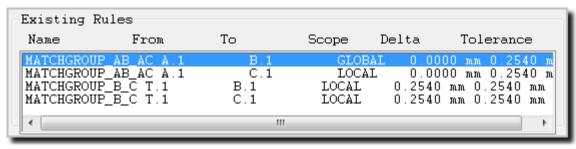
然后依次按照下列图示输出规则并点击Add按钮添加规则,其中Scope栏中的Global表示规则针对整个 Matching Group。



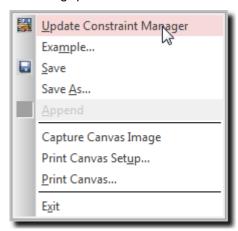




输入完毕后,在Existing Rules栏中会显示当前的RPD规则。



在SigXplorer中保存拓扑文件并上传到Allegro中,选择File - Update Constraint Manager。



然后在Allegro的Constraint Manager中将此规则应用到需要的总线上即可。

另外,此类规则也可以在Constraint Manager中手动创建,并不一定需要通过SigXplorer,相关过程不再详述。

-----

## ——[全文完]——

以上技术文档由上海索服科技提供

更多EDA技术文档请访问: http://www.sofer.cn