

数字电路实验十六

姓名：熊彦钧 学号：23336266

一、实验目的

1. 参考实验原理步骤采用 J-K 触发器搭建 8421 码序列同步检测电路，要求采用不同于实验原理的其他状态分配方法完成电路的设计。

二、实验要求

具体实验要求如下：

(1) 静态测试：可将 8421 码序列检测电路的输入 X 连接到实验箱的逻辑电平开关 K1，J-K 触发器的时钟连接到实验箱的正脉冲按键。电路静态测试时，按照从低位到高位依次输入串行序列码组。例如，输入非法码 $(1010)_2 = (10)_{10}$ 。数据应按 0101 顺序改变逻辑电平开关 K1：0→1→0→1。且需先改变输入数据 X（即逻辑电平开关 K1 的置位），再按下正脉冲按键输入时钟信号。按上述方法，输入不同的码组，检测电路的输出状态 $Q_3Q_2Q_1$ （接 LED“0-1”显示器）是否按照状态转换表正常工作， F' （接 LED“0-1”显示器）是否输出正确的 8421 码序列检测结果。

(2) 动态测试：将 74LS197 接成十六进制计数器（CP0 作为计数脉冲，Q0 接 CP1），J-K 触发器的时钟和 74LS197 的时钟 CP0 均接实验箱上的 10KHz 连续脉冲，并将 74LS197 的输出 Q2 接入

8421 码序列检测电路的输入数据端 X。使用示波器数字通道观察并记录 10KHz 连续脉冲 CP、74LS197 的输出 Q2 和 8421 码序列检测电路的输出 F'波形。分析时序波形的输出是否符合 8421 码序列检测电路的逻辑功能。

三、实验结果

依据 8421 码检测原理，设计的过程如下：

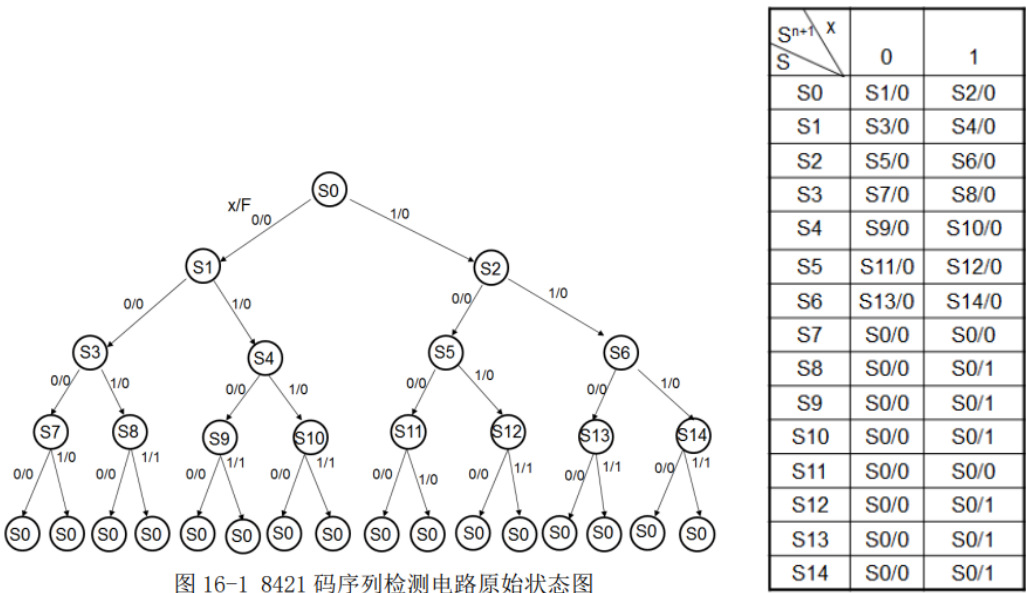


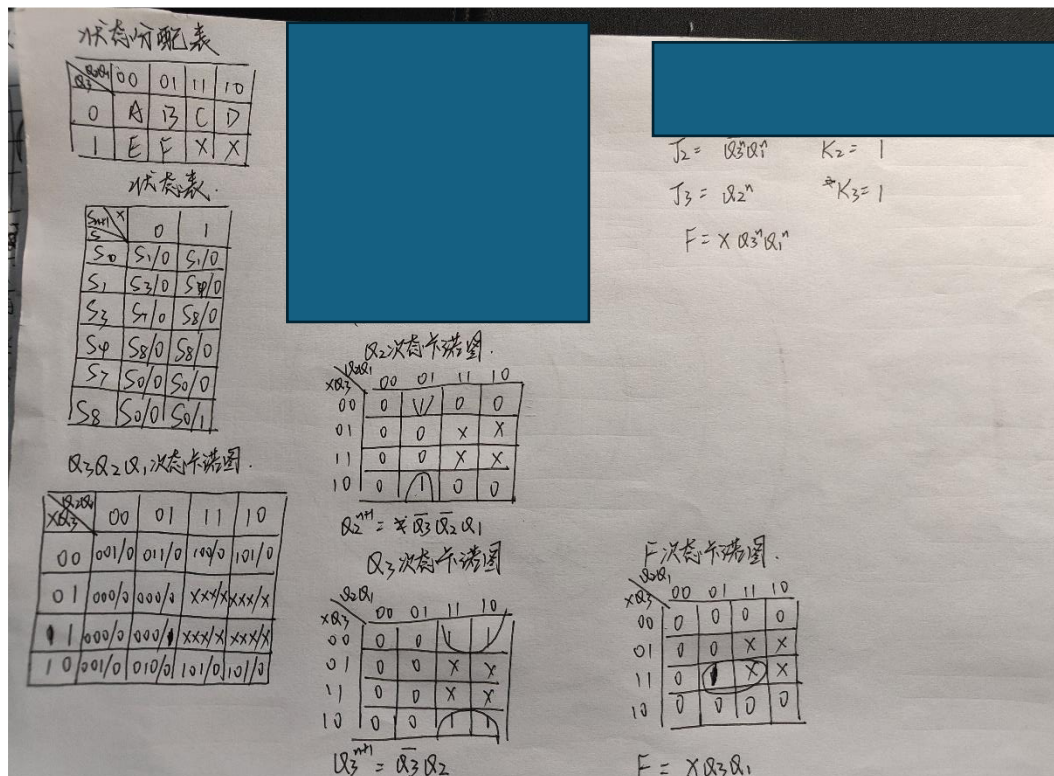
图 16-1 8421 码序列检测电路原始状态图

找出原始状态表中的等效状态，所谓等效状态是指当输入相同时输出相同且次态也相同的状态。通过等效状态的合并化简原始状态表，得到表 16-2 所示化简后的状态表。

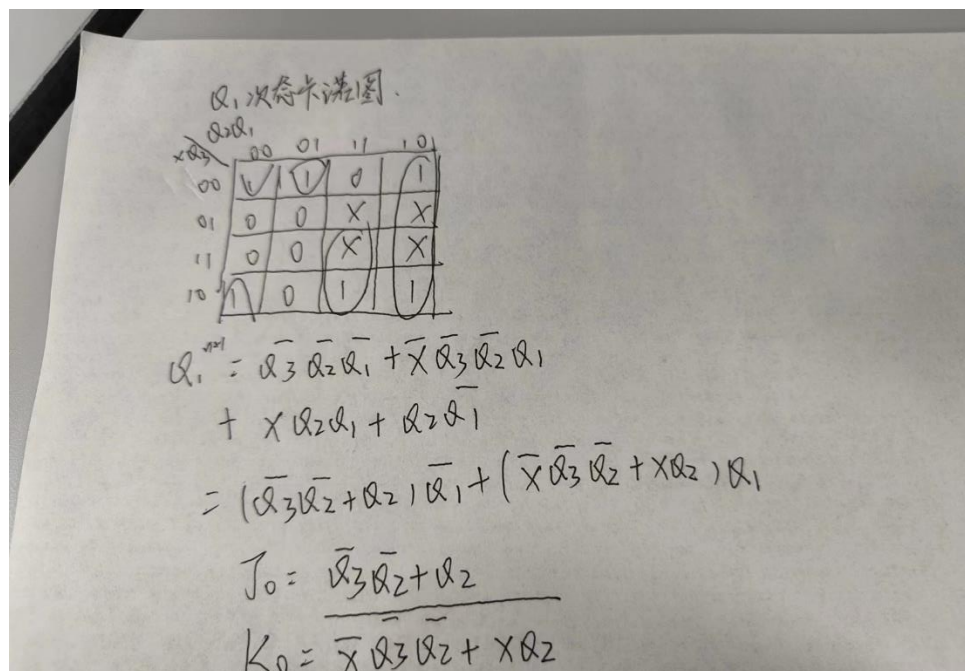
表 16-2 8421 码序列检测电路状态表

$\begin{matrix} S^{n+1} & X \\ S \end{matrix}$	0	1
S0	S1/0	S1/0
S1	S3/0	S4/0
S3	S7/0	S8/0
S4	S8/0	S8/0
S7	S0/0	S0/0
S8	S0/0	S0/1

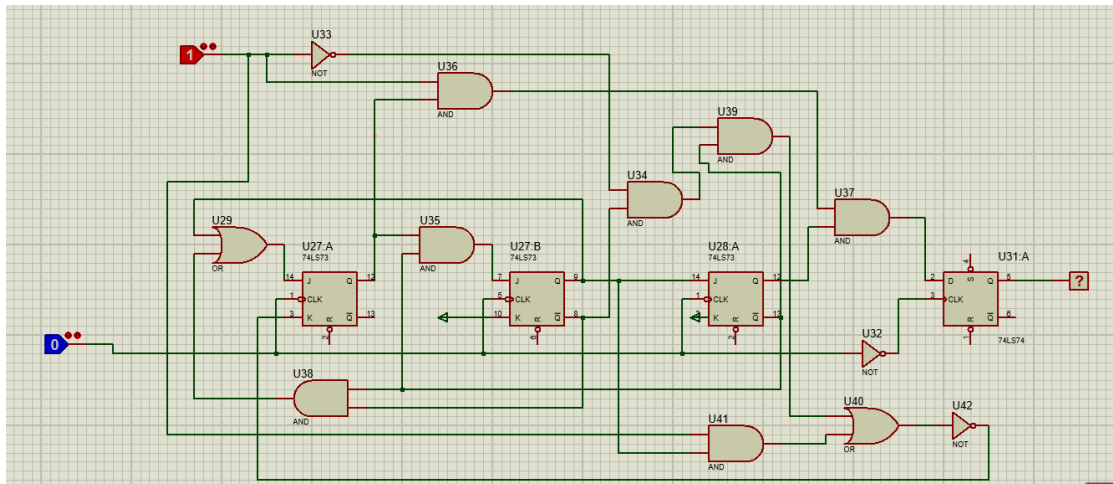
令 S0=A, S1=B, S3=C, S4=D, S7=E, S8=F



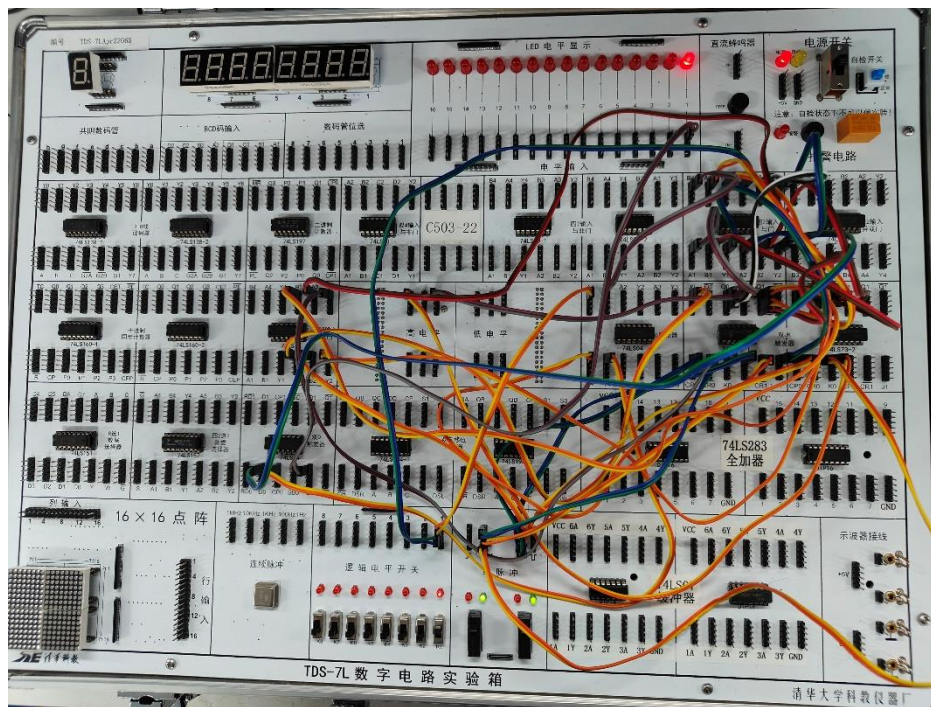
上图的 Q1 次态卡诺图化简出现错误，故用图形掩盖，下面是修正后的 Q1 次态卡诺图和驱动方程



依据 JK 触发器驱动方程，在仿真软件上设计的静态测试电路如下：

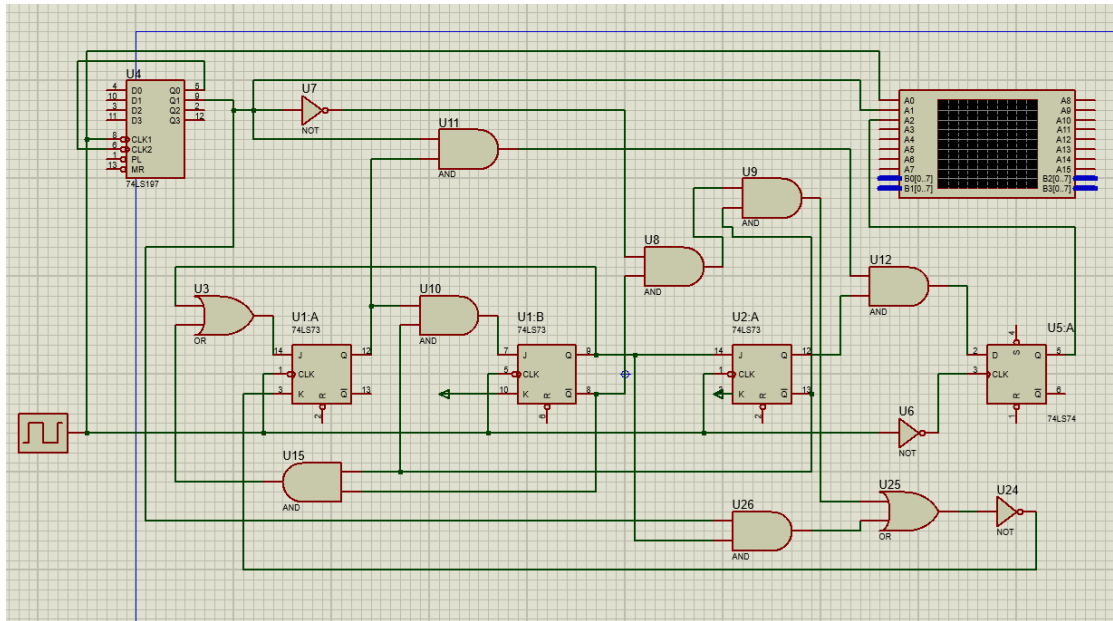


在实验箱上连线如下：

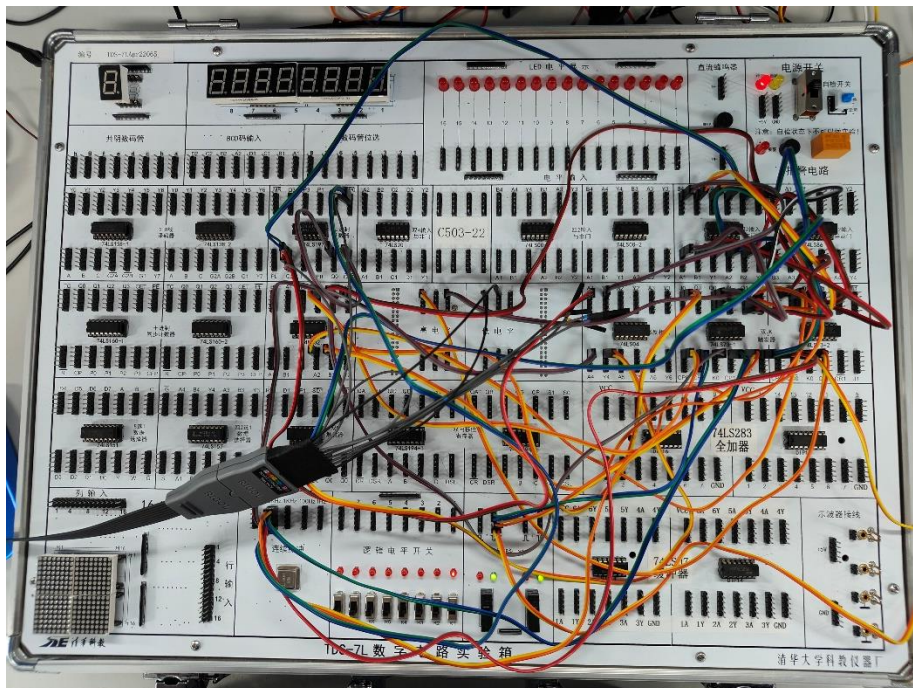


经过检验和测试：该电路可以实现 8421 码的检测，即当输入的四位数字合法时，LED0-1 显示管不亮，当输入的四位数字不合法时，LED0-1 显示管亮。

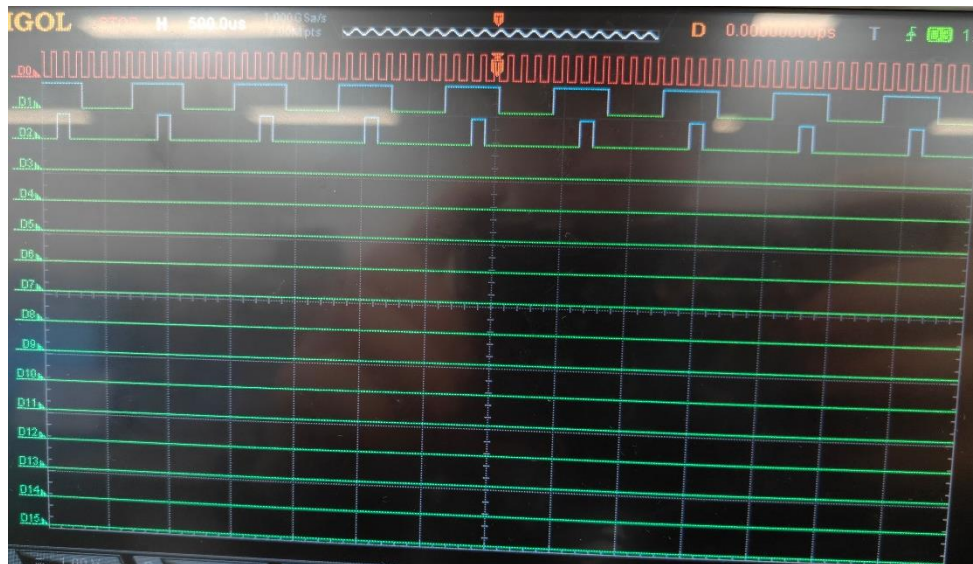
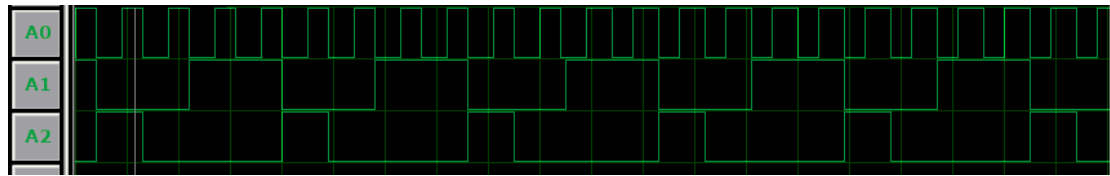
在仿真软件上设计的动态测试电路如下：



依据动态测试电路，在实验箱上连线如下：



示波器上的波形如下：



其中 D0 为时钟信号，D1 为输入信号，D2 为输出信号 F' 。

经检验，设计的电路符合预期。

四、实验总结

该实验需要注意的地方如下：

- 1.在实验箱上连线时，每个 JK 触发器的清零信号需要接到手动负脉冲上，并且在开始输入数据之前按下手动负脉冲，否则 JK 触发器无法开始工作。
- 2.动态测试的波形具有周期性和随机性，周期性是因为此时的输入信号为 74LS197 的 Q2 输出，它和时钟信号 Q0 具有一定的周期关系。随机性是因为不知道 JK 触发器会从时钟信号的哪个信号开始作为输入数据。

