

数字电路实验十三

姓名：熊彦钧 学号：23336266

一、实验目的

1. 用 JK 触发器设计一个 16 进制同步计数器，用逻辑分析仪观察并记录 CP 和各输出的波形。
2. 用 JK 触发器设计一个 16 进制异步计数器，用逻辑分析仪观察并记录 CP 和各输出的波形。

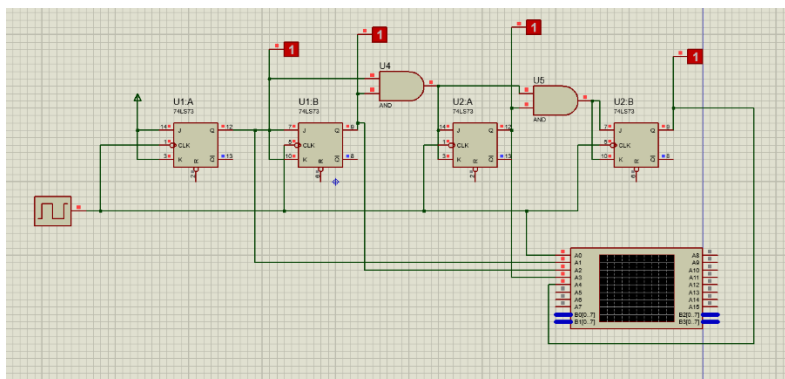
二、实验要求

1. 写出详细的设计过程。
2. 观察并记录 CP 及各输出端的波形图。
3. 写出实验过程中遇到的问题，解决方法和心得体会。

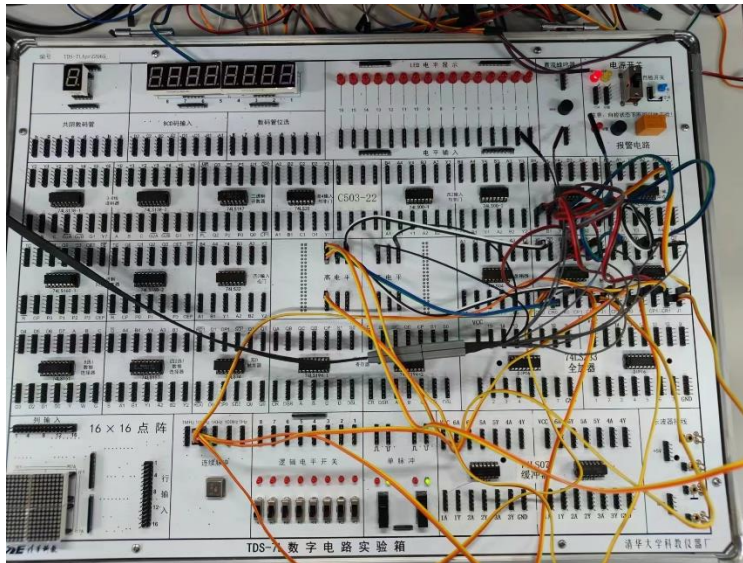
三、实验结果

1.16 进制同步计数器

依据课本知识，十六进制同步计数器仿真电路如下：



依据仿真电路，在实验箱上连接电路如下：



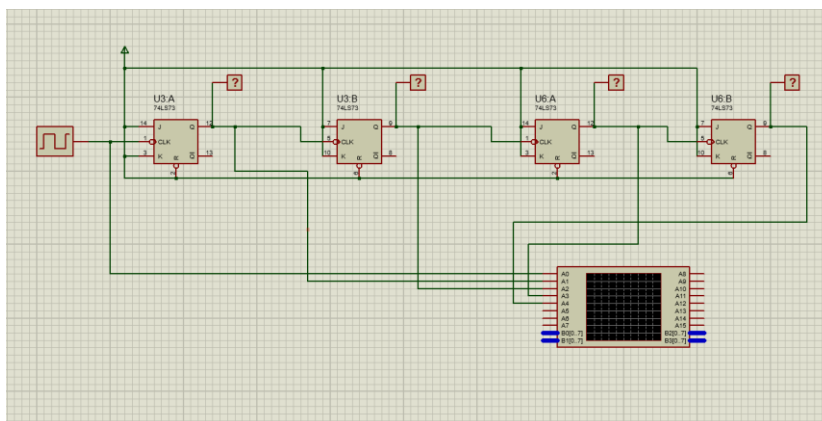
示波器波形如下：



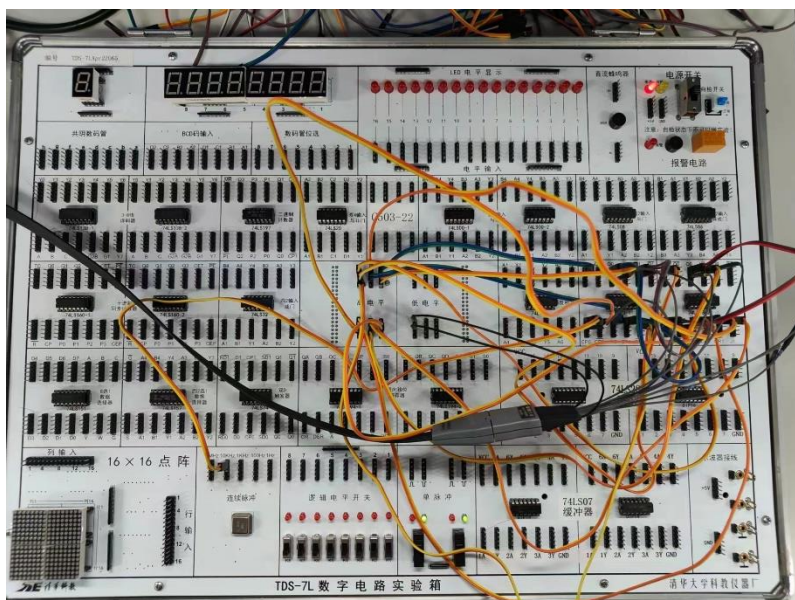
其中 D0 为时钟信号 (CP)，D1-D3 分别为 Q0-Q3，经检验，示波器波形符合十六进制数逻辑。

2.十六进制异步计数器

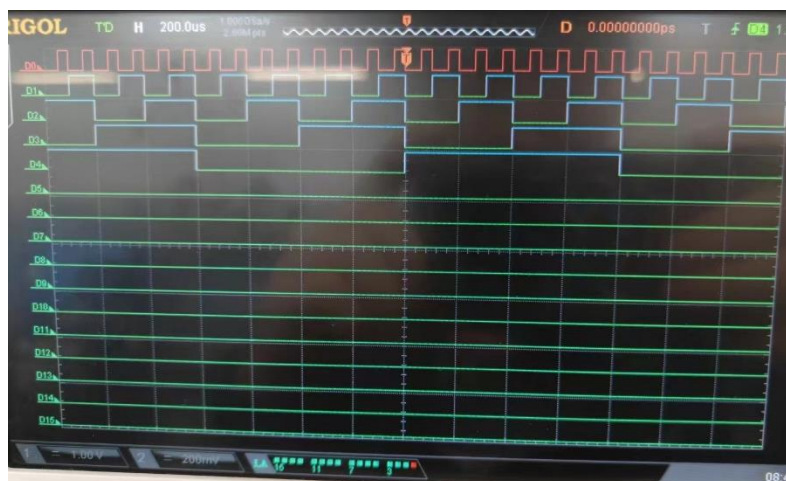
依据课本知识，十六进制异步计数器仿真电路如下：



依据仿真电路，在实验箱上连接电路如下：



示波器波形如下：



其中 D0 为时钟信号 (CP), D1-D3 分别为 Q0-Q3, 经检验, 示波器波形符合十六进制数逻辑。

四、实验总结

本实验的注意事项如下:

1. JK 触发器的清零信号必须接高电平, 不能空置, 否则示波器上的波形将不稳定甚至出现错误。