

# 数字电路实验十

姓名：熊彦钧 学号：23336266

## 一、实验目的

1. J-K 触发器的动态功能测试。
2. D 触发器的动态功能测试。
3. 利用 J-K 触发器实现 D 触发器。
4. 利用 J-K 触发器实现 T 触发器。

## 二、实验要求

1. 写出详细的电路设计过程。
2. 记录 CP 及各输入、输出端的波形图，要注意分析波形之间的相位关系，并 与电路的逻辑功能进行对照。
3. 写出实验过程中遇到的问题，解决方法和心得体会。

其中各步骤具体要求如下：

步骤 1：将 74LS197 接成八进制计数器，即 10KHz 连续脉冲接反相器后与 74LS197 的 CP1 相连（避免连续脉冲的下降沿使 74LS197 和 74LS73 同时翻转），将 74LS197 的 MR、PL 接高电平，Q1、Q2、Q3 作为输出。并将 74LS197 的输出 Q1 接 74LS73 的 J1，Q2 接 74LS73 的 K1，10KHz 连续脉冲接 74LS73 的 CP1，将 74LS73 的 CR1 接手动负脉冲。实验时需先按一下负脉冲按键，使 74LS73 输

出清零。使用示波器数字通道观察并记录 74LS73 的 CP1、J1、K1、Q1 波形，检查其是否符合 J-K 触发器特性。

步骤 2：将 74LS197 接成二进制计数器，即 CP0 接 10KHz 连续脉冲，将 MR、PL 接高电平，Q0 作为输出。并将 74LS197 的输出 Q0 接 74LS74 的 D1，10KHz 连续脉冲同时接 74LS74 的 CP1，将 74LS73 的 SD1 接高电平，RD1 接手动负脉冲。实验需先按一下负脉冲按键，使 74LS74 输出清零。使用示波器数字通道观察并记录 74LS74 的 CP1、D1、Q1 波形，检查其是否符合 D 触发器特性。

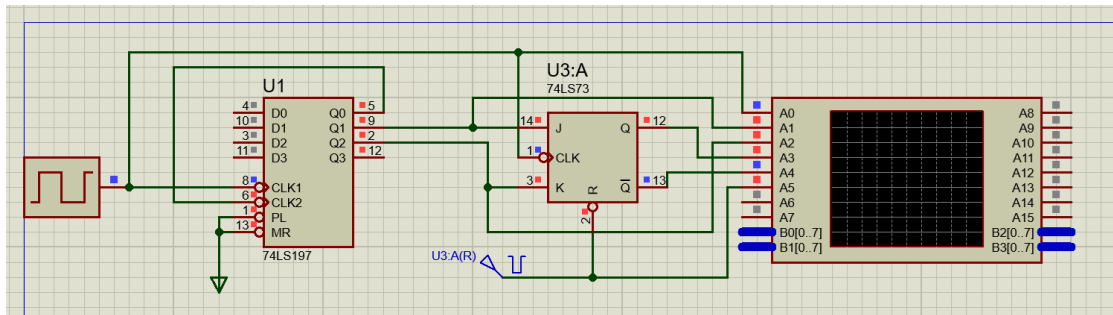
步骤 3：对照 J-K 触发器和 D 触发器的功能表，使用 J-K 触发器和门电路芯片搭建具有 D 触发器逻辑功能的电路。要求电路的静态测试和动态测试都满足 D 触发器特性。

步骤 4：T 触发器符号、特性方程、状态转换图和下降沿触发的 T 触发器功能表见下图 10-3。对照 J-K 触发器和 T 触发器的功能表和表达式，使用 J-K 触发器和门电路芯片搭建采用下降沿触发的具有 T 触发器逻辑功能的电路。要求电路的静态测试和动态测试都满足 T 触发器特性。

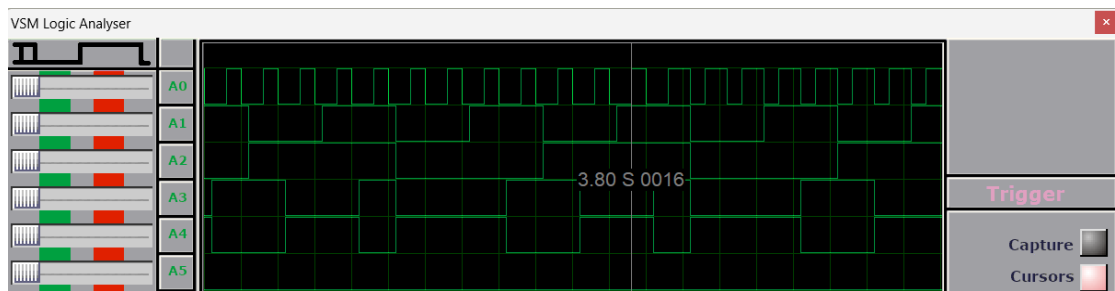
### 三、实验结果

#### 1. J-K 触发器的动态功能测试：

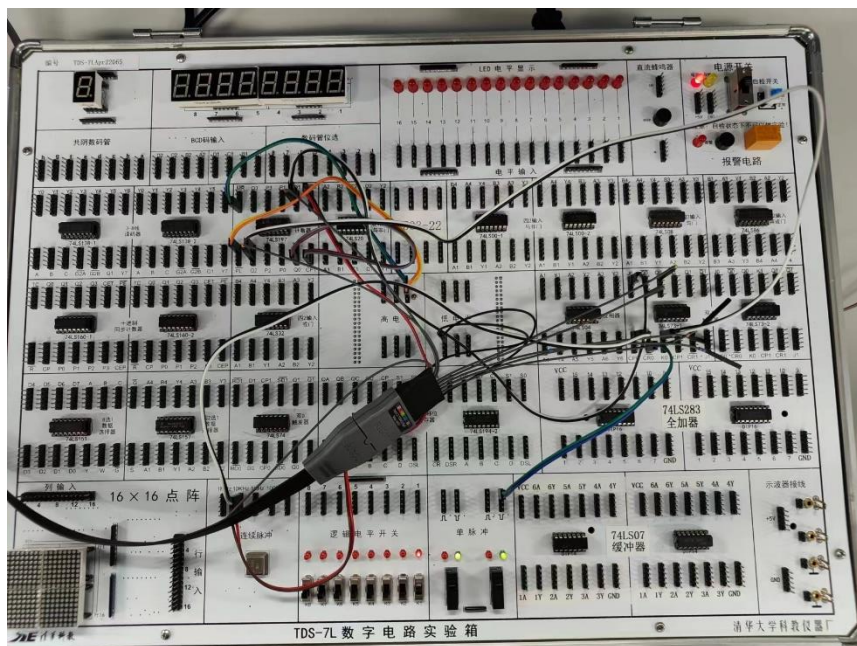
JK 触发器动态测试仿真电路如下



仿真电路下的波形如下



依据仿真电路，在实验箱连线结果如下



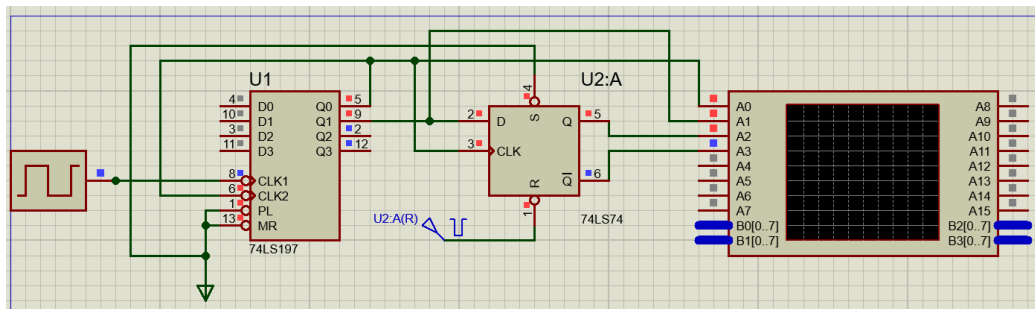
示波器波形如下



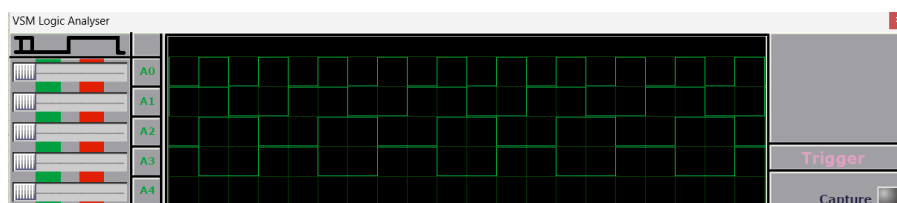
其中 D0 为时钟信号，D1D2 分别为 J0 输入和 K0 输入，D3D4 为 Q0 输出和 Q0' 输出，经比对 JK 触发器的功能表和特性方程，JK 触发器正常实现功能。

## 2. D 触发器的动态功能测试：

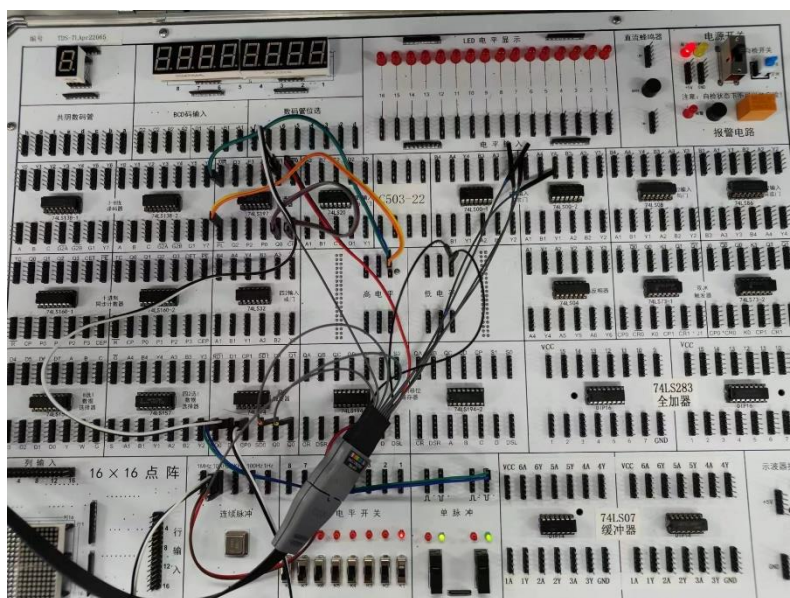
D 触发器动态测试仿真电路如下



仿真电路下的波形如下



依据仿真电路，在实验箱连线结果如下



示波器波形如下

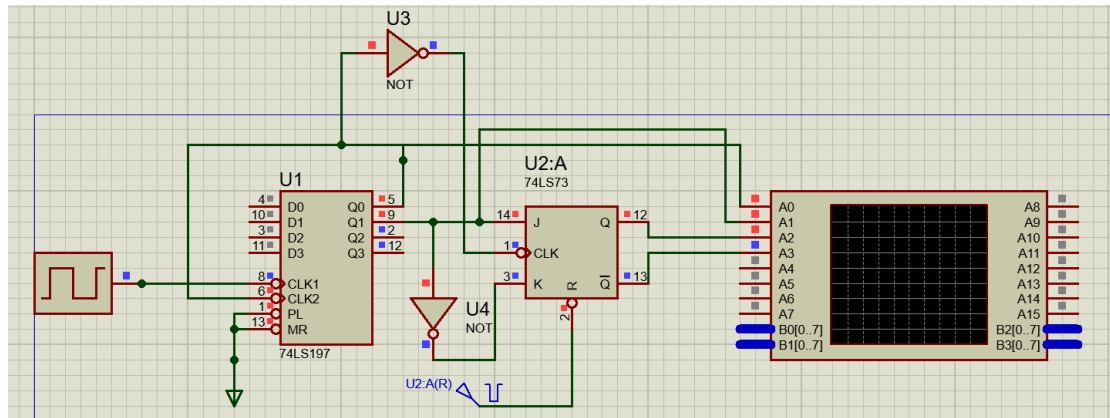


其中 D0 为时钟信号，D1 为 D 输入，D3D4 为 Q0 输出和 Q0'输出，  
经比对 D 触发器的功能表和特性方程，D 触发器正常实现功能。

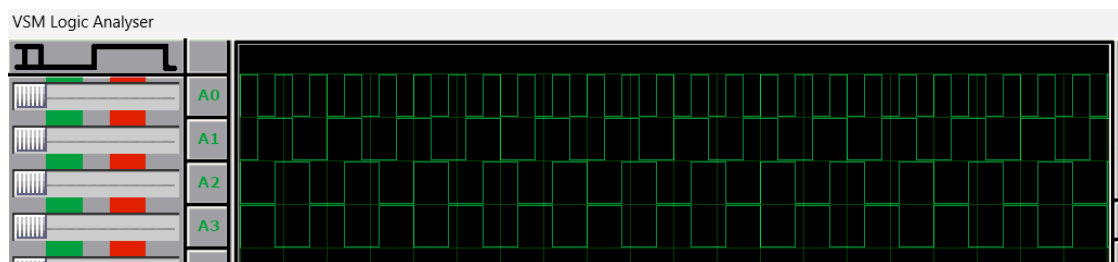
### 3. 利用 J-K 触发器实现 D 触发器

该触发器动态测试仿真电路如下

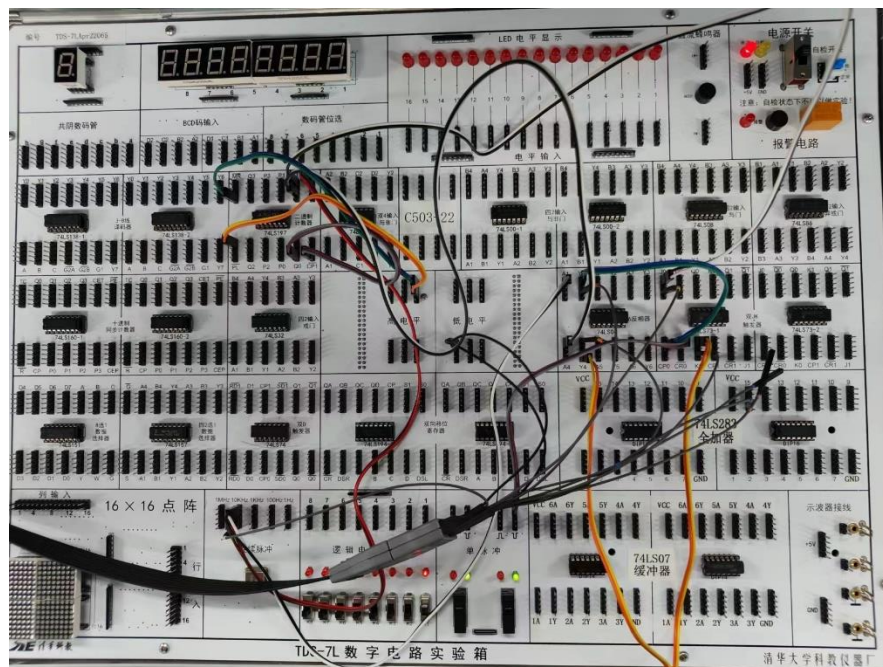




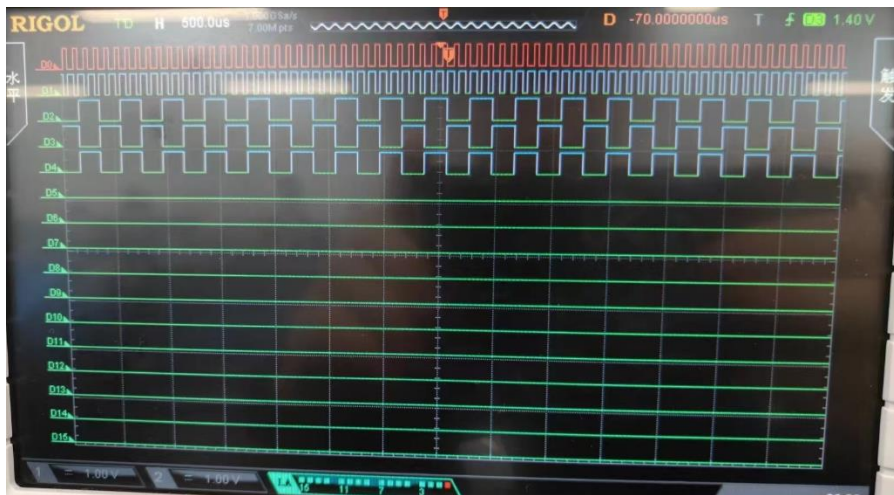
仿真电路下的波形如下



依据仿真电路，在实验箱连线结果如下



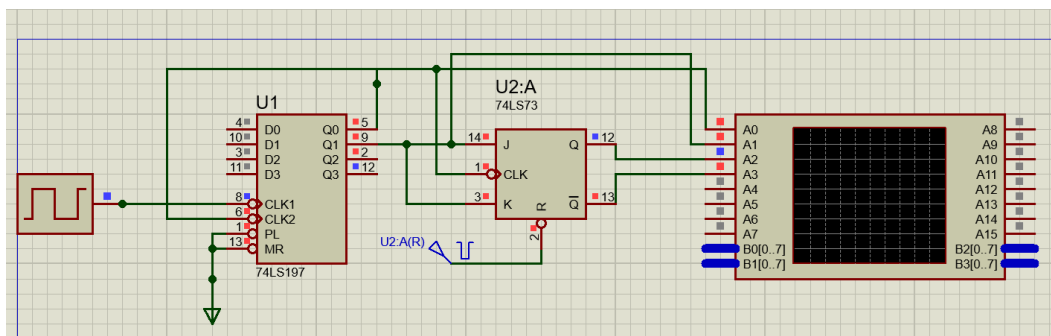
示波器波形如下



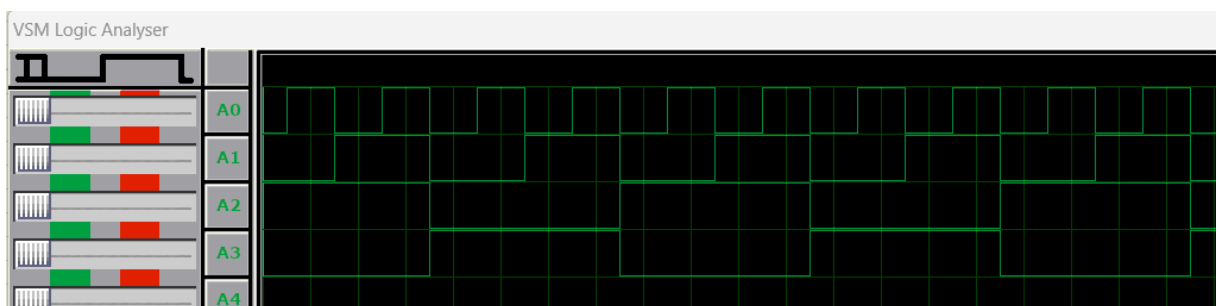
其中 D0 为时钟信号，D1D2 分别为 J0 输入和 K0 输入，D3D4 为 Q0 输出和 Q0' 输出，经比对 D 触发器的功能表和特性方程，该触发器正常实现功能。

#### 4. 利用 J-K 触发器实现 T 触发器

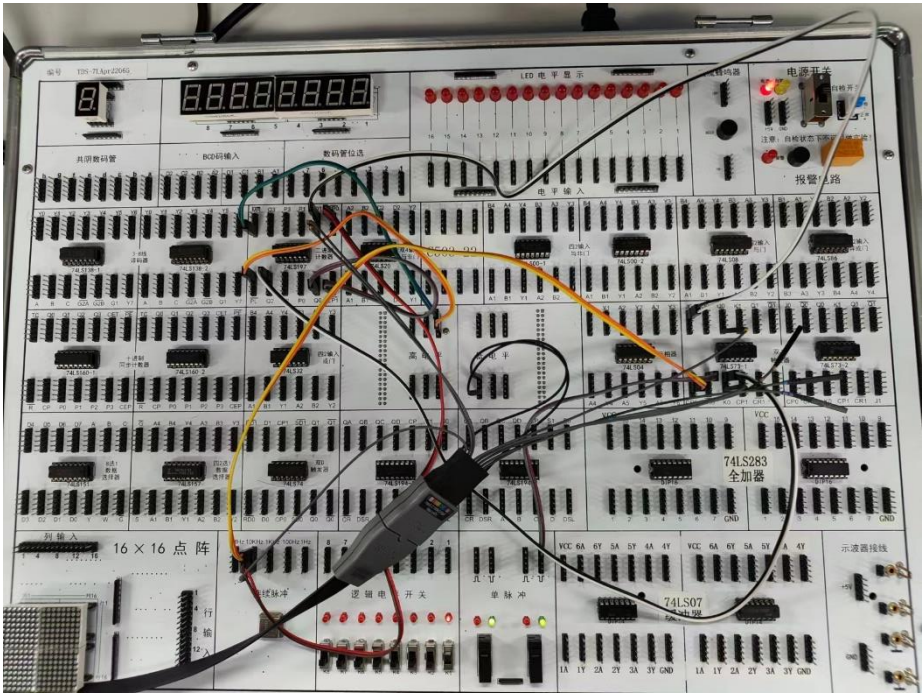
T 触发器动态测试仿真电路如下



仿真电路下的波形如下



依据仿真电路，在实验箱连线结果如下



示波器波形如下



其中 D0 为时钟信号，D1D2 分别为 J0 输入和 K0 输入，D3D4 为 Q0 输出和 Q0' 输出，经比对 T 触发器的功能表和特性方程，T 触发器正常实现功能。

#### 四、实验总结



根据实验结果可知，可以通过控制 J 端和 K 端的输入，把 JK 触发器改装成 D 触发器、T 触发器甚至一些具有其他特性的触发器。

本实验需要注意的是，在部分实验中需要将时钟信号取反后再输入 JK 触发器的 CLK 端，以防止 JK 触发器的误清零现象。