数字电路实验十四

姓名：熊彦钧 学号：23336266

一、实验目的

1.用J-K触发器和门电路设计一个特殊的十进制同步计数器，用逻辑分析仪观察并记录连续脉冲和计数器Q3、Q2、Q1、Q0的输出波形，分析并验证电路功能。

二、实验要求

1. 写出详细的设计过程。

2. 画出连续脉冲及各输出端的时序波形图，注意讨论波形之间的相位关系 并检查电路的自启动。

3. 写出实验过程中遇到的问题，解决方法和心得体会。

其中该十进制同步计数器的状态转换如图所示。

图片包含 文本

描述已自动生成

注意：这个十进制同步计数器没有0000、1011、1100、1101、1110、1111 状态，电路设计要考虑自启动。

三、实验结果

依据状态转换，设计过程如下：

设计过程包含总的次态卡诺图，各个Q输出的卡诺图化简，以及各个JK触发器J输入端和K输入端的逻辑表达式。

图示

描述已自动生成

依据化简后的各输入的逻辑，设计的仿真电路如下：

图示, 示意图

描述已自动生成

依据仿真电路在实验箱上连线如下：

图示

描述已自动生成

示波器波形如下：

电脑显示屏

中度可信度描述已自动生成

经检验，示波器波形输出符合逻辑要求。

经过检验，该逻辑电路在每个无关项下均可以自启动，电路设计成功。

四、实验总结

该实验需要注意的事项如下：

1. 。在次态卡诺图 化简过程中需注意包含Qn和𝑄𝑛’项的保留，以便下一步J-K触发器J、K表达式的得到。

2.在化简时应尽可能地利用无关项进行化简，以把电路化简至最简，并且在书写输入端逻辑时应尽可能使用公式把和项变为乘积项。

3.依据学号有关数字设计的特殊计数器真值表如下：

白板上的文字

描述已自动生成

可以看到，如果数字随机排布，化简后的逻辑表达式非常复杂，在实验箱逻辑门有限的情况下基本不可能实现，遂放弃。