

SIP HW1 :

**Parameterized fixed-point adder
(參數化小數定點加法器)**

SIP HW1 : Subject

- ▶ 請設計一個參數化的小數定點加法器(`fx_pt_add_rnd`)，將兩個包含小數位數的訊號相加，並將相加結果作為輸出訊號，並依據特定小數位數**進行四捨五入**。
- ▶ 兩個輸入訊號：**a**、**b**，有以下參數：
 - ▶ **SN**: 數值為 0，兩數為無號數表示法(unsigned)；
數值為 1，兩數為有號2補數表示法(signed-2's-complement)；
數值為其他值，兩數為有號量數表示法(signed-magnitude)。
 - ▶ **AIW**: **a** 的整數位元寬度。 ($2 \leq \text{AIW} \leq 16$)
 - ▶ **AFW**: **a** 的小數位元寬度。 ($0 < \text{AFW} \leq 10$)
 - ▶ **BIW**: **b** 的整數位元寬度。 ($2 \leq \text{BIW} \leq 16$)
 - ▶ **BFW**: **b** 的小數位元寬度。 ($0 < \text{BFW} \leq 10$)
- ▶ 輸出訊號：**sum**，有以下參數：
 - ▶ **SIW**: **sum** 的整數位元寬度。**SIW** 為**內定參數**，**無須由外部定義**。其值取 **AIW** 與 **BIW** 中較大者，再加上 2。
 - ▶ **SFW**: **sum** 的小數位元寬度。 ($0 < \text{SFW} \leq 10$)

EX1 : SN=0 、 AIW=2 、 AFW=3 、 BIW=3 、 BFW=4 、 SFW=2 (1/2)

a

0	1	.	1	0	1
---	---	---	---	---	---

$13/8=1.625$

b

1	0	1	.	1	0	0	1
---	---	---	---	---	---	---	---

$89/16=5.5625$

a_ext

0	0	0	0	1	.	1	0	1	0
---	---	---	---	---	---	---	---	---	---

1.625
+ 5.5625

b_ext

0	0	1	0	1	.	1	0	0	1
---	---	---	---	---	---	---	---	---	---

 7.1875

sum

0	0	1	1	1	.	0	0	1	1
---	---	---	---	---	---	---	---	---	---

$115/16 = 7.1875$

EX1 : SN=0 、 AIW=1 、 AFW=3 、 BIW=3 、 BFW=4 、 SFW=2 (2/2)

sum

0	0	1	1	1	.	0	0	1	1
---	---	---	---	---	---	---	---	---	---

被保留的數

被捨棄的數

$115/16 = 7.1875$

$115/4 = 28.75$

被保留的數

被捨棄的數

無號數四捨五入的原則：
如果被捨棄的數的最高位元為 0，則等於被保留的數；
如果被捨棄的數的最高位元為 1，則等於被保留的數的最低位元加1。

sum

0	0	1	1	1	.	0	0	1	1
---	---	---	---	---	---	---	---	--------------	--------------

$115/4 = 28.75$

$\cong 29$ (四捨五入)

$+ 1$

sum
(round)

0	0	1	1	1	.	0	1	1	1
---	---	---	---	---	---	---	---	--------------	--------------

$29/4 = 7.25$

EX2 : SN=1 、 AIW=2 、 AFW=5 、 BIW=4 、 BFW=6 、 SFW=3 (1/2)

a	<table><tr><td>1</td><td>1</td><td>.</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td></tr></table>												1	1	.	0	1	0	1	0	$-22/32 = -0.6875$					
1	1	.	0	1	0	1	0																			
b	<table><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>.</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr></table>												1	0	1	1	.	0	0	0	0	1	1	$-317/64 = -4.953125$		
1	0	1	1	.	0	0	0	0	1	1																
ext	<table><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>.</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td></tr></table>												1	1	1	1	1	1	.	0	1	0	1	0	0	-0.6875
1	1	1	1	1	1	.	0	1	0	1	0	0														
ext	<table><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>.</td><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td></tr></table>												1	1	1	0	1	1	.	0	0	0	0	1	1	$+ -4.953125$
1	1	1	0	1	1	.	0	0	0	0	1	1														

sum	<table><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>.</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td></tr></table>												1	1	1	0	1	0	.	0	1	0	1	1	1	$-361/64 = -5.640625$
1	1	1	0	1	0	.	0	1	0	1	1	1														

EX2 : SN=1 、 AIW=2 、 AFW=5 、 BIW=4 、 BFW=6 、 SFW=3 (2/2)

sum

1	1	1	0	1	0	.	0	1	0	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---

被保留的數

被捨棄的數

$-361/64 = -5.640625$

$-361/8 = -45.125$

$= (-46) + (0.875)$

被保留的數

被捨棄的數

有號2補數(負數)四捨五入的原則(正數依照無號數原則):
如果被捨棄的數的最高位元為 0 , 則等於被保留的數 ;
如果被捨棄的數的最高位元為 1 , 且其他位元皆為 0 , 則等於被保留的數 ;
如果被捨棄的數的最高位元為 1 , 其他位元至少有一位元為非0 ,
則等於被保留的數的最低位元加1 。

sum

1	1	1	0	1	0	.	0	1	0	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---

+ 1

$-361/8 = -45.125$

$= (-46) + (0.875)$

$\cong -46 + 1$

$= -45$ (四捨五入)

sum

(round)

1	1	1	0	1	0	.	0	1	1	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---

$-45/8 = -5.625$

EX3 : SN=2 、 AIW=4 、 AFW=4 、 BIW=3 、 BFW=6 、 SFW=3 (1/2)

a

1	1	1	0	.	0	1	0	1
---	---	---	---	---	---	---	---	---

-101/16 = -6.3125

b

0	1	1	.	0	1	0	0	1	1
---	---	---	---	---	---	---	---	---	---

211/64= 3.296875

a_ext

1	0	0	1	1	0	.	0	1	0	1	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---

a_sgn

a_mag

b_ext

0	0	0	0	1	1	.	0	1	0	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---

b_sgn

b_mag

sum

1	0	0	0	1	1	.	0	0	0	0	0	1
---	---	---	---	---	---	---	---	---	---	---	---	---

a_sgn

a_mag - b_mag

∴ a_mag > b_mag

∴ a_mag > b_mag

-6.3125

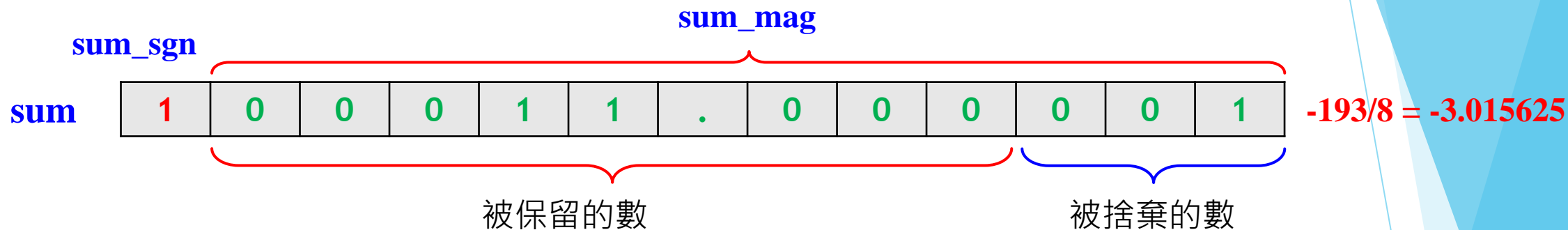
+ 3.296875

-3.015625

-193/8 = -3.015625

7

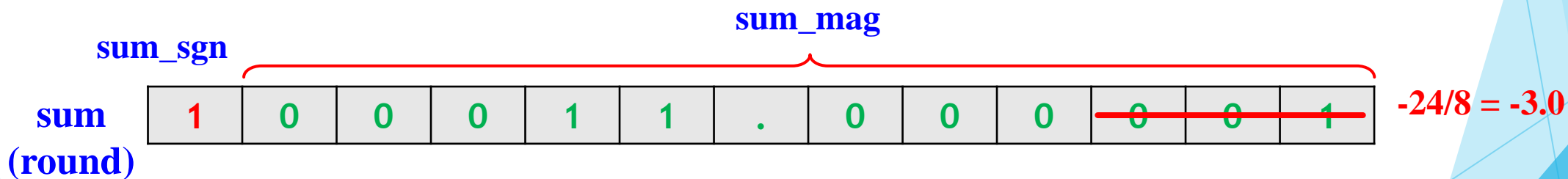
EX3 : SN=2 、 AIW=4 、 AFW=4 、 BIW=3 、 BFW=6 、 SFW=3 (1/2)



有號量數的量數四捨五入的原則依照無號數原則：

如果被捨棄的數的最高位元為 0，則等於被保留的數；

如果被捨棄的數的最高位元為 1，則等於被保留的數的最低位元加 1。



Special Case

► SN=2、AIW=2、AFW=3、BIW=3、BFW=1、SFW=4

有號量數表示法有“+0”與“-0”兩種方式表示“0”，本作業設計的 IP 需考慮這兩種方式作為輸入訊號，但為了統一輸出結果，當結果出現“-0”時請把結果轉成“+0”的表示法。

a

1	0	.	1	0	0
---	---	---	---	---	---

-1/2 = -0.5

b

0	0	0	.	1
---	---	---	---	---

1/2 = 0.5

a_ext

1	0	0	0	0	.	1	0	0	0
---	---	---	---	---	---	---	---	---	---

b_ext

0	0	0	0	0	.	1	0	0	0
---	---	---	---	---	---	---	---	---	---

sum

0	0	0	0	0	.	0	0	0	0
---	---	---	---	---	---	---	---	---	---

出現 0 時請轉成“+0”表示。

SIP HW1 : Interface

- ▶ 務必依照以下的模組與埠列名稱定義，不依照者會大扣分。

```
module fx_pt_add_rnd(a, b, sum);  
  
parameter SN    = 1;  
parameter AIW   = 2;  
parameter AFW   = 5;  
parameter BIW   = 4;  
parameter BFW   = 6;  
parameter SIW   = (AIW>BIW)? AIW+2:BIW+2;  
parameter SFW   = 3;  
  
input  [AIW+AFW-1:0] a;  
input  [BIW+BFW-1:0] b;  
output [SIW+SFW-1:0] sum;
```

SIP HW1 : Uploading Results (1 / 2)

- ▶ Verilog file (file name: **fx_pt_add_rnd.v**) 。
(務必依照此檔名，不依照者會大扣分。)
- ▶ Test Verilog file (including waveform generating) (file name: **fx_pt_add_rnd_tb.v**) 。
(務必依照此檔名，引用待測模組請使用 **by name** 方式，不依照者會大扣分。)
- ▶ 此階段評分 (70%)
 - ◆ **fx_pt_add_rnd.v** 只完成一種設定(SN)，且其中 **AIW**、**AFW**、**BIW**、**BFW**、**SFW** 皆能參數化。 (70分)
 - ◆ **fx_pt_add_rnd.v** 只完成兩種設定(SN)，且其中 **AIW**、**AFW**、**BIW**、**BFW**、**SFW** 皆能參數化。 (75分)
 - ◆ **fx_pt_add_rnd.v** 完成三種設定(SN)，且其中 **AIW**、**AFW**、**BIW**、**BFW**、**SFW** 皆能參數化。 (80分)
 - ◆ **fx_pt_add_rnd_tb.v** 依照以下達成的目標加分，最高加 18 分。
 - 各種設定(SN)，各種 **AIW**、**AFW**、**BIW**、**BFW**、**SFW** 皆能大量輸入資料自動化測試比對 (測試檔也參數化)。 (加 18 分)
 - 只能針對一種設定(SN)，一種 **AIW**、**AFW**、**BIW**、**BFW**、**SFW** 進行大量自動化比對 (測試檔無法參數化)。 (加 10 分)
 - 只有辦法利用幾筆測試資料進行測試。 (加 5分)

SIP HW1 : Uploading Results (2/2)

- ▶ A PowerPoint document (**30%**):

- ◆ IP 設計的演算法(方法): 可以用 pseudocode、流程圖、方塊圖或架構圖呈現
- ◆ 測試檔的演算法(方法): 可以用 pseudocode、流程圖、或方塊圖呈現
- ◆ 測試波形檔 (截圖) 並簡易說明
- ◆ Code coverage result (截圖) 與分析
- ◆ **各組員負責工作與貢獻度% (個人一組不需要提供這一項)**
- ◆ **不需要把 Verilog code 貼上去**

- ▶ 上述的檔案(**fx_pt_add_rnd.v**、**fx_pt_add_rnd_tb.v**、**PowerPoint**)
請以組為單位上傳到EClass 作業區(HW1) (**deadline: 11/23, 23:59**)

- ▶ 如果是採用檔案比對測試方式請將使用的檔案一併上傳，並在 PowerPoint 中說明使用方式。

Hint 1 :

- ▶ 多種表示法(**SN**)的設定建議使用以下語法：

```
generate
  case(SN)
    0: begin : unsgn_cond
      ...
    end
    1: begin : sgn_2S_cond
      ...
    end
    default:
      begin : sgn_mag_cond
        ...
      end
    endcase
  endgenerate
```

Hint 2 :

- ▶ **IP** 與 **測試檔** 由不同組員負責設計與撰寫，之前不進行討論，如此可以交互驗證各自想法的正確性。**(Create scenarios that engineers do not anticipate.)**
- ▶ **測試檔** 可以利用 **real**, **integer**, **reg signed** 等暫存器資料型態宣告所需的變數，並利用浮點數算後求出正確答案，再將其結果轉換為 **reg** 資料型態與 **IP** 結果進行比對。
- ▶ **測試檔** 中四捨五入的運算可以藉由以下兩個 **System Task** 來完成:
 - ▶ **\$floor(x)** : 將浮點數 x 下取到整數 **(注意負數的取法)**
 - ▶ **\$floor(2.06) = 2**
 - ▶ **\$floor(-2.06) = -3**
 - ▶ **\$ceil (x)** : 將浮點數 x 上取到整數 **(注意負數的取法)**
 - ▶ **\$ceil(2.06) = 3**
 - ▶ **\$ceil(-2.06) = -2**

如何利用這兩個 System Task 完成四捨五入呢?

遭遇的問題：

```
3 parameter SN = 1;
4 parameter AIW = 2;
5 parameter AFW = 5;
6 parameter BIW = 4;
7 parameter BFW = 6;
8 parameter SIW = (AIW>BIW)? AIW+2:BIW+2;
9 parameter SFW = 6;
10
11 input [AIW+AFW-1:0] a;
12 input [BIW+BFW-1:0] b;
13 output [SIW+SFW-1:0] sum;
14
15 parameter EXT_F1 = (AFW>BFW)? AFW : BFW;
16 parameter EXT_F2 = (SFW>EXT_F1)? SFW: EXT_F1;
```

```
63         if((EXT_F2-SFW)>0)
64             if(!sum_tmp[EXT_F2-SFW-1])
65                 _____
66             else if(sum_tmp[EXT_F2-SFW-1:0]=={1'b1,{(EXT_F2-SFW-1){1'b0}}})
67                 _____
68             else
69                 _____
70         else
71             _____
```

```
Warning-[SI0B] Select index out of bounds
../rtl/fx_pt_add_rnd_bad.v, 64
"sgn_2S_cond.sum_tmp[((EXT_F2 - SFW) - 1)]"
The select index is out of declared bounds : [11:0].
In module instance : inst1
In module : fx_pt_add_rnd.
```

```
Error-[IRIPS] Illegal range in part select
../rtl/fx_pt_add_rnd_bad.v, 66
The range of the part select is illegal:
sgn_2S_cond.sum_tmp[(((EXT_F2 - SFW) - 1):0)]
```

```
Error-[NMCM] Negative multiconcat multiplier
../rtl/fx_pt_add_rnd_bad.v, 66
Multiconcat multiplier cannot be negative value.
Source info: {(((EXT_F2 - SFW) - 1){1'b0})}
```

遭遇的問題(解決I)：

```
3 parameter SN = 1;
4 parameter AIW = 2;
5 parameter AFW = 5;
6 parameter BIW = 4;
7 parameter BFW = 6;
8 parameter SIW = (AIW>BIW)? AIW+2:BIW+2;
9 parameter SFW = 6;
10
11 input  [AIW+AFW-1:0] a;
12 input  [BIW+BFW-1:0] b;
13 output [SIW+SFW-1:0] sum;
14
15 parameter EXT_F1 = (AFW>BFW)? AFW : BFW;
16 parameter EXT_F2 = (SFW>=EXT_F1)? SFW+1 : EXT_F1;
```

```
63         if((EXT_F2-SFW)>0)
64             if(!sum_tmp[EXT_F2-SFW-1])
65                 _____
66             else if(sum_tmp[EXT_F2-SFW-1:0]=={1'b1,{(EXT_F2-SFW-1){1'b0}}})
67                 _____
68             else
69                 _____
70         else
71             _____
```


遭遇的問題(解決II) (1/4) :

```
1 module fx_pt_add_rnd(a, b, sum);
2
3 parameter SN = 1;
4 parameter AIW = 2;
5 parameter AFW = 5;
6 parameter BIW = 4;
7 parameter BFW = 6;
8 parameter SIW = (AIW>BIW)? AIW+2:BIW+2;
9 parameter SFW = 3;
10
11 input  [AIW+AFW-1:0] a;
12 input  [BIW+BFW-1:0] b;
13 output [SIW+SFW-1:0] sum;
14
15 parameter EXT_F1 = (AFW>BFW)? AFW : BFW;
16 parameter EXT_F2 = (SFW>=EXT_F1)? SFW : EXT_F1;
17
18 parameter SC = (SN==0)? ((SFW>=EXT_F1)? 1 : 0):
19                  (SN==1)? ((SFW>=EXT_F1)? 3 : 2):
20                  ((SFW>=EXT_F1)? 5 : 4);
```

遭遇的問題(解決II) (2/4) :

```
22 generate
23
24 case(SC)
25
26 0: begin : unsgn_cond
27
28
29
30     always@(*)
31     begin
32         if(sum_tmp[EXT_F2-SFW-1]==1'd1)
33
34         else
35
36     end
37
38 end
39
```

```
39
40 1: begin : unsgn_cond_SFW_max
41
42     always@(*)
43     begin
44
45     end
46
47 end
48
```

遭遇的問題(解決II) (3/4) :

```
48
49 2: begin : sgn_2S_cond
50
51
52     always@(*)
53     begin
54         if(sum_tmp[SIW+EXT_F2-1])
55             if(!sum_tmp[EXT_F2-SFW-1])
56
57                 else if(sum_tmp[EXT_F2-SFW-1:0]=={1'b1,{(EXT_F2-SFW-1){1'b0}}})
58
59                 else
60
61
62     else
63         if(sum_tmp[EXT_F2-SFW-1])
64             |
65         else
66
67     end
68
69 end
70
```

```
71 3: begin : sgn_2S_cond_SFW_max
72
73
74
75     always@(*)
76     begin
77         if(sum_tmp[SIW+EXT_F2-1])
78
79         else
80
81     end
82
83 end
84
```

遭遇的問題(解決II) (4/4) :

```
85 4: begin : sgn_mag_cond
86
87
88
89     always@(*)
90     begin
91         if(sum_mag[EXT_F2-SFW-1]==1'd1)
92
93         else
94
95         end
96     end
97 end
98
```

```
99 default:
100     begin : sgn_mag_cond_SFW_max
101
102
103     always@(*)
104     begin
105
106     end
107 end
108 endcase
109 endgenerate
110 endmodule
111
112
113
114
```