

BJT, MOSFET, OP-AMP 트랜지스터를 활용한 전자회로

김재환¹

¹ Department of Physics & Astronomy, Seoul National University, Seoul 08858 Korea
September 04, 2020

본 보고서에서는 전자 소자 중 가장 널리 쓰이는 비선형 소자들을 이용한 기본 실험들을 진행했다. Bipolar Junction Transistor(이하 BJT)와 MOSFET의 특성 곡선을 구해 각 소자의 특성을 이해할 수 있었고, 이를 이용한 Common Emitter Amplifier를 구성해 입력신호의 증폭이 잘 일어나는지 확인했다. 또, OP-AMP를 이용해 반전 증폭기, 더하기 회로 등의 다양한 회로를 구성하고 확인함으로써 전자실험의 기초를 다질 수 있었다.

I. Introduction

트랜지스터는 크게 Base의 전류로 출력전류를 제어하는 BJT와 Base의 전압으로 출력 전류를 제어하는 FET 종류로 나뉠 수 있다. 본 실험에서는 BJT 중 NPN 트랜지스터 2N3904와 PNP 트랜지스터 2N3906의 특성곡선과 MOSFET 중 ZVN2110A의 특성을 얻었고, 이를 이용한 Common Emitter Amplifier를 구성했다. 또, OP-AMP인 OP97를 이용해 반전 증폭기 더하기 회로 등의 다양한 회로를 구성하고 확인하였다.

A. Basic NPN Common Emitter Amplifier

BJT는 BE에 역방향 바이어스가 걸리고, BC에 순방향 바이어스가 걸렸을 때 Active mode에서 동작하고, Base로 흘러 들어가는 전류 I_B 가 β 배 증폭되어 Collector로 전류 I_C 로 흘러 나간다.

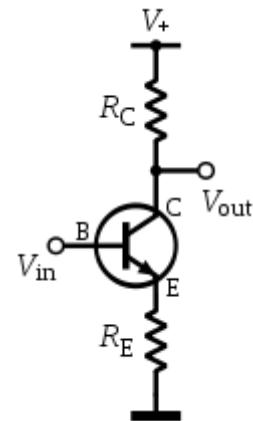


그림 1 Common Emitter Amplifier

위의 회로에서 B에 전압 V_{in} 이 가해졌을 때, β 가 매우 큰 이상적인 트랜지스터의 경우 I_C 를 I_B 로 근사할 수 있고, 따라서 전압 이득 $V_{out}/V_{in} = -R_C/R_E$ 임을 쉽게 알 수 있다. 본 실험에서 사용한 증폭기는 안정화를 위해 더 많은 소자를 사용하였고, 그 회로에 대한 논의는 Discussion에서 다룬다.

B. OP-AMP Amplifier

OP-AMP를 사용한 대표적 응용회로로 연산 증폭기가 있다.

B1. Inverting Amplifier

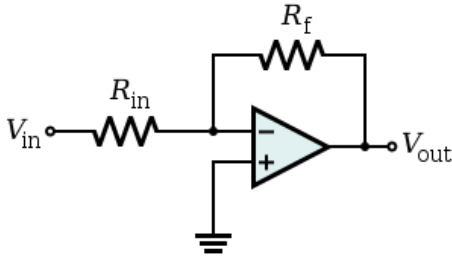


그림 2 inverting amplifier

이상적인 OP-AMP 에서 $V_+ = V_-$ 이므로 R_{in} 양단에 걸리는 전압은 V_{in} 이고, $I_{in} = V_{in}/R_{in}$ 이다. 이상적인 OP-AMP 를 가정하면, $I_{bias} = 0[A]$ 이므로, R_f 에도 같은 양의 전류가 흐르고, 따라서 다음 식을 얻을 수 있다.

$$V_{out} = -R_f I_{in} = -R_f / R_{in} V_{in}$$

즉, 반전 연산 증폭기의 이론적인 전압 증폭비는 $-R_f/R_{in}$ 이다. 위상이 반대로 증폭된다고 하여 반전 증폭기라는 이름이 붙게 되었다.

B2. Non-Inverting Amplifier

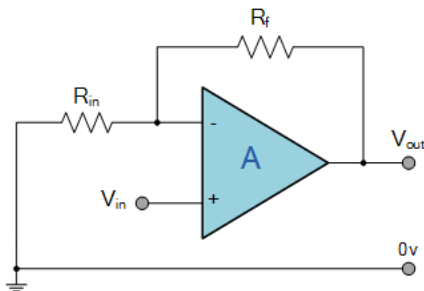


그림 3 Non inverting Amplifier

이상적인 OP-AMP 라면 R_{in} 의 양단에 걸리는 전압은 V_{in} 이고, V_{in}/R_{in} 의 전류가 흐른다. 같은 전류가 R_f 에도 흐르므로, $V_{out} = V_{in}(R_f + R_{in})/R_{in}$ 이고, 같은 위상으로 $(R_f + R_{in})/R_{in}$ 배 증폭된다.

II. Method

본 실험에서는 계측 기기로 Digilent 사의 AD2 를 사용했으며 Digilent 사에서 제공하는 WaveForms 프로그램으로 측정했다. 특별한 언급이 없는 한, 회로도에 표기된 소자를 사용했으며, OP-AMP 의 V_p 와 V_n 은 각각 +5[V], -5[V]로 공급했다.

A. BJT 및 NMOSFET 의 기본 원리

A1. BJT 의 특성

두 종류의 BJT, 2N3904, 2N390 에 대해서 BJT 의 특성을 파악했다.

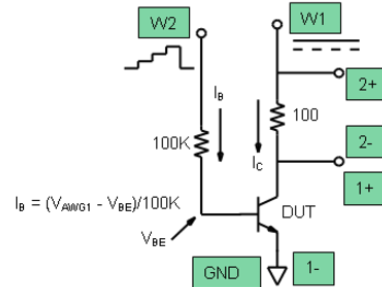


그림 4 BJT 특성곡선 회로

위 회로에서 차례로 DUT 를 2N3904 과 2N3906 으로 설정하고 W2 의 입력전압으로 0.6[V] 부터 4.6[V]까지 0.5[V]씩 증가하는 계단 함수를 진동수 40[Hz]로 가했다. W1 은 진폭 2.5[V], 200[Hz], offset 2.5[V]의 삼각파를 생성했다. I_B , I_C , V_{CE} 를 측정하여 $I_B - I_C$ 그래프의 선형회귀를 통해 전류 증폭비 β 를 얻었다. 또, $I_C - V_{CE}$ 의 특성곡선을 얻고 Saturation mode 과 Active mode 이 나옴을 확인하였다. 같은 곡선의 Active mode 부분을 선형 회귀하고 x 절편을 구해 Early Voltage 를 얻었다.

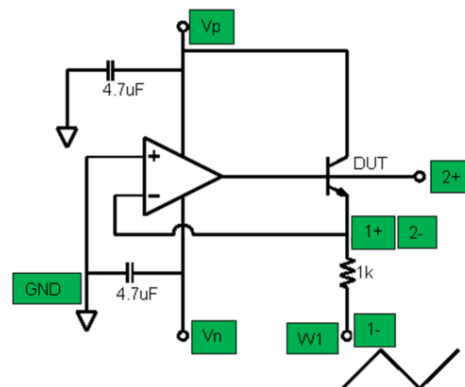


그림 5 BJT 특성곡선 회로

위 회로에서 DUT 를 2N3904, 2N3906 으로 설정했다. W1 에 진폭이 2[V] 이고 진동수가 100[Hz]인 삼각파를 발생시키고 V_{BE} 에 따른 I_E 를 측정했다.

A2. NMOS FET 의 특성

NMOS FET 의 한 종류인 ZVN2110A 를 이용해 NMOS FET 의 특성을 파악했다.

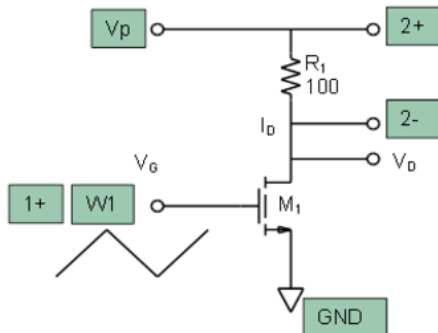


그림 6 MOSFET 특성곡선 회로

위 회로에서 M1 를 ZVN2110A 로 설정하고 W1 에 offset 이 1.25[V]이고 진폭이 1.25[V], 진동수가 100[Hz]인 삼각파를 발생시켰다. V_p 는 5[V]를 공급했으며 V_{DS} 에 따른 I_D 를 측정해 특성곡선을 분석했다.

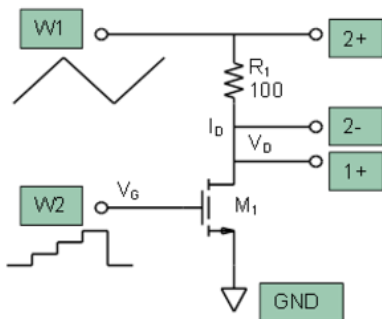


그림 7 MOSFET 특성곡선 회로

위 회로에서 M1 을 ZVN2110A 로 설정하고 W2 에는 1.7[V]부터 4.7[V]까지 0.375[V]씩 증가하는 계단 함수를 진동수 20[Hz]로 가했다. W1 에는 진동수 100[Hz]이고 진폭 1.5[V], offset 1.5[V]인 삼각파를 생성시켰다. V_{DS} 와 $I_D R_1$ 의 그래프는 그려 MOSFET 의 전압을 통한 전압의 제어가 잘 되는지 확인했다.

B. Common Emitter Amplifier 관련 실험

B1. Common Emitter Amplifier

Common Emitter Amplifier 을 구현해 입력 신호에 대해 출력전압을 확인하였다.

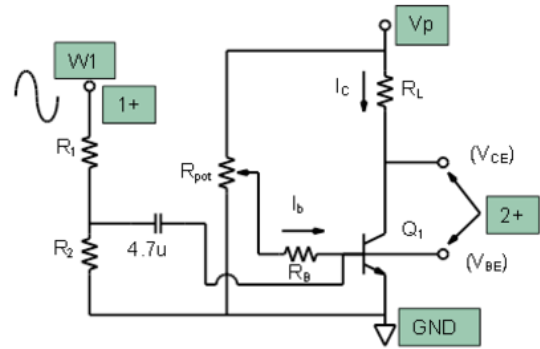


그림 8 Common Emitter Amplifier

위 회로에서 $R_L = 1[k\Omega]$, $R_{pot} = 10[k\Omega]$, $R_B = 220[\Omega]$, $R_1 = R_2 = 1[k\Omega]$ 로 설정했다.

가변저항을 세가지로 바꿔가며 시간에 따른 V_{in} 와 V_{BE} 그래프와 그에 대응하는 시간에 따른 V_{in} 와 V_{CE} 사이의 그래프를 구해 각 그래프를 분석했다.

B2. 변형된 Common Emitter Amplifier

OP-AMP 를 이용해 B1 의 회로를 변형해 B1 의 회로보다 더 안정적으로 잘 동작하는 것을 확인했다.

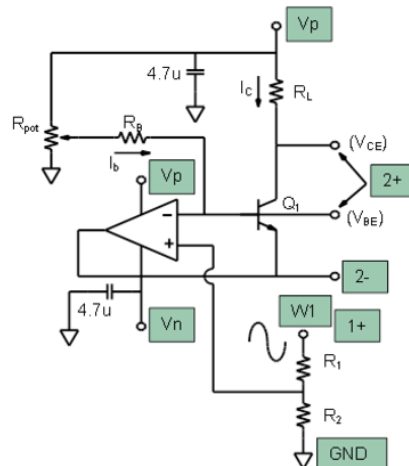


그림 9 Modified Common Emitter Amplifier

실험 B1 과 동일한 저항 조건에서 실험을 진행했다. Op-Amp 를 이용한 변형된 Common Emitter Amplifier 에서 B1 과 동일한 W1 전압을 가했다. V_{BE} 와 V_{CE} 를 측정해 전압 증폭을 확인했다.

B3. Self biased configuration with negative feedback

보다 안정적인 증폭을 위해 증폭기에 음성피드백을 추가한 회로를 구성했다.

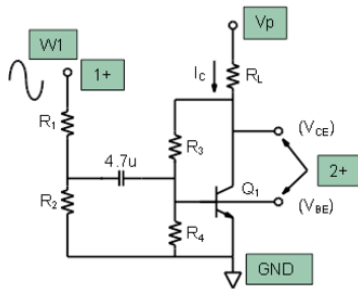


그림 10 Self biased configuration with negative feedback 회로

위 회로에서 $R_1 = R_2 = R_L = 1[k\Omega]$, $C = 1[\mu F]$, $R_3 = 4.7[k\Omega]$, $R_4 = 1.2[k\Omega]$ 로 설정했다. W1에 진폭 1.5[V]인 Sine 파를 발생시켜 V_{BE} , V_{CE} 를 측정해 더 안정적인 결과를 얻는지 확인했다.

C. OP-AMP 관련 실험

OP-AMP를 이용한 다양한 응용 회로를 구성하고 특성을 파악했다.

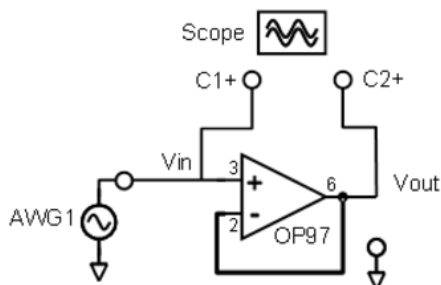
C1. Unitary-Gain Amplifier

그림 11 Unitary-Gain Amplifier 회로

이상적인 Op-Amp라면 Gain이 매우 크므로, 2번 단자와 3번 단자의 Voltage가 같게 유지되어야 하고, 마찬가지로 6번 단자와 전압이 같으므로, V_{in} 와 V_{out} 의 전압은 같아야 한다. W1의 전압을 1[kHz]이며 진폭이 1[V]인 sine 파를 생성했다. V_{in} 과 V_{out} 을 측정해 두 전압이 정확히 일치하는지 확인했다.

C2. Slew Rate Limitations

C1과 같은 회로에서 V_{in} 의 시간에 대한 변화율이 매우 클 경우 OP-AMP가 어떻게 반응하는지를 조사했다. V_{in} 에 진동수 20[kHz]이고 진폭이 1[V]인

사각파를 발생시켜 V_{in} 에 대한 V_{out} 의 그래프를 그렸다.

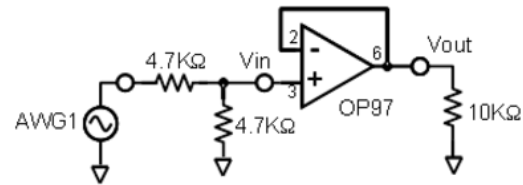
C3. Buffering Example

그림 12 Buffering Example 회로

위 회로에서 출력저항을 1[kΩ]에서 10[kΩ]로 증가시켜 출력저항의 큰 변화에도 OP-AMP가 이상적인 전압을 공급하는지 확인했다.

C4. Inverting Amplifier

OP-AMP를 이용한 Inverting Amplifier를 구성했다.

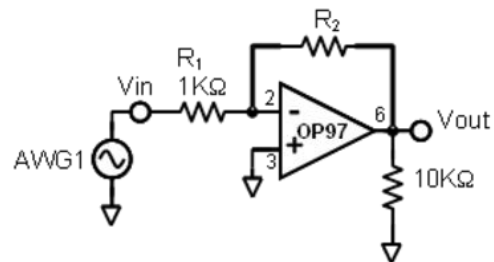


그림 13 Inverting Amplifier 회로

위의 회로에서 저항 R_2 를 4.7[kΩ]로 설정하고, AWG1에 진폭 0.56[V]이고 진동수 1[kHz]인 Sine 파를 발생시켰다. V_{in} 과 V_{out} 를 측정해 위상이 뒤집히고 전압이 증폭되었는지 확인했다.

C5. Output Saturation

C5의 실험에서 V_{in} 의 진폭을 1[V]로 하여 OP-AMP의 출력한계를 넘겼을 때 V_{out} 을 측정해 output saturation이 일어나는지 확인했다.

C6. Summing Amplifier

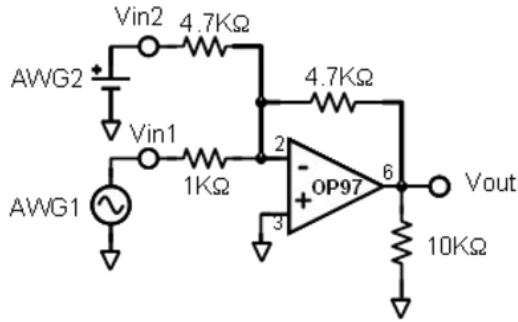


그림 14 Summing Amplifier 회로

위의 회로에서 AWG1의 V_{in} 을 진폭이 500[mV]이며 진동수가 1[kHz]인 Sine 파를 발생시키고, AWG2에는 800[mV]의 DC 전압을 가했다. V_{in} 과 V_{out} 의 시간에 따른 그래프를 그려 두 신호가 잘 합성되었는지 확인했다.

C7. Non-Inverting Amplifier

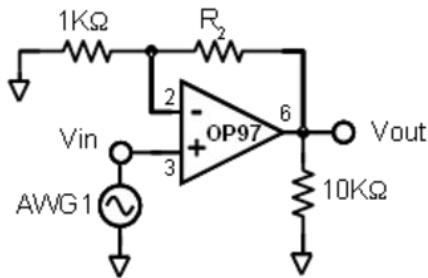


그림 15 Non-Inverting Amplifier 회로

위 회로에서 R_2 를 2.5[kΩ]로 설정하고, V_{in} 에 진폭 1[V], 진동수 1[kHz]의 Sine 파를 가했다. V_{in} 과 V_{out} 를 측정해 같은 위상으로 증폭되었는지 확인했다.

III. Results

A. BJT 및 NMOS FET의 기본 특성

A1. BJT의 특성

I_B 에 대한 I_C 의 그래프는 다음과 같다.

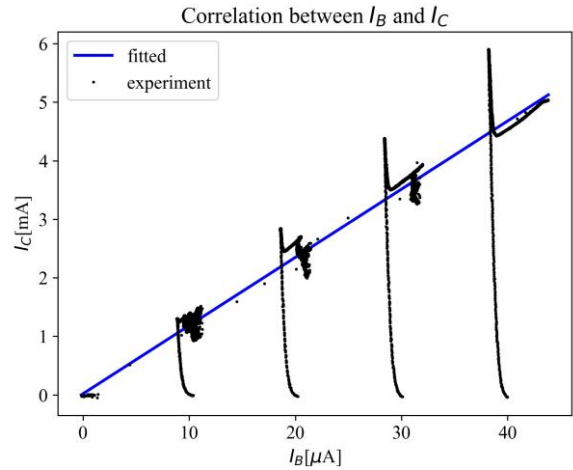


그림 16 2N3094 특성곡선 $y = (0.000020) + (116.415443) * x$, $r^2 = 0.849134$

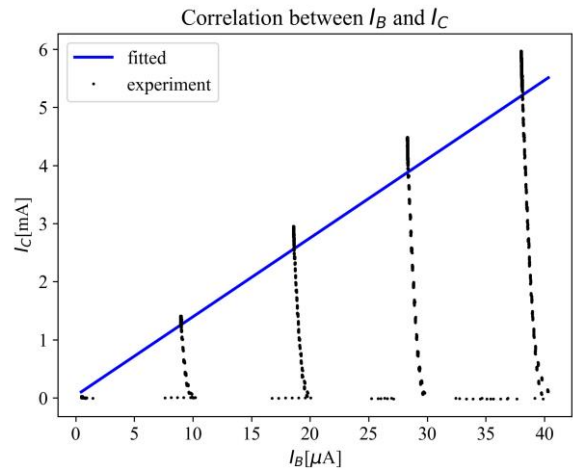


그림 17 2N3906 특성곡선 $y = (0.000038) + (135.701262) * x$, $r^2 = 0.821570$

위 그래프에서 Saturation mode를 제외한 부분에서 선형회귀한 기울기로 증폭비 β 를 구했다.

$$\beta_{2N3904} = 116$$

$$\beta_{2N3906} = 136$$

Datasheet에서 찾은 범위 내에 들어감을 확인했다.

V_{CE} 에 따른 I_C 의 그래프는 다음과 같이 구해졌다. V_{CE} 가 0[V] 근방에서 매우 큰 저항을 보이는 Saturation mode가 나타났고, 0.2[V] 이상의 Active mode에서는 I_B 가 정상적으로 증폭되었다.

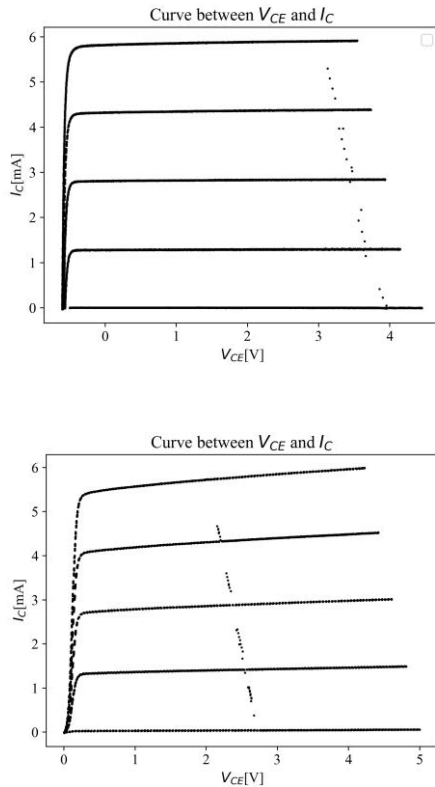


그림 18 2N3904, 2N3906 특성곡선.

2N3904의 그래프에서 W2의 전압이 4.6[V]일 때 Active mode에서 선형회귀선의 x 절편을 통해 $-V_A$ 를 얻었다.

$$-V_A = -306[\text{V}]$$

$$\beta V_A = 35496[\text{V}]$$

마찬가지로 2N3906의 그래프에서 W2의 전압이 4.6[V]일 때 Active mode에서 선형회귀선의 x 절편을 통해 $-V_A$ 를 얻었다.

$$-V_A = -46.5[\text{V}]$$

$$\beta V_A = 35496[\text{V}]$$

트랜지스터의 datasheet에 V_A 값이 나와있지 않아 참값과의 비교를 할 수 없었다.

V_{BE} 에 따른 I_E 를 측정한 결과는 다음과 같다.

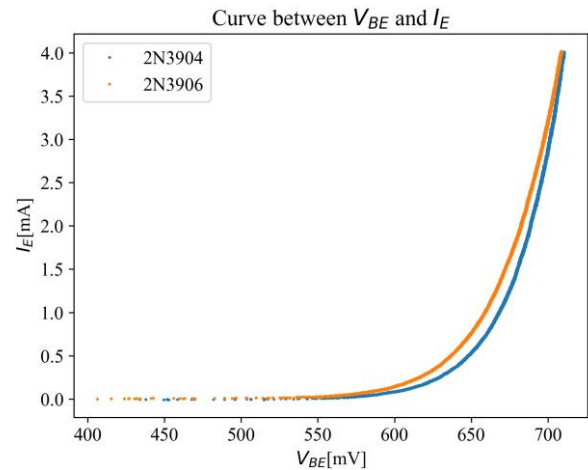


그림 19 BJT 특성곡선

A2. NMOS FET의 특성

V_{DS} 에 따른 I_D 의 그래프는 다음과 같다.

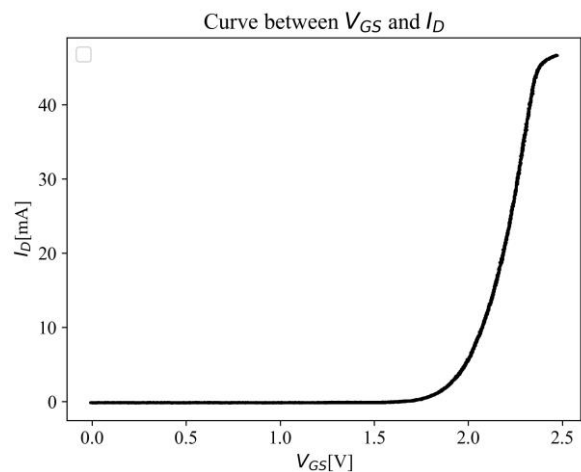


그림 20 NMOSFET 특성곡선

즉, V_{GS} 가 1.7[V]보다 작으면 pinch off 상태가 되어 Drain에서 전류가 흐르지 못하다가, 전압이 1.7[V]를 넘으면 전류가 흐르기 시작하고 2.5[V]가 되었을 때 포화상태에 이르러 더 이상 전류가 증가하지 않는다. 즉, 전류를 Gate의 전압으로 조절하는 것을 확인할 수 있으며 문턱전압은 $V_{th} = 1.7[\text{V}]$ 로 측정되었다.

V_{DS} 와 $I_D R_1$ 의 그래프는 다음과 같다.

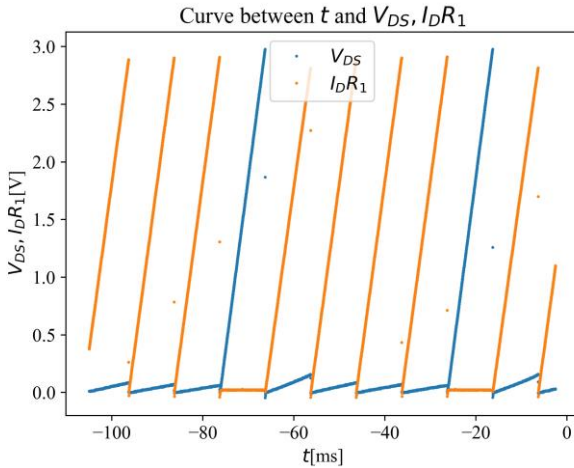


그림 21 NMOSFET 시간에 따른 전압곡선

Drain의 전압이 1.7[V]일때에는 I_D 가 거의 흐르지 않아 거의 0[V]에 수렴하게 나오는 반면, 전압이 1.7[V]을 넘으면 V_{DS} 가 0[V]에 수렴함을 알 수 있다.

B. Common Emitter Amplifier 관련 실험

B1. Common Emitter Amplifier

가변저항을 세가지로 바꿔가며 시간에 따른 V_{in} 와 V_{BE} 그래프와 그에 대응하는 시간에 따른 V_{in} 와 V_{CE} 사이의 그래프를 구했고, 이는 다음과 같다.

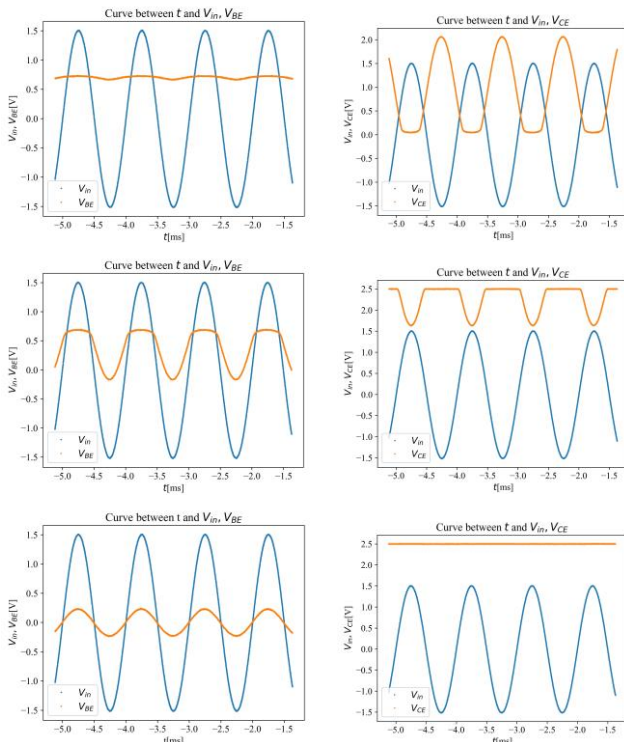


그림 22 Common Emitter Amplifier 시간에 따른 입력, 출력 전압 곡선

(a)의 경우, V_{BE} 가 0.7[V]로 유지되는 것을 볼 수 있고, V_{CE} 가 0.2[V] 이상인 경우 Active mode, V_{CE} 가 0.2[V]보다 작은 경우는 Saturation mode 이므로 Active mode 에서는 sine 형태를 보이고, Saturation mode 에서는 완만해지는 형태를 보인다.

(b)의 경우, V_{BE} 가 0.7[V]인 영역에서만 V_{CE} 가 증폭되고, (c)의 경우에는 V_{BE} 가 0.7[V]보다 훨씬 작아 출력에 변화가 없다. $V_p - I_C R_L = V_{CE}$ 이므로, 위상이 π 만큼 차이나게 출력됨을 확인했다.

회로에서 C와 R_1, R_2 의 역할에 대해서는 Discussion에서 후술한다.

B2. 변형된 Common Emitter Amplifier

V_{BE} 와 V_{CE} 를 측정한 결과는 다음과 같다.

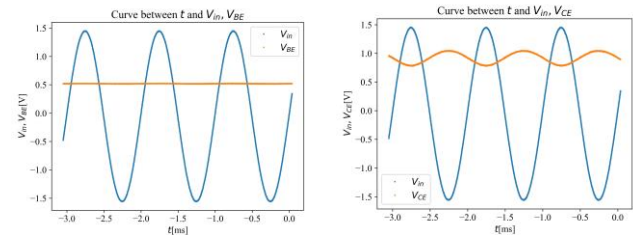


그림 23 Modified Common Emitter Amplifier 시간에 따른 입력, 출력 전압 곡선

동일한 저항 R_1, R_2 에 의해 분배된 전압 $W1/2$ 가 base의 전압과 같으므로 B1과는 다르게 안정적인 V_{BE} 값을 얻을 수 있고, V_{CE} 가 0.2[V]보다 큰 모든 경우에 Active mode에서 작동했다. 따라서 오른쪽의 Sine 형태가 그대로 유지되어 나온다. 회로에 대한 자세한 분석은 Discussion에서 다룬다.

B3. Self biased configuration with negative feedback

V_{BE}, V_{CE} 를 측정한 결과는 다음과 같다.

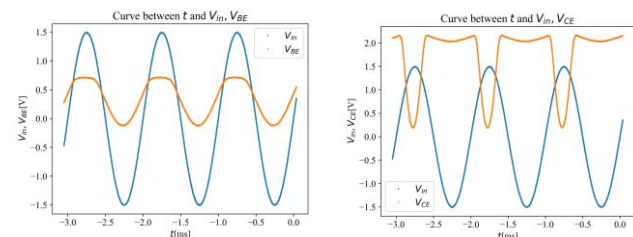


그림 24 Self biased configuration with negative feedback 시간에 따른 전압 곡선

Collector와 Base 사이에 R_3 가 연결되어 Base에 음성 피드백을 작용하는 회로이다. 음성 피드백이 효율적으로 I_C 를 안정화시키는 이유는 뒤의 Discussion에서 다룬다.

C. OP-AMP 관련 실험

C1. Uniry-Gain Amplifier

V_{in} 과 V_{out} 을 측정한 결과는 아래와 같고 두 전압이 정확히 일치했다.

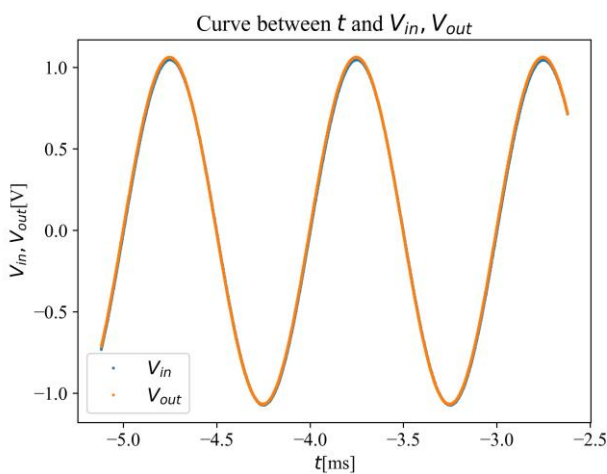


그림 25 Uniry-Gain Amplifier 전압곡선

C2. Slew Rate Limitations

진폭이 1[V]인 사각파를 발생시킨 결과 V_{in} 에 대한 V_{out} 의 그래프는 다음과 같다.

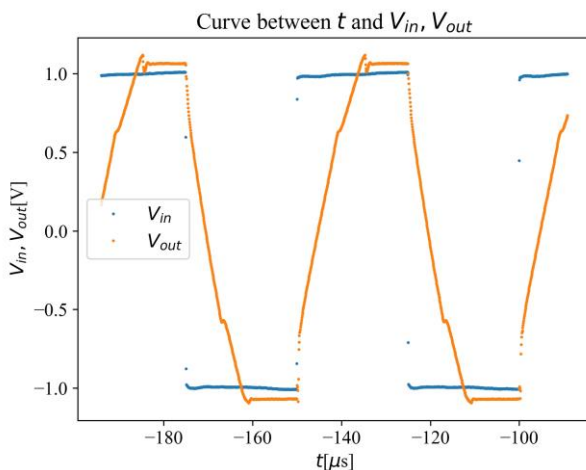


그림 26 Slew Rate Limitations 전압곡선

사각파와 같이 V_{in} 의 전압이 시간에 따라서 급격하게 바뀔 때에는 2번 단자와 3번 단자가 바로 같아지게 되지 않고, 같아지는데 일정한 시간이 걸림을 확인했다.

C3. Buffering Example

출력저항을 1[k Ω]에서 10[k Ω]로 증가시켜 Unitary-Gain Amplifier 실험을 반복한 결과, 두 경우 모두 입력과 같은 진폭의 전압이 출력됨을 확인했고, OP-AMP는 이상적인 전압 공급자의 역할을 해준다. 즉, buffer의 역할을 하게 된다.

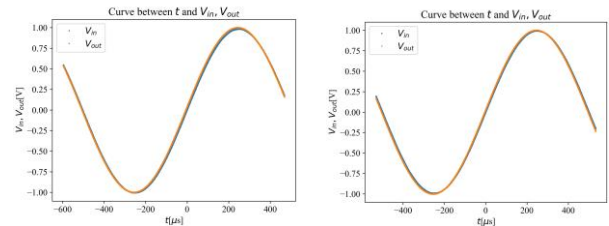


그림 27 Buffering Example 전압곡선

1[k Ω], 10[k Ω]

C4. Inverting Amplifier

V_{in} 과 V_{out} 의 시간에 따른 그래프는 아래와 같다.

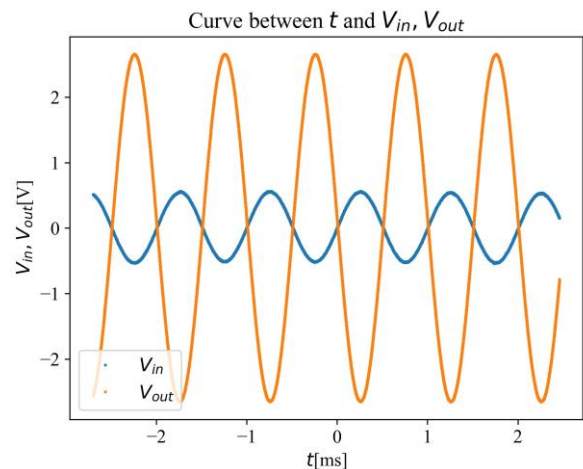


그림 28 Inverting Amplifier 전압곡선

V_{out} 의 전압 진폭은 2.65[V]이며 위상이 π 만큼 차이남을 확인했다. 따라서 증폭 비율은 $\alpha = 4.73[-]$ 이다. 한편 이론적인 증폭 비율은 $4.7[k\Omega]/1[k\Omega] = 4.7[-]$ 이므로 이론값과 잘 맞는다.

C5. Output Saturation

C5의 실험에서 V_{in} 의 진폭을 1[V]로 하여 다시 실험한 결과는 아래와 같다.

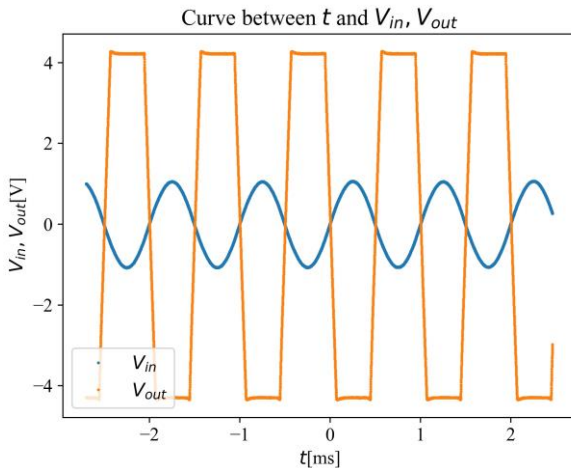


그림 29 Output Saturation 전압곡선

이론적인 V_{out} 의 진폭은 4.7[V]이나, Op-Amp의 출력 전압의 한계로 4.3[V]에서 그래프가 잘림을 확인했다.

C6. Summing Amplifier

V_{in} 과 V_{out} 의 시간에 따른 그래프는 다음과 같다.

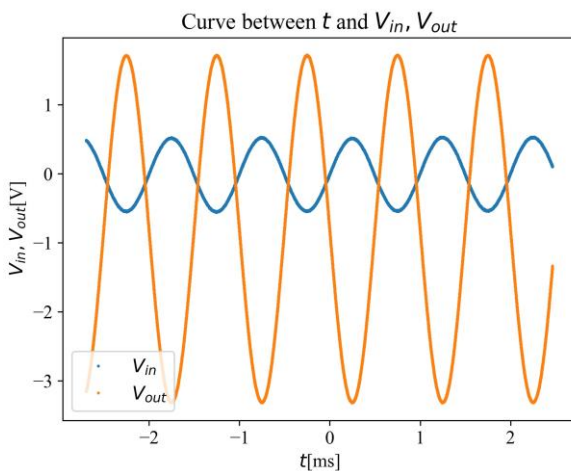


그림 30 Summing Amplifier 전압곡선

V_{out} 의 Sine 파는 고점이 1.7[V], 저점이 -3.32[V]이고 Sine 파의 평균이 -0.85[V]였다. 진폭은 2.09[V]이고, 증폭비는 4.17[-]배이다. 이론적인 증폭비는 4.7[-]배이고, Sine의 원점은 AVG2에 의해 -0.8[V]로 감소해야 한다. C4 보다는 큰 오차를 보이지만, 두 신호를 선형결합한 신호가 나옴을 확인했다.

C7. Non-Inverting Amplifier

V_{in} 과 V_{out} 의 시간에 대한 그래프를 다음과 같이 얻었다.

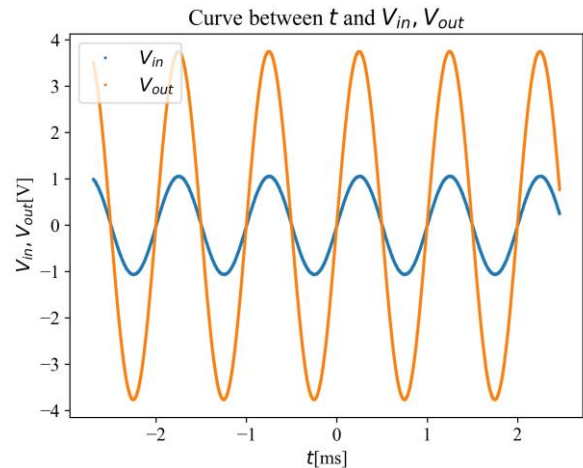


그림 31 Non-Inverting Amplifier 전압곡선

V_{in} 은 진폭이 1.06[V]로 측정되었고, V_{out} 은 진폭이 3.75[V]이고 같은 위상을 가진 Sine 파가 측정되었다. 증폭비는 3.53[-]이고, 이론적인 증폭비는 $1+2.5 = 3.5[-]$ 이므로 정확한 비율로 증폭됨을 확인했다.

IV. Discussion

A. Common Emitter Amplifier

A1. Common Emitter Amplifier 회로

회로의 가변 저항 R_{pot} 은 V_p 를 적절히 분배해 V_{BE} 에 0.7[V]의 전압이 안정적으로 가해지도록 하는 역할이다. 마찬가지로 R_B 의 역할도 Base에 걸리는 과도한 전압을 낮춰준다. R_1 , R_2 는 W1의 전압을 $R_1/(R_1 + R_2)V_{in}$ 로 분배해준다. BJT가 Active mode에 있다면, $V_{BE} = 0.7[V]$ 이므로, 축전기의 오른쪽 부분은 0.7[V]를 유지하고 있는데, W1의 분배된 전압이 축전기에 작용한다. 이 때 축전기는 DC 전류를 무시해주고, AC 전류만 흘러갈 수 있도록 해준다.

A2. Modified Common Emitter Amplifier

R_1 과 R_2 는 A1과 마찬가지로 전압을 분배해주고 분배된 전압은 OP-AMP의 V_+ 와 같다. 따라서 V_- 도 같은 전압을 가지게 되고, R_B 에 흐르는 전류 I_B 는 오직 V_{in} 의 선형적인 함수가 된다. 또, Active mode인

경우, $I_C = \beta I_B$ 이고, V_{CE} 는 안정적으로 증폭된 출력을 가진다.

B. Self biased configuration with negative feedback

회로에서 R_3 는 V_C 를 Base 에 피드백 한다. I_B 가 증가할 때, I_C 도 따라서 증가하면, $V_C = V_p - I_C R_L$ 이므로, V_C 는 감소하고, 다시 이 값이 Base 에 피드백 된다. 따라서 전류의 순간적인 증폭을 안정적으로 막아준다.

V. Conclusion

본 실험에서는 BJT 의 특성 곡선을 통해 Active mode 와 Saturation mode 를 구분했고, 어떤 조건에서 활성화되는지 확인했다. 또, MOSFET 의 특성곡선에서 pinch off 전압을 구했다. 또, 특성을 배운 트랜지스터를 이용한 Amplifier 를 만들고 다른 OP-AMP 를 추가해 더 개선하였다. 마지막으로 OP-AMP 를 이용한 다양한 회로를 실험해보면서 증폭기, 반전 증폭기, Saturation, Summing circuit 등의 동작원리와 이론을 다졌다.

REFERENCES

- [1] Analog Discovery 2TM Reference Manual. Digilent, 2015
- [2] Analog devices, Low-Power, High-Precision Operational Amplifier OP97 datasheet
- [3] Semiconductor Components Industries, PNP SILICON 2N3904, 2012.
- [4] Semiconductor Components Industries, PNP SILICON 2N3906, 2010.