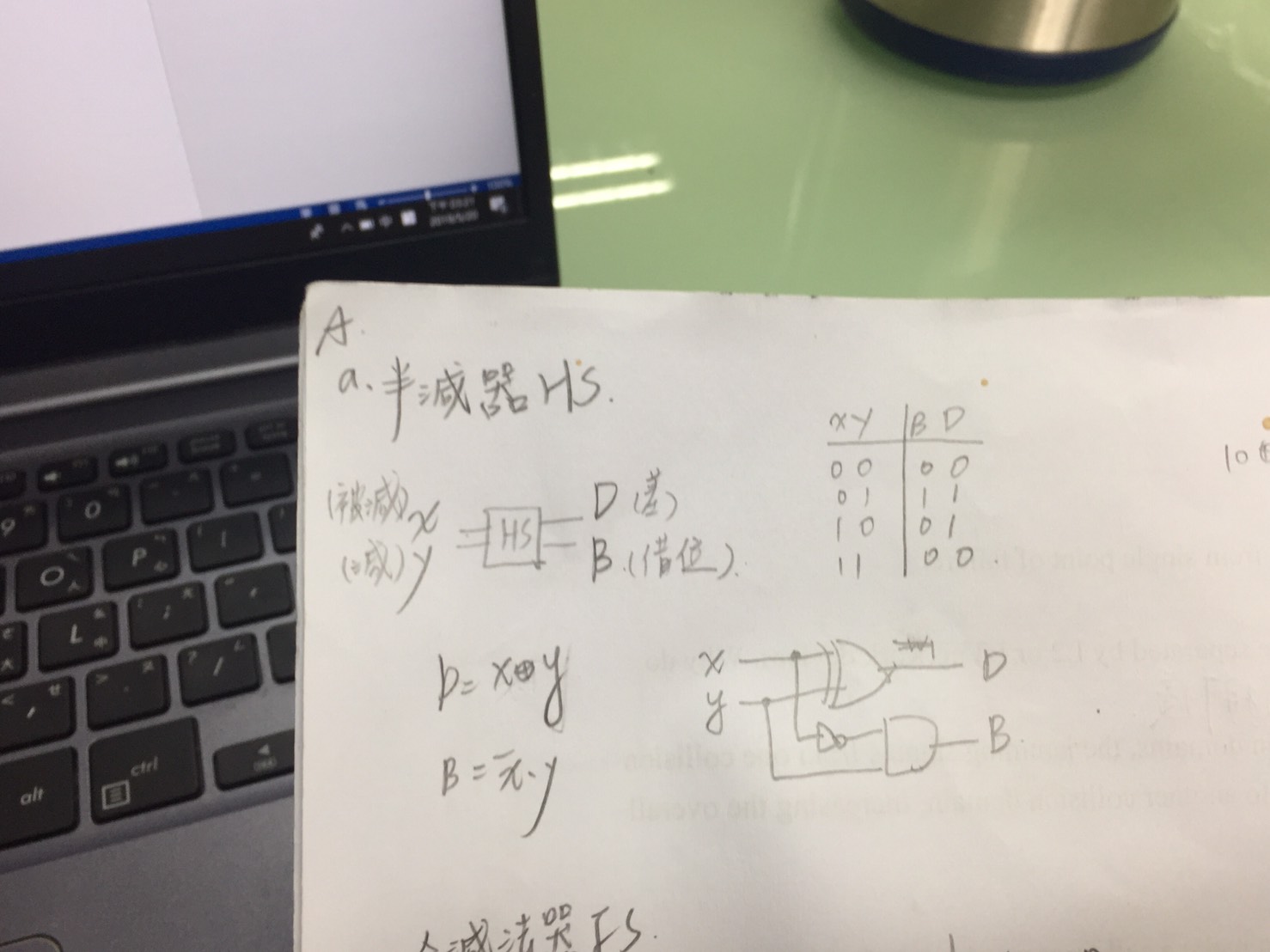
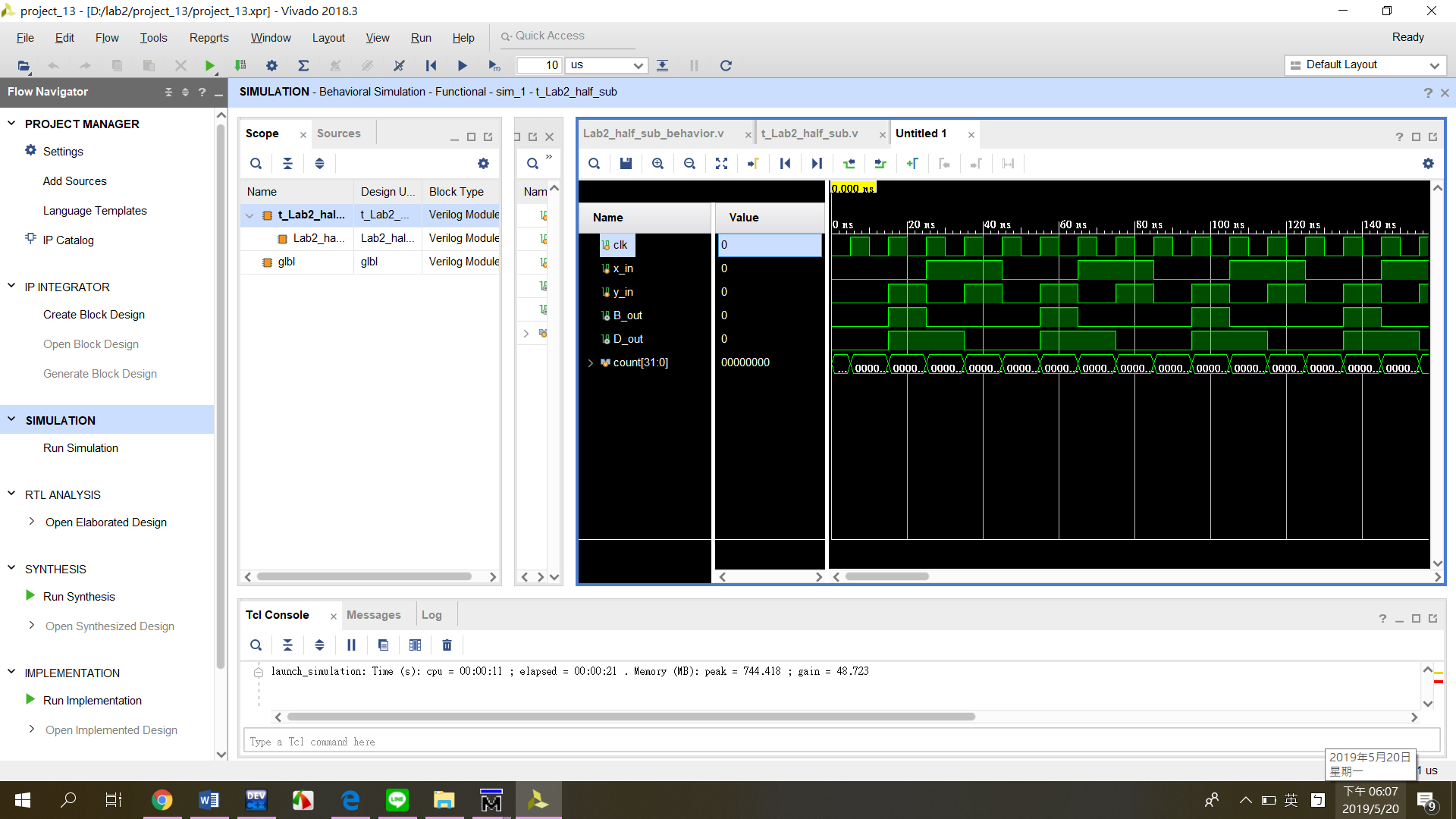
**Digital Circuit Design Lab2 0613144葉之晴**

**(1) 詳述半減器之電路設計流程，包括：真值表、布林代數式、邏輯電路圖。附上 2A(a)iv (半減器) 之模擬結果波形圖，並說明三個以不同方式撰寫之半減器電路模組之波形圖是否有差異及是否正確。(15%)**

如(圖一)的真值表可知，電路可以整理為b=x⊕y，以及B=x’y。

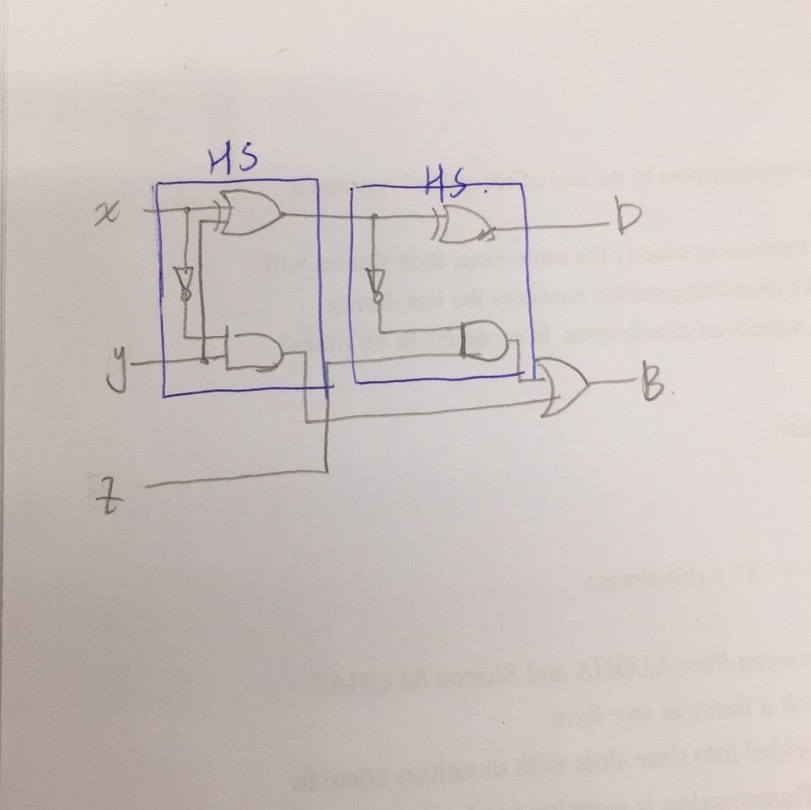
(圖一)

如(圖二)為半減器的波型圖，三組不同方式撰寫的電路圖並沒有任何差異，都是呈現相同的結果，因此為正確的呈現。

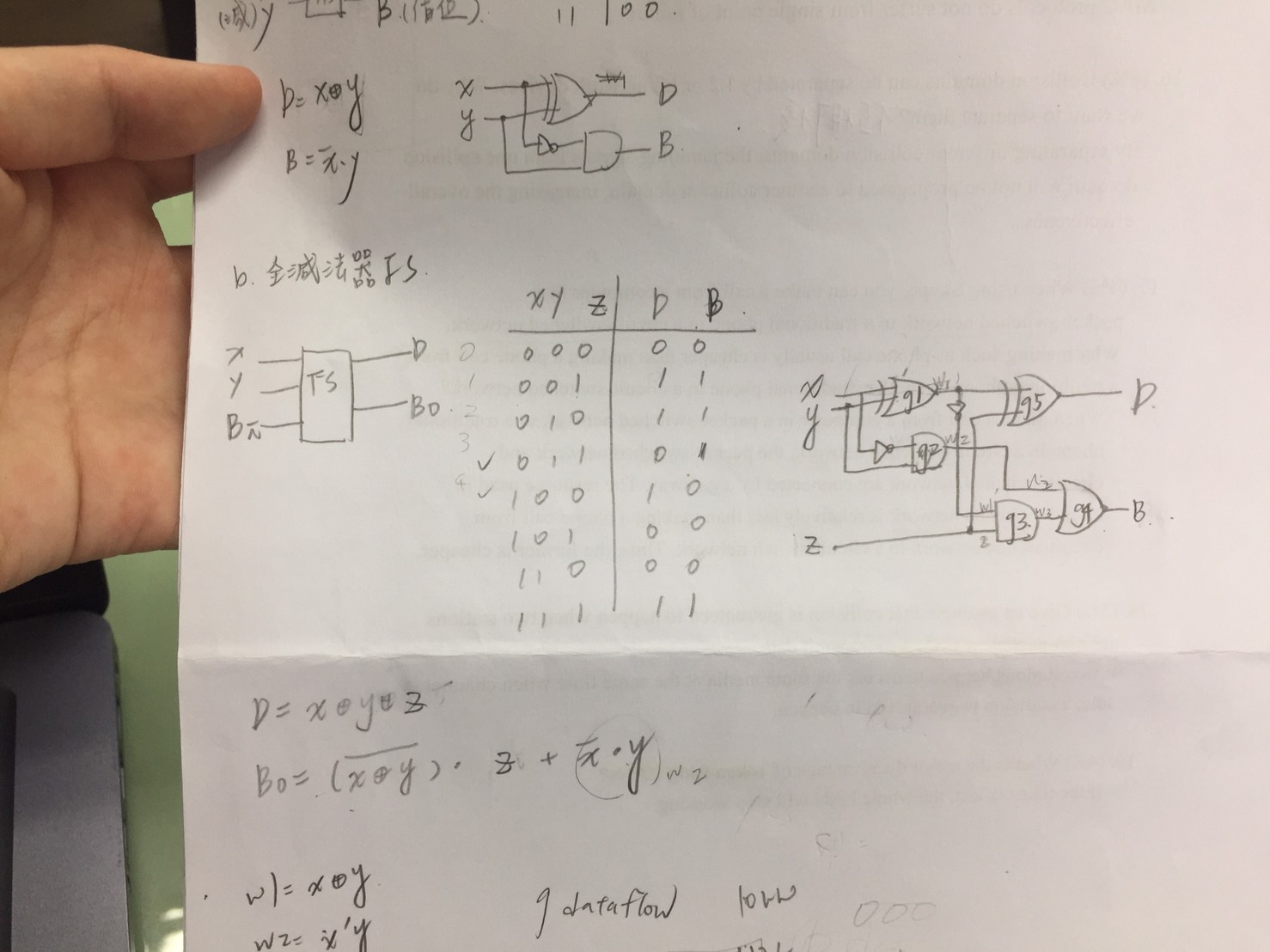
(圖二)

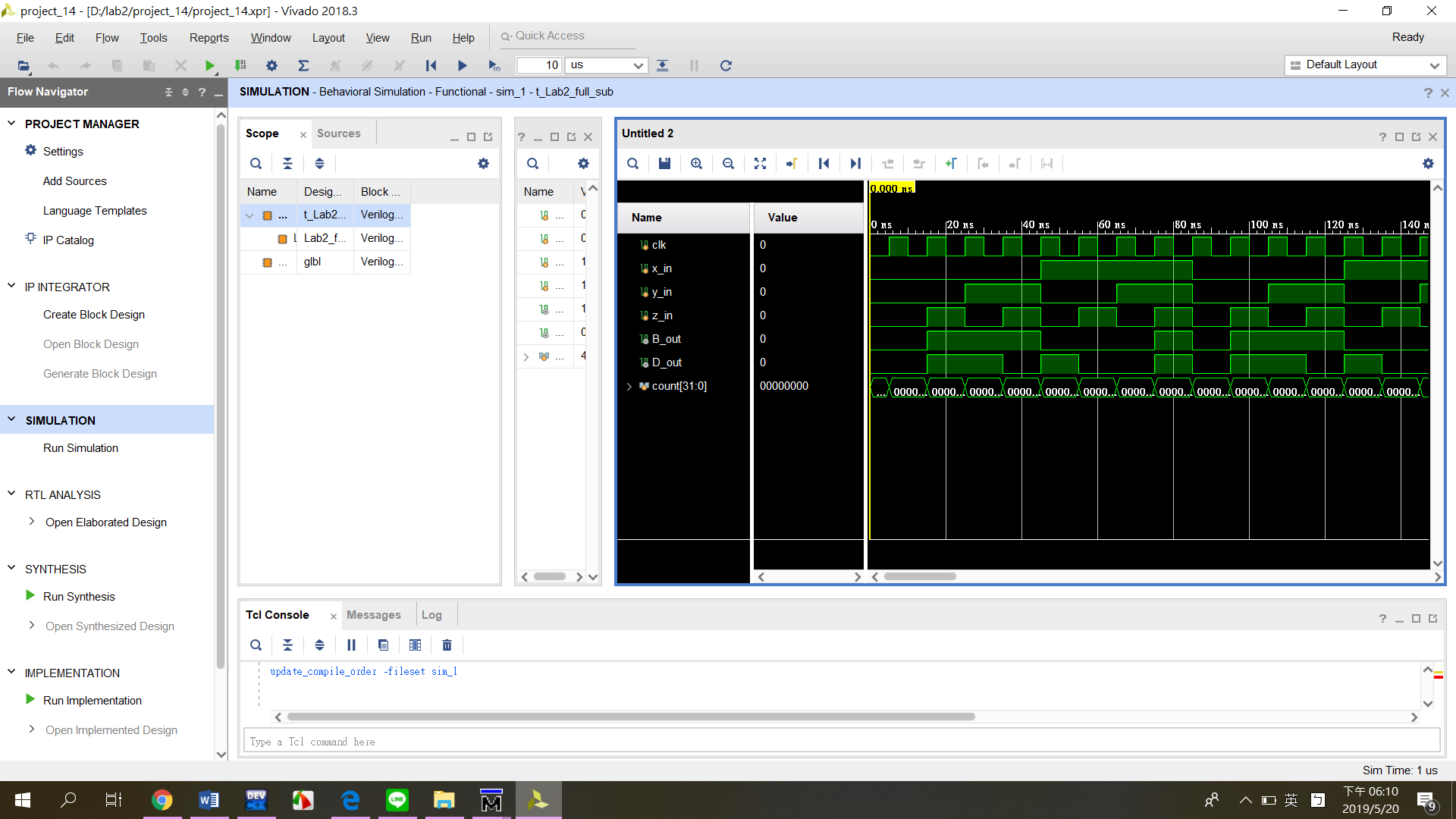
**(2) 詳述如何以半減器建構全減器，畫出電路方塊圖。附上 2A(b)ii (全減器) 之模擬 結果波形圖，並說明是否正確。(10%)**

如(圖三)電路圖表示，可以先利用一個半減器先做x和y，再以下一個半減器做z的部分，由書本理論可以知道xor是有結合律的，因此可以推論x⊕y⊕z可以拆解成(x⊕y)⊕z，也為相同的答案。

(圖三)

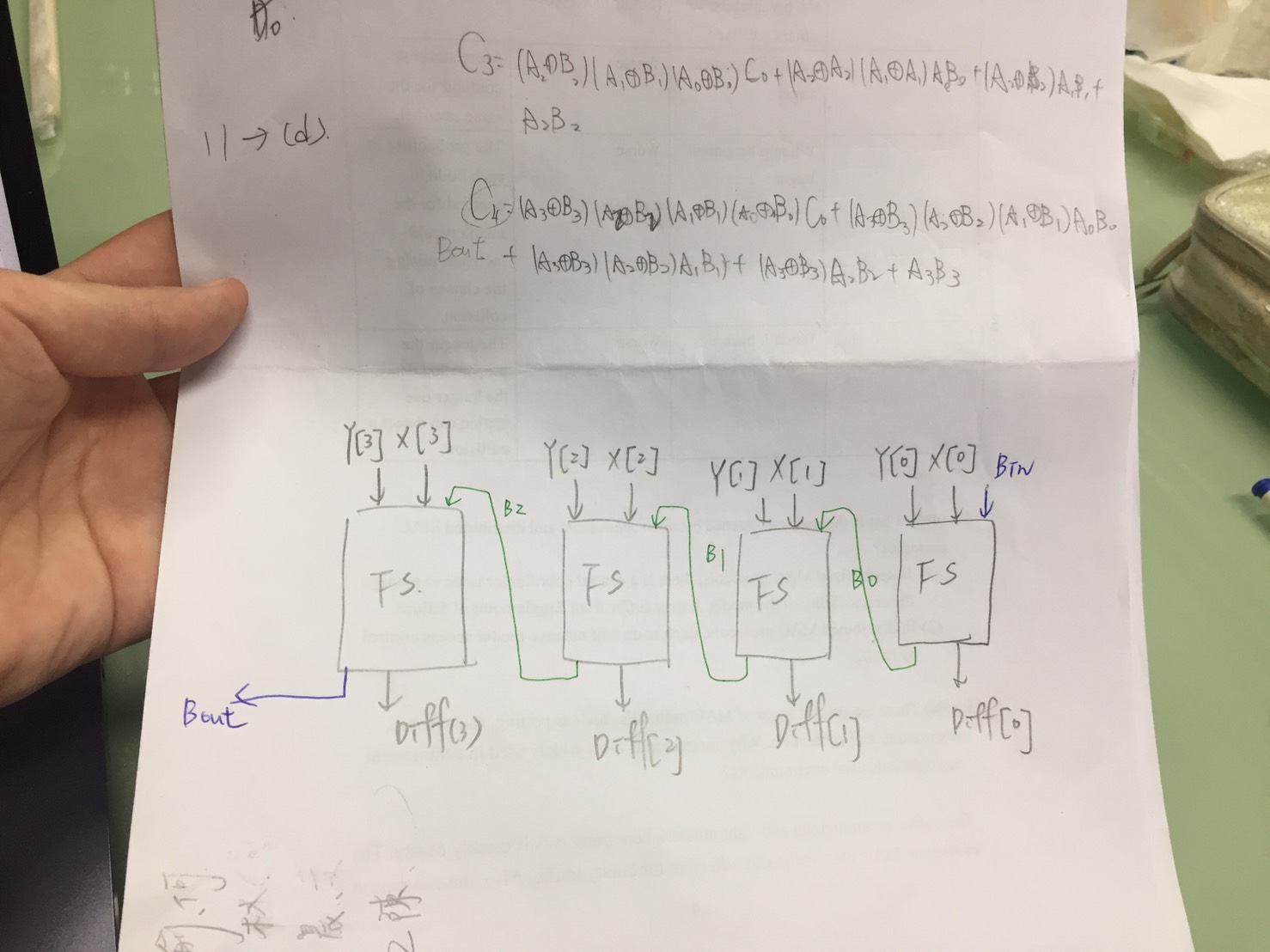
如(圖五)波型圖可知，波型圖結果與(圖四)全減器的真值表相同，因此可知為正確。

(圖四)

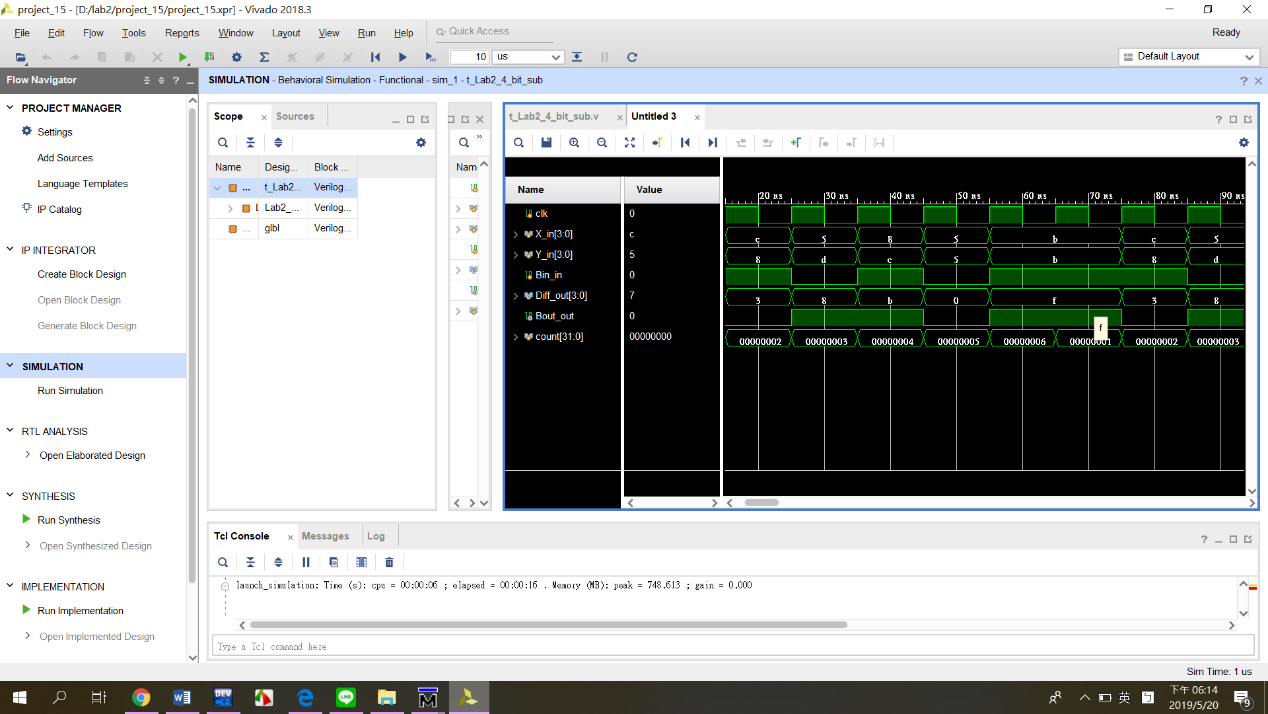
(圖五)

**(3) 詳述如何以全減器建構四位元漣波借位減法器，畫出電路方塊圖。附上 2A(c)ii (4-bit RBS) 之模擬結果波形圖，並說明是否正確。(10%)**

將三個數分別輸入進先打好的全減器中，進行全減器的計算，再將每一次的借位做為下一個全減器的Bin輸入，反覆做3次，最後一次的借位則為Bout，電路圖如(圖六)可說明。

(圖六)

由(圖七)電路圖可知，結果為正確值。

(圖七)

**(4) 詳述四位元前看借位減法器之電路設計流程，如：列出相關布林代數式(如：Pi、 Gi、Bi、Di 等)。附上 2A(d)ii (4-bit BLS) 之模擬結果波形圖，並說明是否正確。 (20%)**

我以「四位元前視進位加法器」的方式去做「四位元前看借位減法器」，其中不同的在於將Bin輸入做2’s complement，意義相當於下面例子，我們求解a-b，會等於我們做a+(-b)的答案，因此可知加法器配合2’s complement所得結果與減法器會相同。

<布林代數>

P=X⊕Y

G=AB

B0=Bin(X[0] ⊕Y[0])+X[0]Y[0];

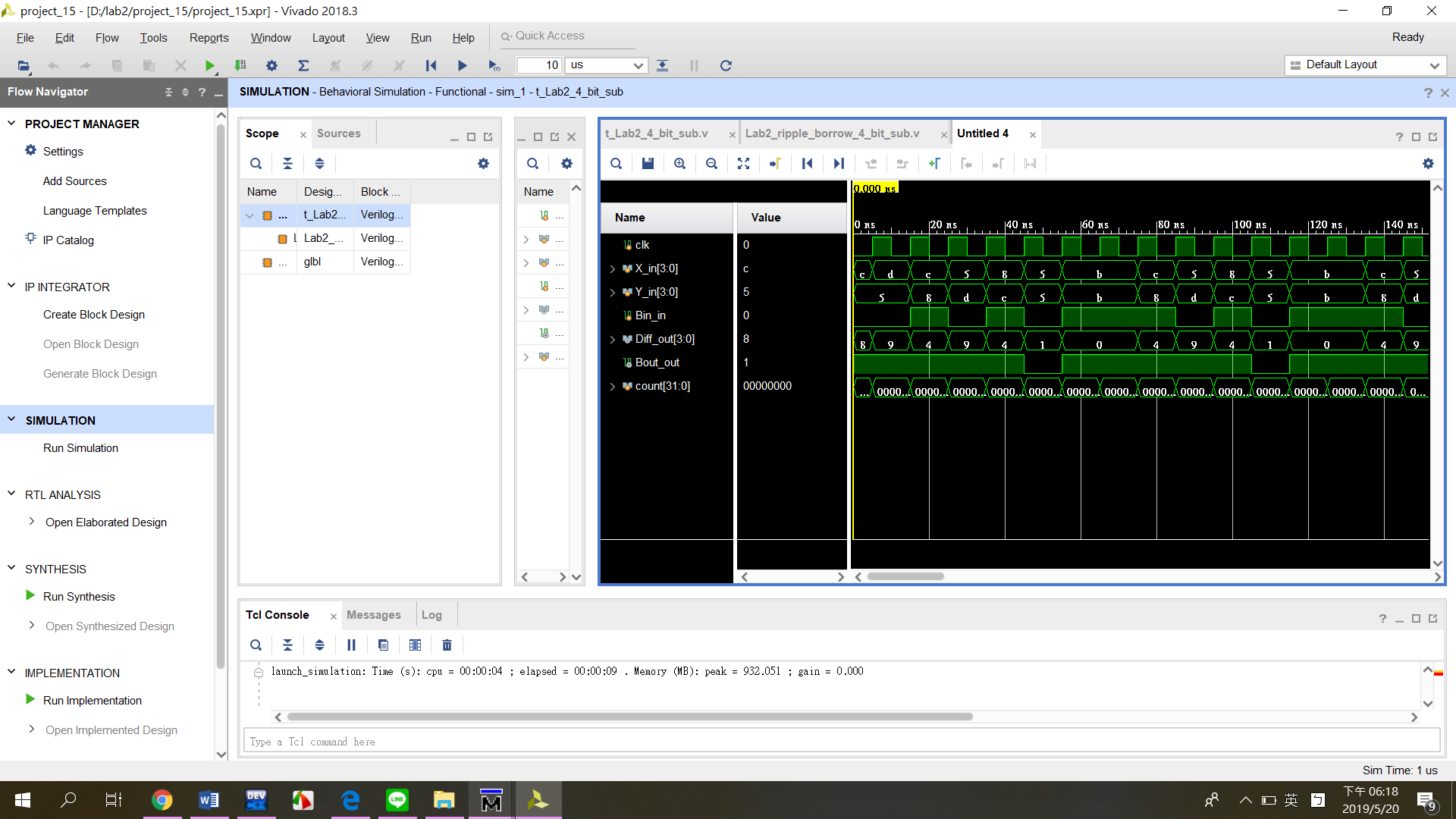
B1=(X[1] ⊕Y[1])(X[0] ⊕Y[0])Bin+(X[1] ⊕Y[1])X[0]Y[0]+X[1]Y[1]

B2=(X[2] ⊕Y[2])(X[1] ⊕Y[1])(X[0] ⊕Y[0])Bin+(X[2] ⊕Y[2])(X[1] ⊕Y[1])X[0]Y[0]+(X[2] ⊕Y[2])X[1]Y[1]+X[2]Y[2]

Bout=(X[3] ⊕Y[3])(X[2] ⊕Y[2])(X[1] ⊕Y[1])(X[0] ⊕Y[0])Bin+(X[3] ⊕Y[3])(X[2] ⊕Y[2])(X[1] ⊕Y[1])X[0]Y[0]+(X[3] ⊕Y[3])(X[2] ⊕Y[2])X[1]Y[1]+(X[3] ⊕Y[3])X[2]Y[2]+X[3]Y[3]

Diff=X⊕Y⊕Bin;

如(圖八)可知波型圖與(圖七)結果相同，可知結果為正確值。

(圖八)

**(5) 詳述二元碼十進制轉七段顯示解碼器之電路設計，根據真值表推導出各輸出的 最簡積之和(sum-of-product, SoP)式，並畫出電路邏輯圖。此外，請附上 2B. iv (二 進碼十進制轉七段顯示解碼器) 之模擬結果，並說明是否正確。(35%)**

Step1 寫出sum-of-product

A[0]= F0 (D[3], D[2], D[1], D[0]) = ∑m (0, 2, 3, 5, 6, 7, 8, 9)

A[1]= F1 (D[3], D[2], D[1], D[0]) = ∑m (0, 1, 2, 3, 4, 7, 8, 9)

A[2]= F2 (D[3], D[2], D[1], D[0]) = ∑m (0, 1, 3, 4, 5, 6, 7, 8, 9)

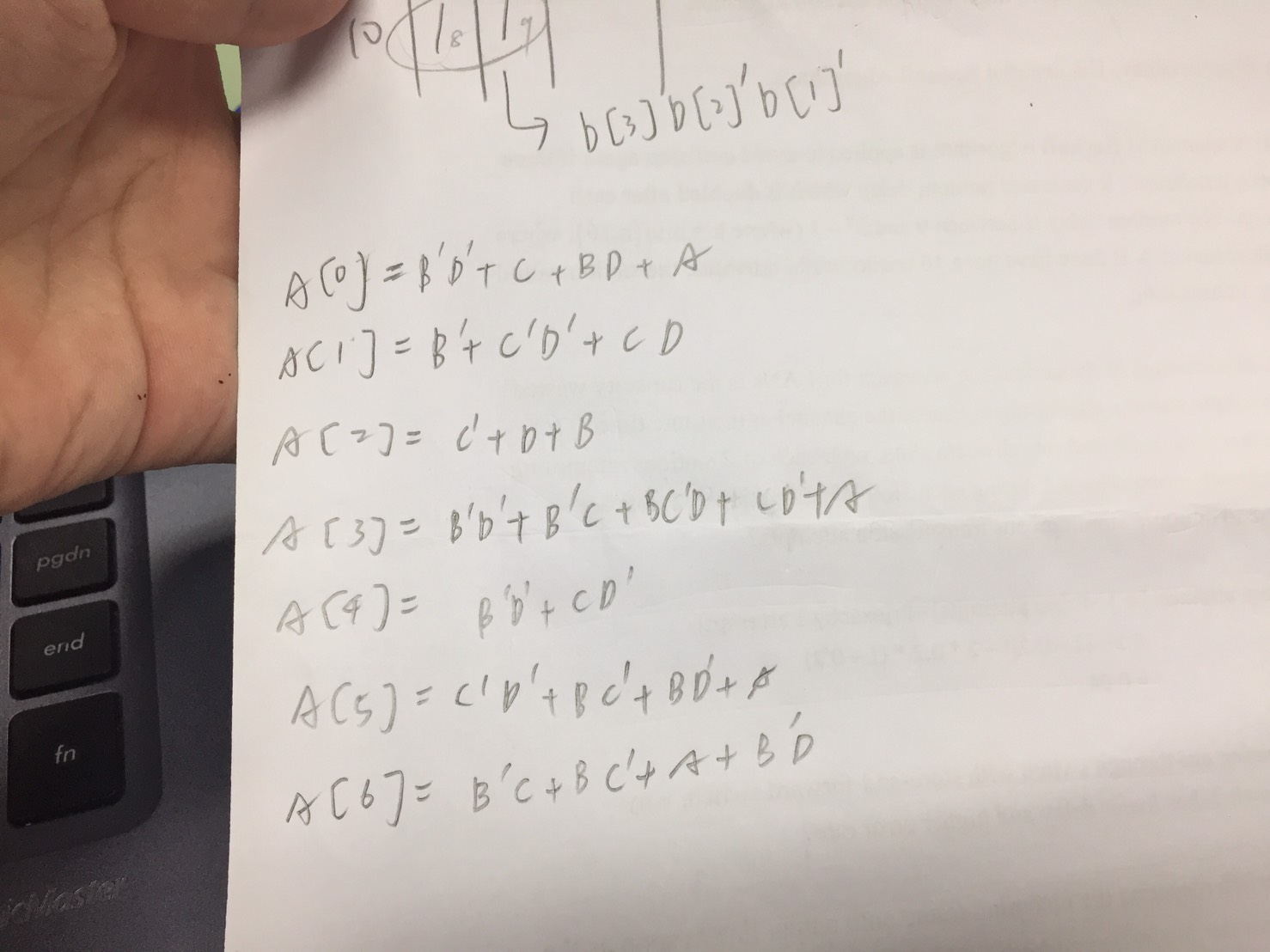
A[3]= F3 (D[3], D[2], D[1], D[0]) = ∑m (0, 2, 3, 5, 6, 8, 9)

A[4]= F4 (D[3], D[2], D[1], D[0]) = ∑m (0, 2, 6, 8)

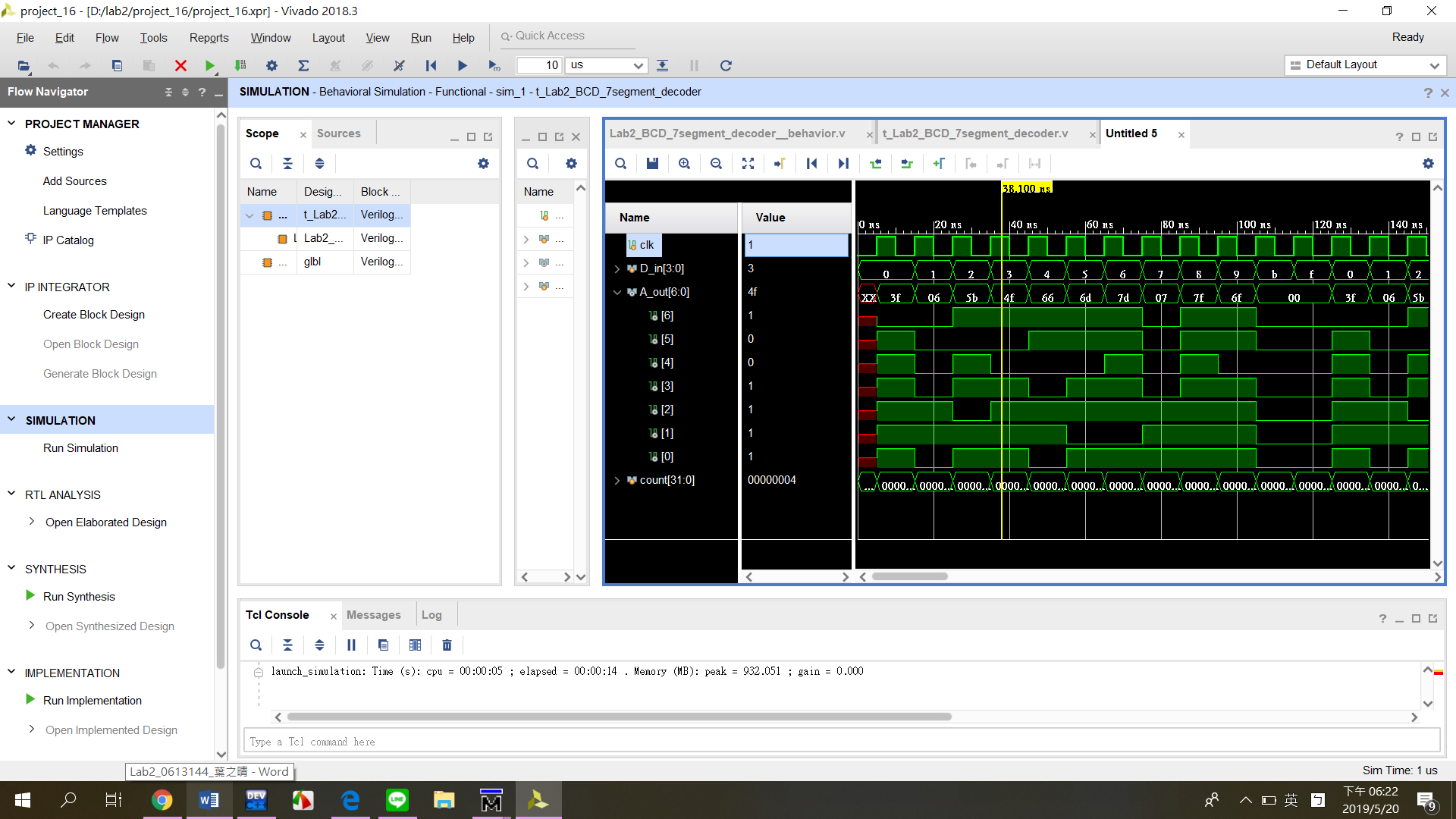
A[5]= F5 (D[3], D[2], D[1], D[0]) = ∑m (0, 4, 5, 6, 8, 9)

A[6]= F6 (D[3], D[2], D[1], D[0]) = ∑m (2, 3, 4, 5, 6, 8, 9)

Step2 化簡sum-of-product



如(圖九)波型圖結果可知結果與真值表相同，為正確值。

(圖九)

**(6) 心得與感想、及遭遇到的問題或困難 (10%)**

由這次的lab將原先在書本上不熟的減法器，了解得更清楚，以及透過(d)小題也去了解如何同步處理，其中在撰寫的過程中，一開始不太了解verilog在陣列上的語法，因此試過不少次不同的寫法，才找到可以正確輸入的語法，另外在(d)小題的過程中，原先想利用減法器撰寫，但又發現化解的過程過於繁複，經過思考後，決定改利用加法器做 2’s complement，才找到解決方法。