

Pré-Projeto

Calculadora Digital: ULA

Danilo Santos de Sales, 14/0135910
Juliana Mayumi Hosoume, 18/0048864
Lucas Almeida, 17/0108961

¹Dep. Ciência da Computação – Universidade de Brasília (UnB)
CiC 116351 - Circuitos Digitais - Turma A

dandesenvolvimento@gmail.com, ju.hosoume@gmail.com, lucaspazalmeida@hotmail.com

***Resumo.** As calculadoras são ferramentas ubíquas nas mais diversas profissões. Um de seus componentes fundamentais é a Unidade Lógica Aritmética. Essa unidade permite obter o resultado para diferentes operações. Foi então projetada uma ULA que calcula soma, subtração e multiplicação de duas palavras de 4 bits. Para a síntese desse circuito no Quartus, foram necessários diversos circuitos acessórios, com somadores totais e multiplexadores. Foi então descritos os seguintes passos para a construção completa de uma calculadora digital no kit de desenvolvimento.*

1. Introdução

Calculadoras são ferramentas fundamentais para diversas profissões. Para ajudar com cálculos e contas, foram utilizados desde ábacos até os atuais supercomputadores. Contudo, em sistemas digitais, para obter o resultado matemático desejado, é necessário uma unidade de processamento chamada de Unidade Lógica Aritmética (ULA). Diferentes ULAs podem ser projetadas e construídas por engenheiros para o cálculo de operações ([Zandbergen 2018]). Algumas operações de rotina executadas pela ULA são:

1. Operações Lógicas, como AND, OR, NOT, XOR, NOR, NAND e outras;
2. Operações de Deslocamento de Bits;
3. Operações Aritméticas, como adição, multiplicação e divisão.

2. Objetivos

Projetar e construir uma calculadora na placa FPGA DE2, composto de uma ULA capaz de realizar adição, subtração e multiplicação de números inteiros de um dígito decimal (0 a 9). A entrada deve ser feita por um mini-teclado matricial 4x4 de membrana e a saída em *display* de 7 segmentos.

3. Materiais

Neste experimento foram utilizados os seguintes materiais e equipamentos:

- Kit de Desenvolvimento DE2;
- Programa Quartus-II v.13.0;
- Mini-teclado matricial 4x4.

4. Atividades Previstas

Para a construção da calculadora, em síntese, são previstos os seguintes passos que o circuito deve realizar:

1. Circuito de definição do estado do sistema;
2. Sinalização de disponibilidade para o cálculo;
3. Leitura da entrada fornecida por meio do teclado;
4. Conversão do valor de entrada para código binário;
5. Apresentação do valor de entrada no *display* de 7 segmentos;
6. Apresentação da operação escolhida em *LEDs*;
7. Armazenamento dos valores de entrada;
8. Execução das operações com os valores na ULA;
9. Apresentação do valor de saída no *display* de 7 segmentos;

Para cada passo, diversos circuitos devem ser construídos. Para o armazenamento quer-se construir um registrador de 8 bits, de forma que seja possível o armazenamento das duas entradas. Em seguida, construção de um codificador de entrada em decimal para BCD, além de codificadores e decodificadores BCD/binário. A leitura do teclado ainda será estudada.

5. Atividades Realizadas

O recebimento de valores em binário já foi feito, assim como os circuitos que executam a operação de soma, subtração e multiplicação, os resultados podem ser encontrados em 7.

6. Cronograma

De acordo com as atividades a serem realizadas (Seção 5), foi feito um cronograma com prazos e responsáveis para cada atividade.

Tabela 1. Cronograma de atividades, com a inclusão de responsáveis e data prevista de finalização.

<i>Atividade</i>	<i>Responsáveis</i>	<i>Data de Término</i>
1	Juliana, Danilo e Lucas	18/06
2	Lucas	18/06 (Dependente do item anterior)
3	Juliana, Danilo e Lucas	18/06
4	Juliana	01/06
5	Juliana, Danilo e Lucas	01/05
6	Danilo	27/05
7	Juliana e Danilo	08/06
8	Juliana, Danilo e Lucas	Feito

7. Resultados da implementação da ULA

O projeto de ULA desenvolvido inclui somente as operações de soma, subtração e multiplicação. Para isso, são recebidos 4 *bits* para a primeira entrada, 4 *bits* para a segunda entrada e 2 *bits* de escolha da operação. Assim, são necessários, além dos circuitos que efetuam as operações, circuitos de extensão de sinal e demultiplexadores e multiplexadores.

7.1. Full-Adder

Para o cálculo tanto de soma e subtração, como de multiplicação, foi projetado e sintetizado um *Full-Adder* (FA) (Figura 1). Esse circuito realiza a soma de um *bit*, considerando o *Carry-in* e o *Carry-out*. A tabela verdade de um somador completo é como a Tabela 2. Para a soma de mais bits, vários FAs podem ser associados em série. Para efetuar a subtração, os números devem ser convertidos em complemento dois, em seguida podem ser somados pelo somador completo da mesma forma como ocorre na subtração. A multiplicação também pode ser operada por um FA em conjunto com a utilização de portas lógicas AND.

Tabela 2. Tabela verdade para o somador completo.

<i>A</i>	<i>B</i>	<i>C</i>	<i>T</i>	<i>S</i>
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

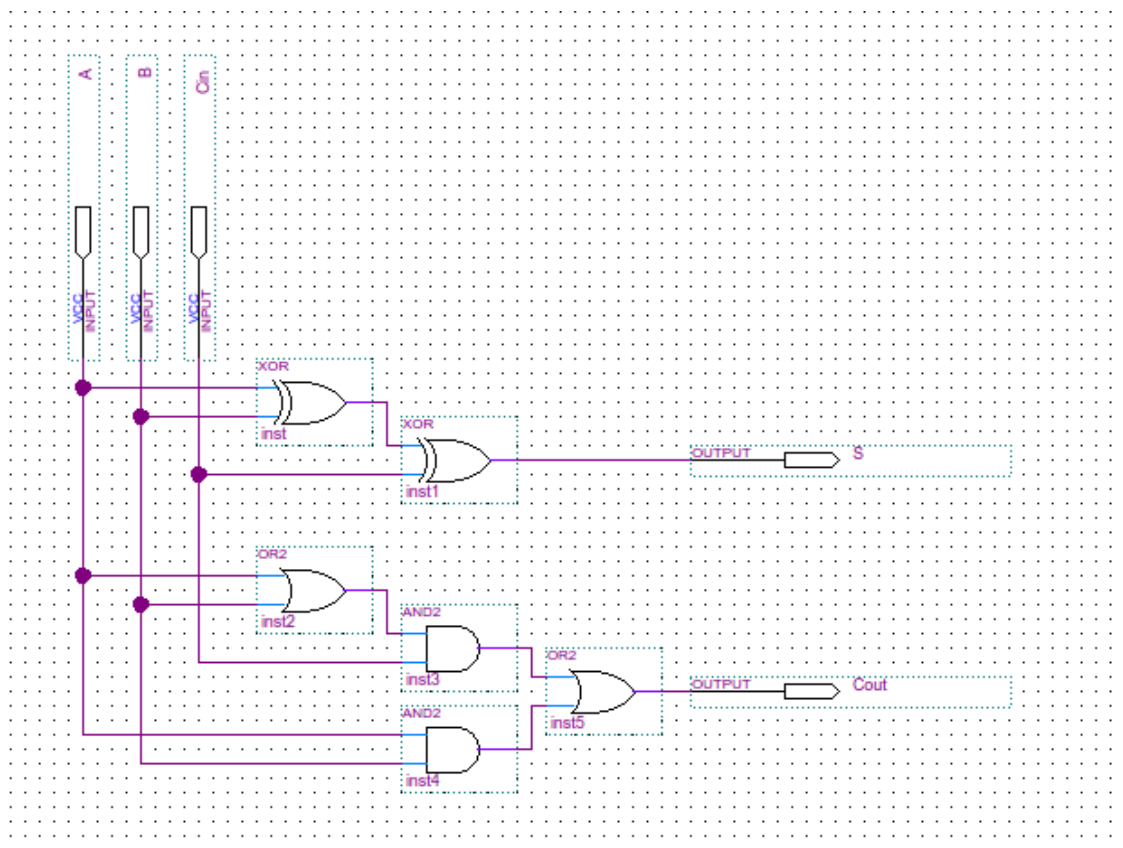


Figura 1. Síntese de circuito digital no software Quartus. Nesse diagrama lógico é representado um somador total.

7.2. Soma/Subtração

Para a soma e subtração, quer-se que o circuito seja acionado quando o seletor tenha valores 0*, sendo o primeiro dígito mais significativo a escolha se será multiplicação e o segundo bit é a escolha se será soma ou subtração e para esses dois casos esse circuito deve efetuar a operação, por isso um *don't care*. Caso a operação escolhida seja uma subtração, os multiplexadores dispostos na segunda entrada (circuitos seletores, Figura 3) farão a complementação de um (operação lógica de inversão), enquanto que a passagem de nível lógico verdadeiro para o primeiro somador total completa a complementação de dois da segunda entrada. A soma/subtração é realizada por meio de FAs (Seção 7.1) ligados em série (Figura 2). O resultado é apresentado em uma palavra de 6 bits, de tal forma que o bit mais significativo corresponde ao sinal do resultado.

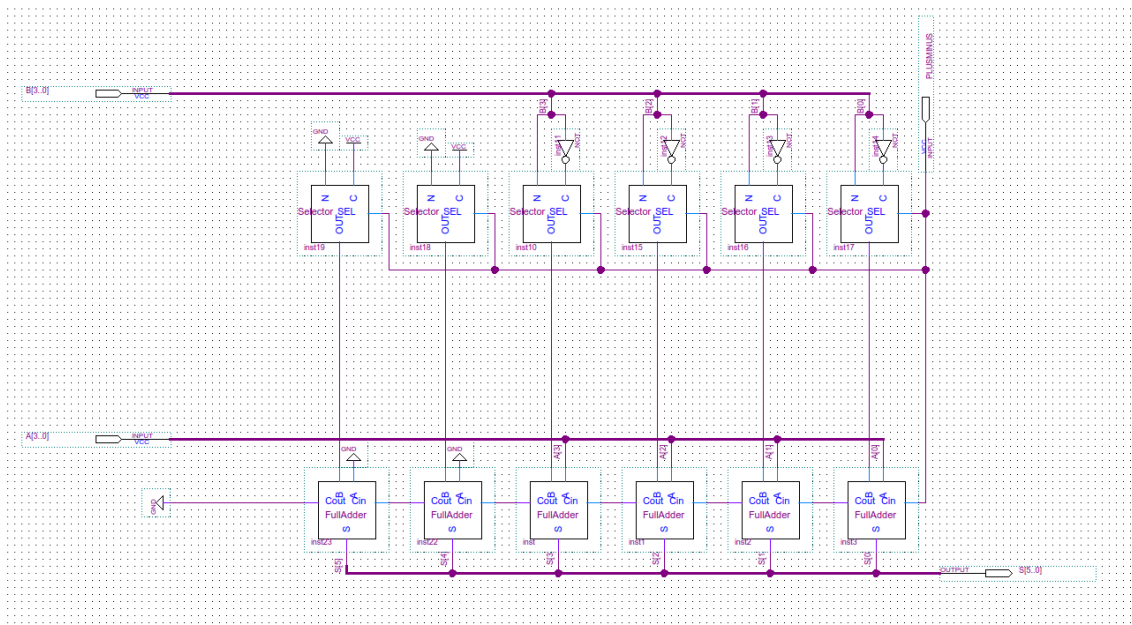


Figura 2. Síntese de circuito digital no software Quartus. Nesse diagrama lógico é representado um somador/subtrator de dois nibbles.

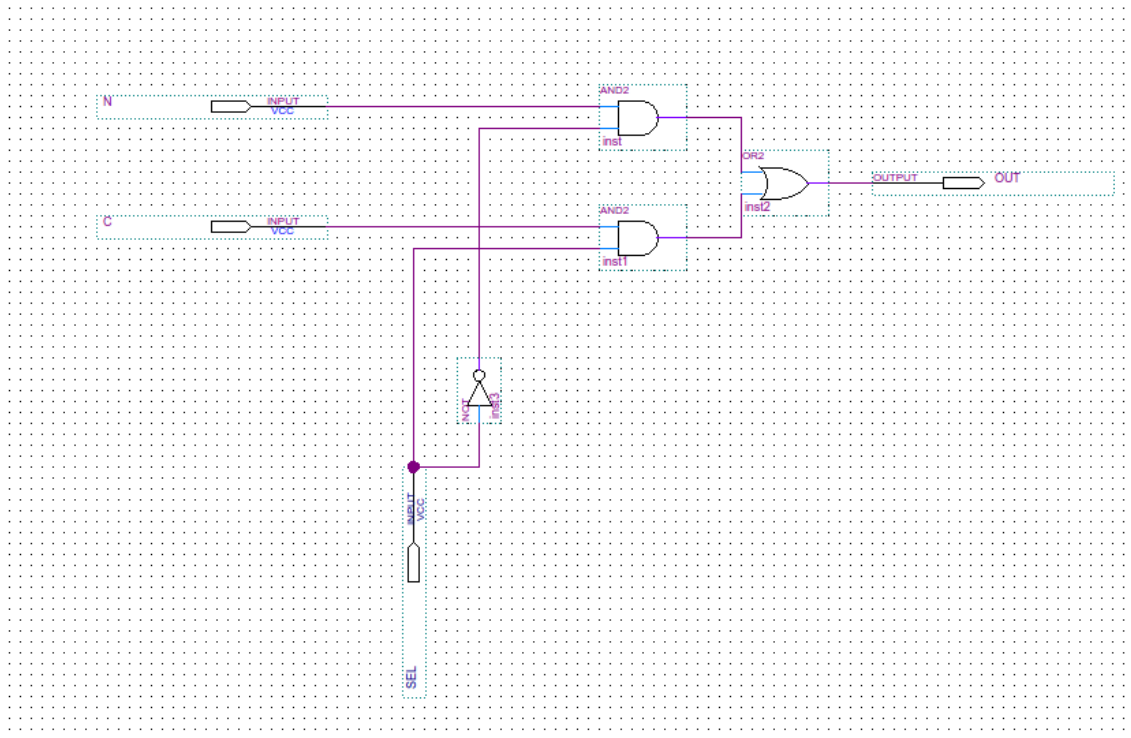


Figura 3. Síntese de circuito digital no software Quartus. Nesse diagrama lógico é representado um multiplexador de entrada de acordo com um bit seletor de operação.

7.3. Multiplicação

A multiplicação de dois bits pode ser realizada pela utilização de uma porta lógica AND. Sabendo disso, a multiplicação de palavras maiores pode ser feita bit a bit, em seguida realizada uma soma dos resultados de maneira semelhante ao que ocorre na multiplicação de números decimais. Por isso, no projeto do circuito de multiplicação (Figura ??) foram utilizados FAs em diferentes níveis para a soma das multiplicações de bits. A palavra de saída possui 8 *bits*.

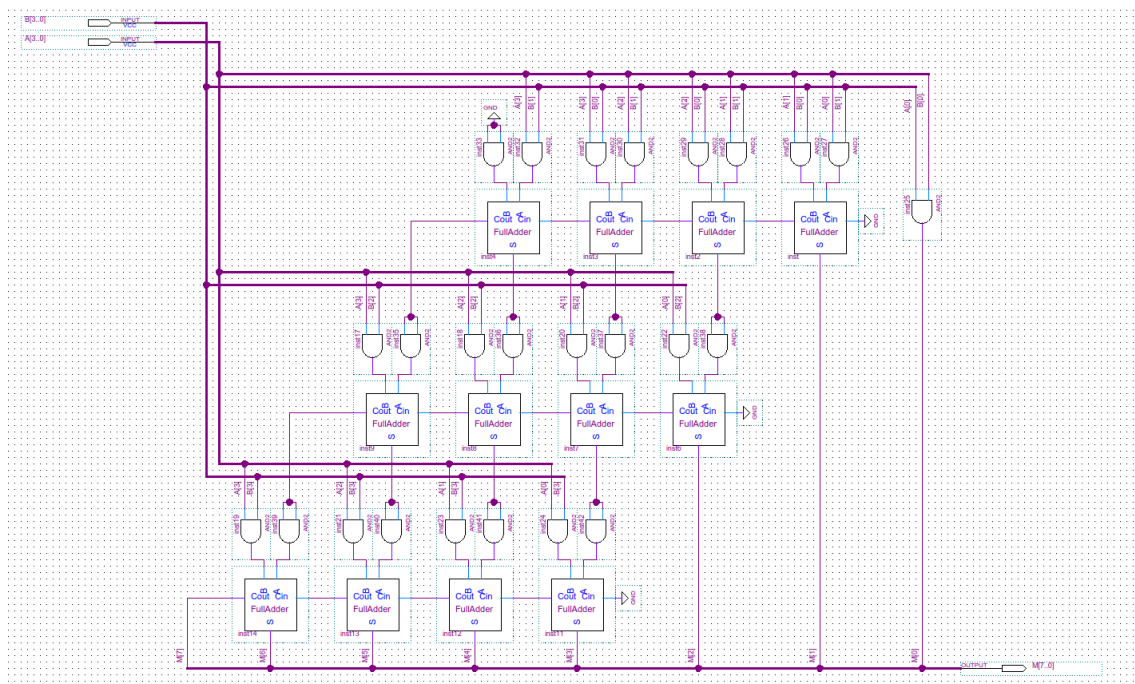


Figura 4. Síntese de circuito digital no software Quartus. Nesse diagrama lógico é representado um circuito de multiplicação.

7.4. ULA: Unidade Lógico Aritmética

Para completar o circuito da ULA, foi necessária a extensão de sinal da soma/subtração para 8 *bits* (Figura 5), de tal forma que correspondesse ao tamanho da saída de multiplicação. Em seguida, de acordo com o seletor de operação, foi utilizado um multiplexador (Figura 3), para que apenas o resultado da operação desejada fosse propagado em uma palavra de tamanho 8 bits sendo 1 bit correspondente ao sinal. Para o projeto dessa ULA (Figura 7), foi considerado que para a primeira entrada (A) o valor variasse de 0 a 9, enquanto a segunda entrada (B) poderia variar de -9 a 9, quando escolhida a subtração. Para a faixa de resultados de acordo com a operação, a soma possui um intervalo de saída de 0 a 18, a subtração de -9 a 9, por fim a multiplicação possui um intervalo de 0 a 81. O funcionamento desse circuito pode ser visto nesse vídeo

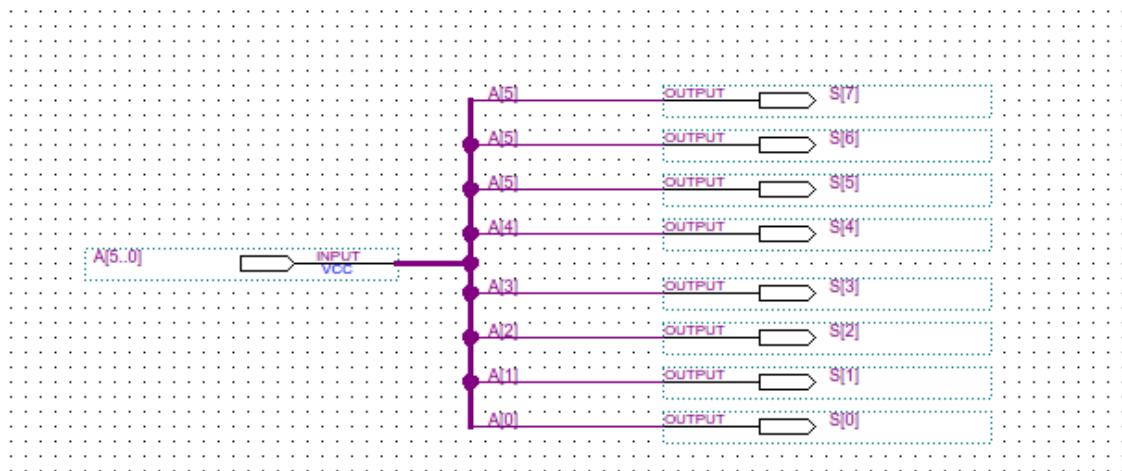


Figura 5. Síntese de circuito digital no software Quartus. Nesse diagrama lógico é representado um circuito de extensão de sinal.

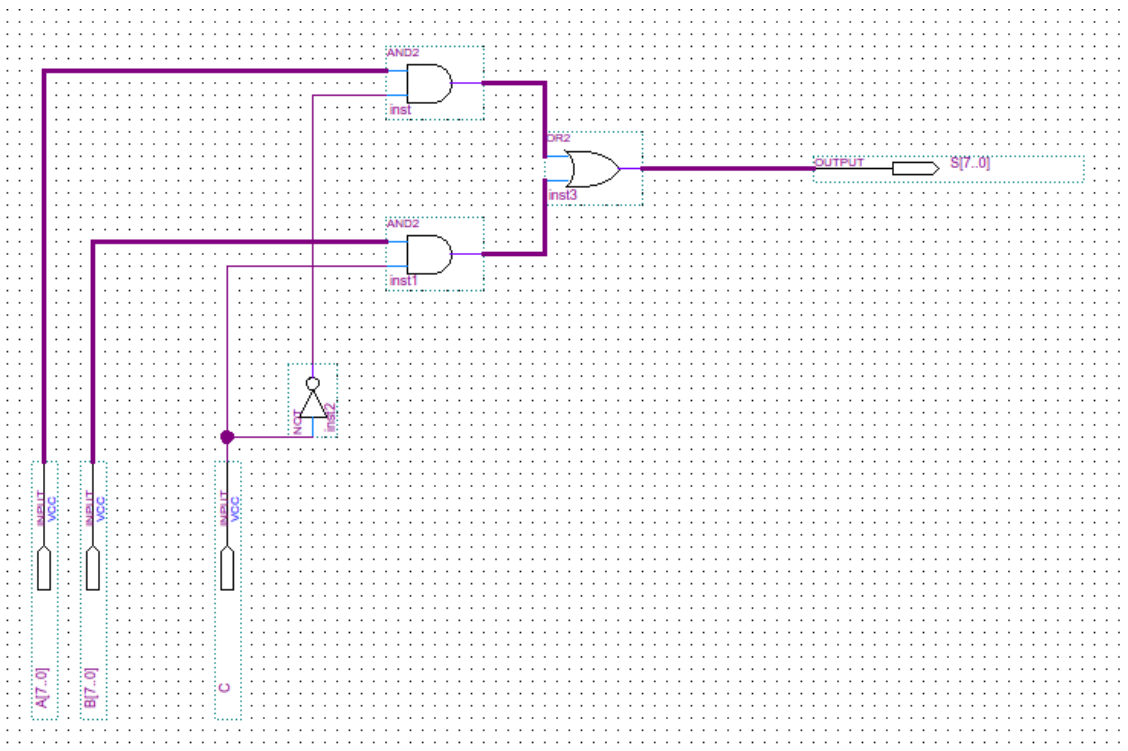


Figura 6. Síntese de circuito digital no software Quartus. Nesse diagrama lógico é representado um circuito de multiplexação.

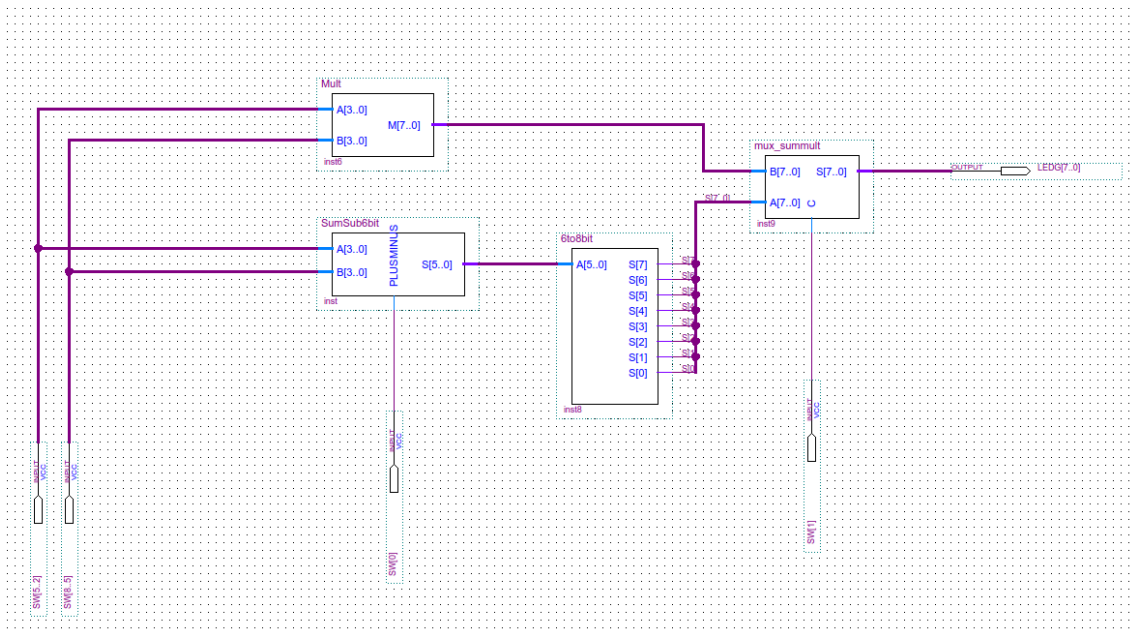


Figura 7. Síntese de circuito digital no software Quartus. Nesse diagrama lógico é representado uma ULA.

8. Análise dos Resultados

Para verificar o funcionamento correto da ULA, após projeto e síntese, foi então feita uma simulação do circuito total (Figuras 8, 9, 10, 11, 12 e 13). É verificado, portanto, que a ULA fornece resultados acurados, de modo que resultados corretos de soma, subtração e multiplicação são encontrados como esperado matematicamente. Além disso, foram feitas simulações temporais (Figuras 14, 15 e 16). Nas simulações temporais foi verificados atrasos na propagação de sinal, ainda que na faixa de 10ns. Esse fator pode ser preocupante na montagem do circuito completo da calculadora, já que mais portas lógicas serão incluídas, assim podendo aumentar o tempo total de atraso. Uma das soluções discutidas é a adição de um circuito de *Carry Look Ahead*.

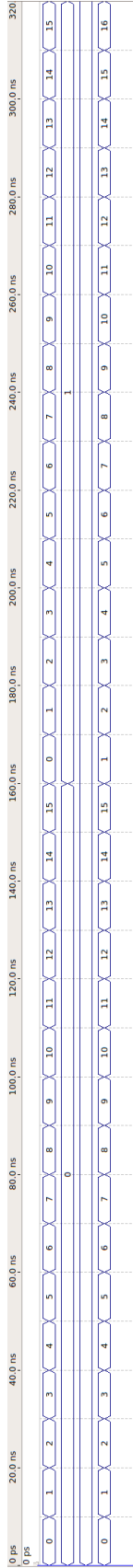


Figura 8. Simulação funcional de uma ULA feita no *software Quartus*. Nessa simulação, as portas lógicas que compõe o circuito são consideradas ideais.

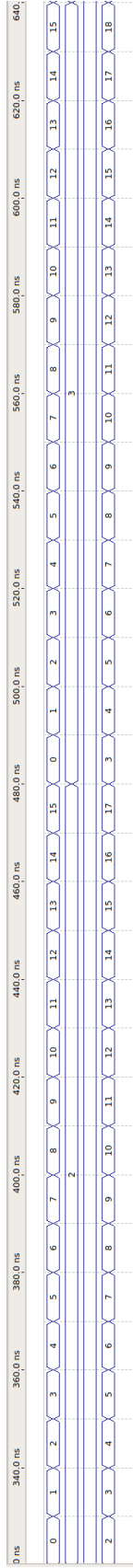


Figura 9. Simulação funcional de uma ULA feita no *software Quartus*. Nessa simulação, as portas lógicas que compõe o circuito são consideradas ideais.

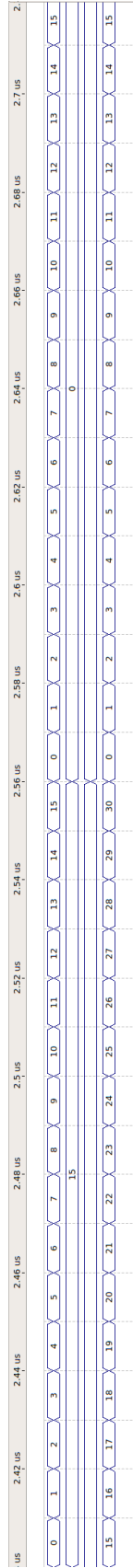


Figura 10. Simulação funcional de uma ULA feita no *software Quartus*. Nessa simulação, as portas lógicas que compõe o circuito são consideradas ideais.

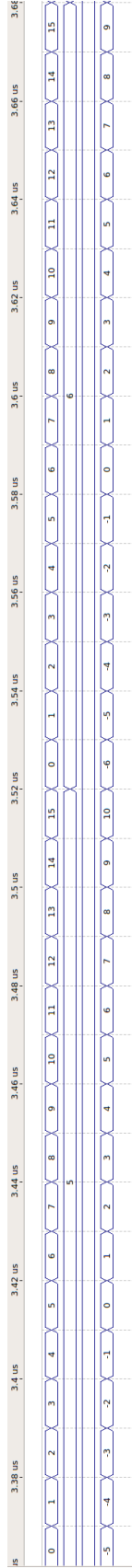


Figura 11. Simulação funcional de uma ULA feita no *software Quartus*. Nessa simulação, as portas lógicas que compõe o circuito são consideradas ideais.

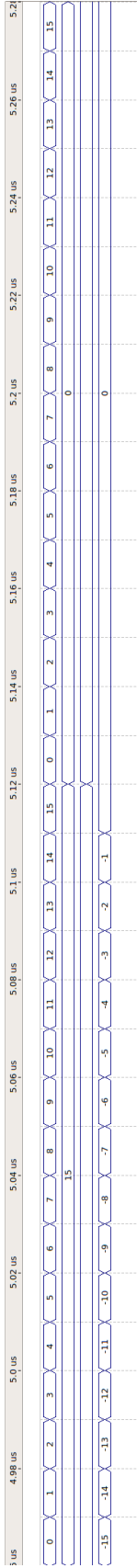


Figura 12. Simulação funcional de uma ULA feita no *software Quartus*. Nessa simulação, as portas lógicas que compõe o circuito são consideradas ideais.

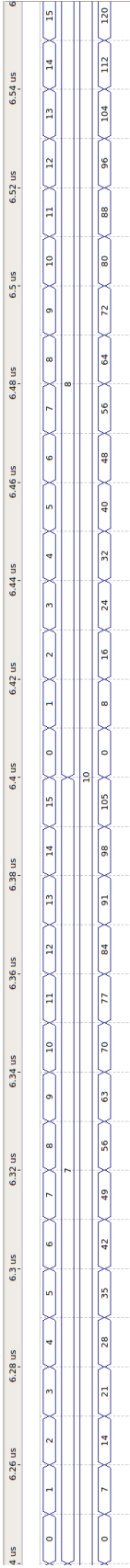


Figura 13. Simulação funcional de uma ULA feita no *software Quartus*. Nessa simulação, as portas lógicas que compõe o circuito são consideradas ideais.

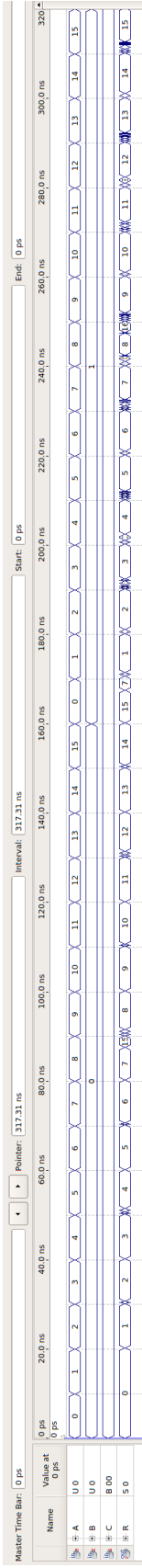


Figura 14. Simulação temporal de uma ULA feita no *software quartus*. Nessa simulação, as portas lógicas que compõe o circuito não são consideradas ideais.

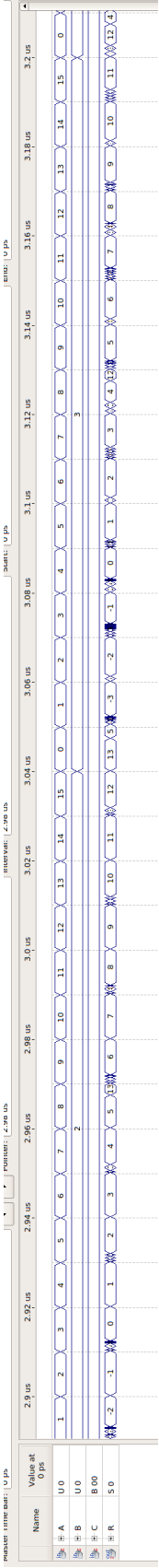


Figura 15. Simulação temporal de uma ULA feita no *software quartus*. Nessa simulação, as portas lógicas que compõe o circuito não são consideradas ideais.

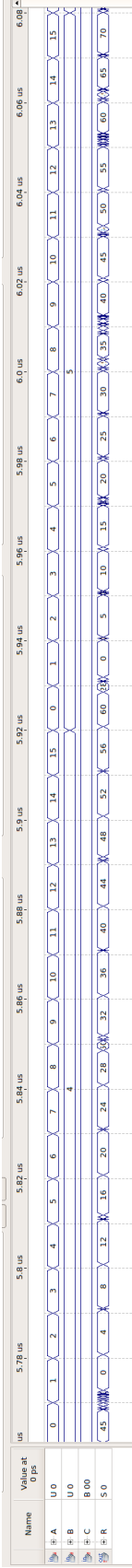


Figura 16. Simulação temporal de uma ULA feita no *software quartus*. Nessa simulação, as portas lógicas que compõe o circuito não são consideradas ideais.

9. Conclusão

A partir da modularização de circuitos que resolvem pequenos problemas, foi possível construir a parte central de uma calculadora, a ULA. Para esse projeto, foi necessário o uso de somadores totais, multiplexadores e demultiplexadores. Foi possível perceber o aumento de complexidade de acordo com o número de *bits* necessários nas entradas e saídas. Outrossim, Contudo, ainda que a ULA seja um componente fundamental, por efetuar as operações de soma, subtração e multiplicação que serão realizados por esse projeto de calculadora, ainda há outras partes essenciais, de forma que com a conclusão do projeto, a entrada e a saída sejam de mais fácil visualização e manipulação.

Referências

- [Zandbergen 2018] Zandbergen, P. (2018). Arithmetic logic unit (alu): Definition, design function. <https://study.com/academy/lesson/arithmetic-logic-unit-alu-definition-design-function.html>. [Online; accessed 14-May-2018].