

第二章 计算机中的信息表示

一、填空

1. 若 $X_{\text{原}} = 1.0111$, 则 $[2X]_{\text{原}} = (\quad)$
2. 设某机字长 16 位, 其定点小数能表示的最大正小数为 (\quad)
3. 若定点小数的补码形式为 $X_0, X_1, X_2, \dots, X_n$ 则当 $0 > X \geq -1$ 时, $X_{\text{补}} = (\quad)$
4. 某机字长 32 位, 其中定点小数能表示的最小正数为 (\quad) .
5. 若真值 $X = -\frac{1}{16}$, 则 $[X]_{\text{原}} = (\quad)$
6. 若 $X_{\text{补}} = 0.0110$, $[-X]_{\text{补}} = (\quad)$
7. 若 $X_{\text{原}} = 0.0111$, $[\frac{1}{2}X]_{\text{原}} = (\quad)$
8. 某机字长 4 位, 若 $X_{\text{补}} = 1110$, 则 $[-X]_{\text{补}} = (\quad)$
9. 若 $-X_{\text{补}} = 0.1010010$, 则 $X_{\text{补}} = (\quad)$
10. 8 位定点小数, 补码表示, 含一位符号位, 若 $X = 0.1011$, 则 $X_{\text{补}} = (\quad)$; 若 $X = -0.1011$, 则 $X_{\text{补}} = (\quad)$
11. 8 位定点整数, 补码表示, 含一位符号位, 若 $X = 1011$, 则 $X_{\text{补}} = (\quad)$; 若 $X = -1011$, 则 $X_{\text{补}} = (\quad)$
12. 求 $(\frac{5}{16})_{\text{补}} = (\quad)$
13. $(1111010.00111101)_2 = (\quad)_8 = (\quad)_{16}$

二、选择题

1. 对真值为 -0111 的二进制整数, 其字长为 5 位的二进制补码和十进制的真值分别是 (\quad)
A、00111、+7 B、10111、+7
C、11001、-7 D、11000、-7
2. 字长 8 位的某二进制补码整数为 11011010, 则该数的标准移码是 (\quad)
A、01011010 B、11011010 C、10111010 D、00111010
3. 字长 5 位的单符号补码二进制数 01101 和 10010, 算术右移 1 位后分别是 (\quad)
A、00110 和 10001 B、00110 和 11001
C、10110 和 01001 D、01110 和 11001

- 3、对于 IEEE754 格式的浮点数，下列描述正确的是（ ）
- A、阶码用移码表示，尾数用原码表示
 - B、阶码和尾数都用补码表示
 - C、阶码和尾数都用原码表示
 - D、阶码用移码表示，尾数用补码表示
- 4、在浮点运算中，“右规”操作是指（ ）
- A、尾数左移，同时增大阶码
 - B、尾数左移，同时减小阶码
 - C、尾数右移，同时增大阶码
 - D、尾数右移，同时减小阶码
- 5、对字长为 8 位的二进制代码 10001101，下列说法错误的是（ ）
- A. 如果代码为无符号数，则其十进制真值为+141
 - B. 如果代码为补码数，则其十进制真值为-115
 - C. 如果代码为标准移码数，则其十进制真值为+115
 - D. 如果代码为原码数，则其十进制真值为-13
- 6、两个浮点数相加减时，关于对阶操作的描述，正确的是（ ）
- A. 阶码大的向阶码小的对齐
 - B. 阶码小的向阶码大的对齐
 - C. 两数直接相加减，不需要对阶
 - D. 以上各项描述全错
- 7、在 IEEE754 浮点数格式中， ∞ 的表示代码是（ ）
- A. 阶码各位均为 0，尾数各位均为 0
 - B. 阶码各位均为 0，尾数各位均为 1
 - C. 阶码各位均为 1，尾数各位均为 1
 - D. 阶码各位均为 1，尾数各位均为 0
- 8、若浮点数的尾数是用 5 位补码来表示的，则下列尾数中规格化的尾数是（ ）
- A. 01100 和 11110
 - B. 11011 和 01011
 - C. 10000 和 01001
 - D. 01011 和 11010
- 9、下列关于补码加减法的描述，其中错误的描述是（ ）
- A. 两个补码数相加，符号位也要参与运算
 - B. 加数、被加数的符号相同，若结果值的符号与它们相反，则一定发生了溢出
 - C. 最高数据位有进位，则一定发生了溢出
 - D. 两个数相减，等价于被减数加上减数的变补值
- 10、字长为 8 位的浮点数二进制代码，最高 5 位是补码表示的阶码，最低 3 位是补码表示的规格化尾数，则该浮点数的表示范围是（ ）
- A. $-0.75 \times 2^{15} \sim 0.75 \times 2^{15}$
 - B. $-0.75 \times 2^{16} \sim 0.75 \times 2^{15}$
 - C. $-2^{16} \sim 0.75 \times 2^{15}$
 - D. $-2^{15} \sim 0.75 \times 2^{15}$
- 11、下列关于 IEEE754 规范化浮点数乘法运算，正确的描述是（ ）
- A. 需要先对两个浮点数进行对阶操作，使两者的阶码对齐
 - B. 乘法结果最多只需向右移动 1 位，即可实现对尾数的规格化处理
 - C. 乘法结果也可能要进行左移规格化处理
 - D. 乘法结果中，阶码的代码为全 1 时，尾数的代码也可能不是为全 0

- 12、某二进制小数的补码为 1.0011，这个数的十进制真值是（ ）
- A. +1.1925 B. -0.1925 C. +1.8125 D. -0.8125
- 13、某十六进制浮点数 A3D00000，假设其二进制补码字长 32 位，最高 8 位是阶码（含 1 位阶符），尾数是最低 24 位（含 1 位数符），则该浮点数的十进制真值是（ ）
- A. $-0.375 \times 2^{(-93)}$ B. $-0.625 \times 2^{(-93)}$
 C. $0.625 \times 2^{(-35)}$ D. $-0.375 \times 2^{(-35)}$
- 14、下列对原码 1 位乘法，描述错误的是（ ）
- A. 先让数值位的绝对值直接相乘，最后的符号位等于被乘数和乘数符号的异或值
 B. 当前的乘数位数字为 0 时，不需要执行部分积的累加操作，也不需整体右移 1 位
 C. 部分积循环相加的次数等于乘数数值位的位数
 D. 部分积每次累加以后均要与乘数一起整体向右移动 1 位，主要目的是确保数位的权值对齐
- 15、下列对于补码一位乘法的描述，错误的是（ ）
- A. 乘数和被乘数都取双符号位，符号位参与运算
 B. 循环次数为 n 或者 $n+1$
 C. 如需第 $n+1$ 步，则不移位
 D. 用乘数的相邻两位决定运算操作。

三、计算题

1. 若 IEEE754 短浮点数格式为 $(BDB40000)_{16}$ ，求其真值。
2. 将 $(18.125)_{10}$ 转换成 IEEE754 短浮点数格式。

答案:

一、填空

1. 若 $X_{\text{原}} = 1.0111$, 则 $[2X]_{\text{原}} = (1.1110)$
2. 设某机字长 16 位, 其定点小数能表示的最大正小数为 $(1-2^{-15})$
3. 若定点小数的补码形式为 X_0, X_1, X_2, \dots . 则当 $0 > X \geq -1$ 时, $X_{\text{补}} = (2+X)$ (模为 2)
4. 某机字长 32 位, 其中定点小数能表示的最小正数为 (2^{-31}) .
5. 若真值 $X = -\frac{1}{16}$, 则 $[X]_{\text{原}} = (1.0001)$
6. 若 $X_{\text{补}} = 0.0110$, $[-X]_{\text{补}} = (1.1010)$ (将各位 (包括符号位) 取反再加 1, 即为 $1.1001+1=1.1010$)
7. 若 $X_{\text{原}} = 0.0111$, $[\frac{1}{2}X]_{\text{原}} = (0.0011)$ (右移一位, 因为只有 5 位, 所以舍去最后一位)
8. 某机字长 4 位, 若 $X_{\text{补}} = 1110$, 则 $[-X]_{\text{补}} = (0010)$ (各位取反加 1 = $0001+1=0010$)
9. 若 $-X_{\text{补}} = 0.1010010$, 则 $X_{\text{补}} = (1.1010010)$ (只是符号位取反, 不为 $[-X]$ 补, 所以为 1.1010010)
10. 8 位定点小数. 补码表示, 含一位符号位, 若 $X = 0.1011$, 则 $X_{\text{补}} = (0.1011000)$; 若 $X = -0.1011$, 则 $X_{\text{补}} = (1.0101000)$ (正数补码=原码, 负数符号位不变取反加 1; 所以 0.1011000 的补码就是 0.1011000 , 1.1011000 的补码为 1.0100111 再加 $1=1.0101000$)
11. 8 位定点整数, 补码表示, 含一位符号位, 若 $X = 1011$, 则 $X_{\text{补}} = (00001011)$; 若 $X = -1011$, 则 $X_{\text{补}} = (11110101)$ (正数符号位前补 0, 负数补 1)
12. 求 $(\frac{5}{16})_{\text{补}} = (0.0101)$ ($5/16 = 1/4 + 1/16 = 0.0100 + 0.0001 = 0.0101$)
13. $(1111010.00111101)_2 = (172.172)_8 = (7A.3D)_{16}$

二、选择题

1. 对真值为 -0111 的二进制整数, 其字长为 5 位的二进制补码和十进制的真值分别是 ()
A、00111、+7 B、10111、+7
C、11001、-7 D、11000、-7
2. 字长 8 位的某二进制补码整数为 11011010, 则该数的标准移码是 ()
A、01011010 B、11011010 C、10111010 D、00111010

- 3、字长 5 位的单符号补码二进制数 01101 和 10010，算术右移 1 位后分别是（ ）
- A、00110 和 10001 B、00110 和 11001
C、10110 和 01001 D、01110 和 11001
- 3、对于 IEEE754 格式的浮点数，下列描述正确的是（ ）
- A、阶码用移码表示，尾数用原码表示
B、阶码和尾数都用补码表示
C、阶码和尾数都用原码表示
D、阶码用移码表示，尾数用补码表示
- 4、在浮点运算中，“右规”操作是指（ ）
- A、尾数左移，同时增大阶码 B、尾数左移，同时减小阶码
C、尾数右移，同时增大阶码 D、尾数右移，同时减小阶码
- 5、对字长为 8 位的二进制代码 10001101，下列说法错误的是（ ）
- A. 如果代码为无符号数，则其十进制真值为+141
B. 如果代码为补码数，则其十进制真值为-115
C. 如果代码为标准移码数，则其十进制真值为+115
D. 如果代码为原码数，则其十进制真值为-13
- 6、两个浮点数相加减时，关于对阶操作的描述，正确的是（ ）
- A. 阶码大的向阶码小的对齐
B. 阶码小的向阶码大的对齐
C. 两数直接相加减，不需要对阶
D. 以上各项描述全错
- 7、在 IEEE754 浮点数格式中， ∞ 的表示代码是（ ）
- A. 阶码各位均为 0，尾数各位均为 0
B. 阶码各位均为 0，尾数各位均为 1
C. 阶码各位均为 1，尾数各位均为 1
D. 阶码各位均为 1，尾数各位均为 0
- 8、若浮点数的尾数是用 5 位补码来表示的，则下列尾数中规格化的尾数是（ ）
- A. 01100 和 11110 B. 11011 和 01011
C. 10000 和 01001 D. 01011 和 11010
- 9、下列关于补码加减法的描述，其中错误的描述是（ ）
- A. 两个补码数相加，符号位也要参与运算
B. 加数、被加数的符号相同，若结果值的符号与它们相反，则一定发生了溢出
C. 最高数据位有进位，则一定发生了溢出
D. 两个数相减，等价于被减数加上减数的变补值
- 10、字长为 8 位的浮点数二进制代码，最高 5 位是补码表示的阶码，最低 3 位是补码表示的规格化尾数，则该浮点数的表示范围是（ ）
- A. $-0.75 \times 2^{15} \sim 0.75 \times 2^{15}$ B. $-0.75 \times 2^{16} \sim 0.75 \times 2^{15}$
C. $-2^{16} \sim 0.75 \times 2^{15}$ D. $-2^{15} \sim 0.75 \times 2^{15}$
- 11、下列关于 IEEE754 规范化浮点数乘法运算，正确的描述是（ ）
- A. 需要先对两个浮点数进行对阶操作，使两者的阶码对齐
B. 乘法结果最多只需向右移动 1 位，即可实现对尾数的规格化处理

- C. 乘法结果也可能要进行左移规格化处理
 D. 乘法结果中，阶码的代码为全 1 时，尾数的代码也可能不是为全 0
- 12、某二进制小数的补码为 1.0011，这个数的十进制真值是（ ）
 A. +1.1925 B. -0.1925 C. +1.8125 D. -0.8125
- 13、某十六进制浮点数 A3D00000，假设其二进制补码字长 32 位，最高 8 位是阶码（含 1 位阶符），尾数是最低 24 位（含 1 位数符），则该浮点数的十进制真值是（ ）
 A. $-0.375 \times 2^{(-93)}$ B. $-0.625 \times 2^{(-93)}$
 C. $0.625 \times 2^{(-35)}$ D. $-0.375 \times 2^{(-35)}$
- 14、下列对原码 1 位乘法，描述错误的是（ ）
 A. 先让数值位的绝对值直接相乘，最后的符号位等于被乘数和乘数符号的异或值
 B. 当前的乘数位数字为 0 时，不需要执行部分积的累加操作，也不需整体右移 1 位
 C. 部分积循环相加的次数等于乘数数值位的位数
 D. 部分积每次累加以后均要与乘数一起整体向右移动 1 位，主要目的是确保数位的权值对齐

三、计算

1. 若 IEEE754 短浮点数格式为 (BDB40000)₁₆，求真值。

$$(BDB40000)_{16} = (1011 \ 1101 \ 1011 \ 0100 \ 0000 \ 0000 \ 0000)_2$$

$$\text{阶码} = (0111 \ 1011)_2 = (123)_{10} = (127-4)_{10}$$

阶码真值=-4

尾数=011 0100 0000 0000 0000

符号位=1

$$\text{真值} = (-1.011 \ 0100 \times 2^{-4})_2 = (-0.00010110100)_2$$

2. 将 (18.125)₁₀ 转换成 IEEE754 短浮点数格式。

$$(18.125)_{10} = (10010.001)_2 = (1.0010001 \times 2^4)_2$$

$$\text{阶码} = (4+127)_{10} = (131)_{10} = (1000 \ 0011)_2$$

符号位=0

尾数=001 0001 0000 0000 0000 0000

浮点数代码为：0 1000 0011 001 0001 0000 0000 0000 0000

表示 16 进制代码：41910000H

第3章 指令系统

一、单项选择题

1. 将外围设备与主存统一编址, 一般是指 ()。
(1) 每台设备占一个地址码 (2) 每个外围接口占一个地址码
(3) 每台外设由一个主存单元管理 (4) 接口中的有关寄存器各占一个地址码
2. 指令格式中的地址结构是指 ()。
(1) 地址段占多少位 (2) 指令中采用几种寻址方式
(3) 指令中如何指明寻址方式 (4) 指令中给出几个地址
3. 减少指令中地址数的办法是采用 ()。
(1) 变址地址 (2) 寄存器寻址 (3) 寄存器间址 (4) 隐地址
4. 采用隐式 I/O 指令, 是指用 () 实现 I/O 操作。
(1) I/O 指令 (2) 通道指令 (3) 硬件自动 (4) 传送指令
5. 为了缩短指令中某个地址段(或地址码)的位数, 有效的方法是采取 ()。
(1) 立即寻址 (2) 变址寻址 (3) 间接寻址 (4) 寄存器寻址
6. 零地址指令是采用 () 方式的指令。
(1) 立即寻址 (2) 间接寻址 (3) 寄存器寻址 (4) 堆栈寻址
7. 单地址指令 ()。
(1) 只能对单操作数进行加工处理 (2) 只能对双操作数进行加工处理
(3) 既能对单操作数进行加工处理, 也能对双操作数进行运算
(4) 无处理双操作数的功能
8. 三地址指令常用于 () 中。
(1) 微型机 (2) 小型机 (3) 大型机 (4) 所有大、小、微机
9. 在以下寻址方式中, 哪一种可缩短地址字段的长度 ()。
(1) 立即寻址 (2) 直接寻址 (3) 寄存器间址 (4) 存储器间址
10. 隐地址是指 () 的地址。
(1) 用寄存器号表示 (2) 存放在主存单元中
(3) 事先约定, 指令中不必给出 (4) 存放在寄存器中
11. 堆栈指针 SP 的内容是 ()。
(1) 栈顶地址 (2) 栈底地址 (3) 栈顶内容 (4) 栈底内容
12. 为了实现输入输出操作, 指令中 ()。
(1) 对单独编址方式, 可以指明设备号或端口地址。对统一编址方式, 可以指明寄存器的总线地址。
(2) 必须指明外围接口中寄存器的地址码
(3) 必须同时指明外围设备号与接口中寄存器的总线地址
(4) 必须指明外围设备的设备号

二、判断分析题(指出正、误; 对错误或不妥者请说明)

1. 堆栈是在主存储器中划出的一个特殊区域, 故可随机访问。()
2. 压栈操作是指: 将内容写入堆栈指针 SP。()
3. 堆栈的栈顶是指 SP 寄存器。()
4. 单地址指令只能处理单操作数运算。()
5. 减少指令中地址数目的办法是采用以寄存器为基础的寻址。()
6. 减少指令中一个地址码位数的办法是采用隐地址。()

7. 指令的地址结构是指：一条指令采用几种寻址方式。()
8. 外围设备与主存统一编址是指：为每台外围设备分配一个总线地址。()

四. 简答题

1. 何谓堆栈？说明堆栈指针 SP 的作用？
2. 何谓隐式 I/O 指令？其主要特点是什么？
3. 主机调用外围设备，外设编制可采用那几种方式？

五. 计算题

1. 某指令字长 12 位，每个地址字段 4 位，若要求有 12 条双操作数指令，问单操作数一地址指令最多可有多少条？
2. 某主存储器部分单元的地址码与存储器内容对应关系如下：

地址码	存储内容
1000H	A307H
1001H	0B3FH
1002H	1200H
1003H	F03CH
1004H	D024H

- (1) 若采用寄存器间址方式读取操作数，指定寄存器 R0 的内容为 1002H, 则操作数是多少？
- (2) 若采用自增型寄存器间址方式 (R0)+读取操作数, R0 内容为 1000H, 则操作数是多少？指令执行完成后 R0 的内容是多少？
- (3) 若采用自减型寄存器间址方式-(R1)读取操作数, R1 内容为 1003H, 则操作数是多少？指令执行完成后 R1 的内容是多少？
- (4) 若采用变址寻址方式 X(R2)读取操作数，指令中给出形式地址 d=3H, 变址寄存器 R2 内容为 1000H, 则操作数是多少？

参考答案

一、单项选择题

请将单项选择题答案填在下面:

1	2	3	4	5	6	7	8	9	10	11	12
4	4	4	4	4	4	3	3	3	3	1	1

二、判断分析题(指出正、误;对错误或不妥者请说明)

1. 堆栈是在主存储器中划出的一个特殊区域, 故可随机访问。(X)
堆栈可以是主存, 或者是 CPU 内部寄存器组。
2. 压栈操作是指: 将内容写入堆栈指针 SP。(X)
栈顶单元的地址。
3. 堆栈的栈顶是指 SP 寄存器。(X)
4. 单地址指令只能处理单操作数运算。(X)
可以处理单操作数或者双操作数运算
5. 减少指令中地址数目的办法是采用以寄存器为基础的寻址。(X)
减少地址数采用隐地址; 减少地址位数采用寄存器寻址。
6. 减少指令中一个地址码位数的办法是采用隐地址。(X)
7. 指令的地址结构是指: 一条指令采用几种寻址方式。(X)
指令中给出几个地址
8. 外围设备与主存统一编址是指: 为每台外围设备分配一个总线地址。(X)
外设接口中的寄存器分配一个总线地址。

四. 简答题

1. 何谓堆栈？说明堆栈指针 SP 的作用？
堆栈是按照先进后出的原则进行存储数据的存储区。SP 是一个寄存器，SP 中内容是栈顶单元的地址。
2. 何谓隐式 I/O 指令？其主要特点是什么？
将外部设备接口中的寄存器与主存单元进行统一编址，用同样的总线进行访问，主机通过传送指令相同的方式访问外设，对主存的寻址方式同样适合与外设，使编制程序更加灵活。
3. 主机调用外围设备，外设编制可采用那几种方式？
单独编址到设备级；单独编址到寄存器级；外部设备和主存统一编址。

五. 计算题

1. 某指令字长 12 位, 每个地址字段 4 位, 若要求有 12 条双操作数指令, 问单操作数—地址指令最多可有多少条?
- 双操作数的操作码占据 0000-1011, 剩余 1100-1111 的 4 种状态可用于单操作数的扩展操作码, 每一种状态可以由 16 条单操作数指令, 故可以由 64 条单操作数指令。
2. 某主存储器部分单元的地址码与存储器内容对应关系如下:
- | 地址码 | 存储内容 |
|------|----------|
| 0000 | 00000000 |
| 0001 | 00000001 |
| 0010 | 00000010 |
| 0011 | 00000011 |
| 0100 | 00000100 |
| 0101 | 00000101 |
| 0110 | 00000110 |
| 0111 | 00000111 |
| 1000 | 00001000 |
| 1001 | 00001001 |
| 1010 | 00001010 |
| 1011 | 00001011 |
| 1100 | 00001100 |
| 1101 | 00001101 |
| 1110 | 00001110 |
| 1111 | 00001111 |

1000H	A307H
1001H	0B3FH
1002H	1200H
1003H	F03CH
1004H	D024H

(1)若采用寄存器间址方式读取操作数,指定寄存器 R0 的内容为 1002H,则操作数是多少? 1200H

(2)若采用自增型寄存器间址方式 (R0)+读取操作数,R0 内容为 1000H,则操作数是多少? A307H 指令执行完成后 R0 的内容是多少? 1001H

(3)若采用自减型寄存器间址方式 -(R1)读取操作数,R1 内容为 1003H,则操作数是多少? 1200H 指令执行完成后 R1 的内容是多少? 1002H

(4)若采用变址寻址方式 X(R2)读取操作数,指令中给出形式地址 d=3H,变址寄存器 R2 内容为 1000H,则操作数是多少? F03CH

第 3 章 运算部件

一. 填空题

1. 运算器的核心部件是 ()
2. 运算器一般应具有 () 与 () 两大类运算能力。
3. 在补码一位乘中,被乘数一般取 () 位符号位,乘数一般取 () 位符号位。
4. 在补码不恢复余数除法中,被除数取 () 位符号位,除数取 () 位符号位。
5. 在乘法运算中,累加器 A 的初始值为 (),以后 A 中存放 ()
6. 在除法运算中,累加器 A 的初始值为 (),以后 A 中存放 ()
7. 在补码一位乘中,乘数 Y 的末位应增设一位 (),其初值为 ()
8. 正数右移,第一符号位应补 ();负数右移,第一符号位应补 ()

二. 判断分析题(指出正、误;对错误或不妥者请说明)

1. 并行加法器的运算速度取决于全加器单元的速度。()
2. 乘法器的核心部件是加法器。()
3. 串行进位链是串行加法器中的进位链。()
4. 运算器实现移位操作,必须使用移位线路。()
5. 用两级半加器组成的全加器,求和时间虽然比用与或非门组成的全加器长一些,但前者构成的加法器,其运算速度仍可能高于用后者构成的加法器。()
6. 并行加法器中的进位链,必定是并行进位链。()
7. 原码加减运算比补码加减运算简单。()
8. 原码乘法运算比补码乘法运算简单。()
9. 若采用并行进位链,则 $C_3 = G_3 + P_3 C_2$ 。()
10. 进位制中的基数是:一个数位中允许使用的最大数码值。()

三. 简答题

1. 判断下面叙述是否正确,说明理由:串行加法器中的进位链是串行进位链,并行加法器中的进位链只有并行进位链。

2、常用的加法器进位链结构有哪几种？

参考答案

一、填空题

1. 运算器的核心部件是（ ALU ）
2. 运算器一般应具有（ 算术运算 ）与（ 逻辑运算 ）两大类运算能力。
3. 在补码一位乘中，被乘数一般取（ 两 ）位符号位，乘数一般取（ 一 ）位符号位。
4. 在补码不恢复余数除法中，被除数取（ 两 ）位符号位，除数取（ 两 ）位符号位。
5. 在乘法运算中，累加器 A 的初始值为（ 0 ），以后 A 中存放（ 部分积累加和 ）
6. 在除法运算中，累加器 A 的初始值为（ 被除数 ），以后 A 中存放（ 余数 ）
7. 在补码一位乘中，乘数 Y 的末位应增设一位（ 附加位 ），其初值为（ 0 ）
8. 正数右移，第一符号位应补（ 0 ）；负数右移，第一符号位应补（ 1 ）

二. 判断分析题（指出正、误；对错误或不妥者请说明）

1. 并行加法器的运算速度取决于全加器单元的速度。（ ） 错误，更主要的是取决于进位的传递速度
2. 乘法器的核心部件是加法器。（ ） 正确，因为加法器是运算的核心
3. 串行进位链是串行加法器中的进位链。（ ） 正确
4. 运算器实现移位操作，必须使用移位线路。（ ） 错误，在寄存器中实行移位时是不需要使用移位线路的
5. 用两级半加器组成的全加器，求和时间虽然比用与或非门组成的全加器长一些，但前者构成的加法器，其运算速度仍可能高于用后者构成的加法器。（ ） 正确，因为两级半加器组成的全加器其进位传递速度比与或非门组成的全加器快得多
6. 并行加法器中的进位链，必定是并行进位链。（ ） 错误，也可以使用串行进位链（课本例：采用串行进位的并行加法器）
7. 原码加减运算比补码加减运算简单。（ ） 错误，原码加减运算复杂，因为取绝对值运算，符号位要单独考虑
8. 原码乘法运算比补码乘法运算简单。（ ） 正确
9. 若采用并行进位链，则 $C_3 = G_3 + P_3G_2 + P_3P_2G_1 + P_3P_2P_1C_0$ 。（ ） 错误，此为串行进位链的表达式，应为 $C_3 = G_3 + P_3G_2 + P_3P_2G_1 + P_3P_2P_1C_0$ 。

三. 简答题

1. 判断下面叙述是否正确，说明理由：串行加法器中的进位链是串行进位链，并行加法器中的进位链只有并行进位链。前半句正确后半句错误，因判断题有相同的题故不再赘述
2. 常用的加法器进位链结构有哪几种？（串行进位链，并行进位链，分组进位链）

3.4 CPU 子系统

一. 单项选择题

1. 在同步控制方式中 ()。
 - (1) 各指令的执行时间相同
 - (2) 各指令占用的节拍数相同
 - (3) 由统一的时序信号进行定时控制
 - (4) CPU 必须采用微程序控制方式
2. 异步控制方式常用于 ()。
 - (1) CPU 控制
 - (2) 微程序控制
 - (3) 系统总线控制
 - (4) CPU 内部总线控制
3. CPU () 才能响应 DMA 请求。或者用如下叙述: CPU 响应 DMA 请求的时间是 ()。
 - (1) 必须在一条指令执行完毕
 - (2) 可在任意时钟周期结束
 - (3) 必须在一个总线周期结束
 - (4) 在判明设有中断请求之后
4. 在同步控制方式中 ()。
 - (1) 每个时钟周期 (节拍) 长度固定
 - (2) 各指令的时钟周期不变
 - (3) 每个工作周期长度固定
 - (4) 各指令的工作周期数不变
5. 异步控制常用于 () 中, 作为其主要控制方式。
 - (1) 单总线结构
 - (2) 微型计算机中的 CPU 控制
 - (3) 组合逻辑控制器
 - (4) 微程序控制器
6. 采用同步控制的目的是 ()。
 - (1) 简化控制时序
 - (2) 提高执行速度
 - (3) 满足不同操作对时间安排的需要
 - (4) 满足不同设备对时间安排的需要
7. 采用异步控制的目的是 ()。
 - (1) 支持微程序控制方式
 - (2) 简化控制时序
 - (3) 降低控制器成本
 - (4) 提高执行速度
8. 通用寄存器是 ()。
 - (1) 可存放指令的寄存器
 - (2) 可存放程序状态字的寄存器
 - (3) 本身具有计数逻辑与移位逻辑的寄存器
 - (4) 可编程指定多种功能的寄存器
9. 程序状态字寄存器的内容 ()。
 - (1) 只能由程序置位给定
 - (2) 不能由程序置给定
 - (3) 只能由运行结果置定
 - (4) 既能由运行结果置位, 也能由程序置位
10. 采用微程序控制的目的是 ()。
 - (1) 提高速度
 - (2) 简化控制器设计与结构
 - (3) 使功能很简单的控制器能降低成本
 - (4) 不再需要机器语言
11. 在微程序控制中, 机器指令和微指令的关系是 ()。
 - (1) 每一条机器指令由一条微指令来解释执行
 - (2) 每一条机器指令由一段微程序来解释执行
 - (3) 一段机器指令组成的工作程序, 可由一条微指令来解释执行
 - (4) 一条微指令由若干条机器指令组成
12. 微程序存放在 ()。
 - (1) 主存中
 - (2) 固定存储器中
 - (3) 堆栈中
 - (4) 磁盘中
13. 三级时序系统提供的三级时序信号是 ()。
 - (1) 指令周期、工作周期、节拍
 - (2) 工作周期、节拍、脉冲
 - (3) 指令周期、机器周期、时钟周期
 - (3) 指令周期、微指令周期, 时钟周期
14. 扩展同步总线 ()。
 - (1) 允许时钟周期长度可变
 - (2) 允许总线周期长度可变
 - (3) 无时钟周期划分
 - (4) 无总线周期划分

二. 填空题

1. 设计 CPU 总体结构的核心问题是确定 () 的结构。
2. 微命令的含义是 ()。
3. 待执行的工作程序存放在 () 中, 而微程序存放在 () 中。
4. 在 CPU 中采用 () 的时序控制方式。
5. 使用中断方式, 在 () 这段时间内, CPU 可以和外围设备同时工作。
6. 在同步控制方式中, 一个操作结束并开始下一操作的依据是 ()。
7. 控制器的组成方式可归结为 () 和 () 二种。
8. 微命令一般分为 () 与 () 两种电信号形式。
9. 数据通路宽度是指 ()。
10. DMA 方式适用于 () 场合。

三. 判断分析题 (指出正、误; 对错误或不妥者请说明)

1. 在计算机系统中, 可能同时采用同步控制方式与异步控制方式。()
2. 在同步控制方式中, 各指令的执行时间并不一定都相同。()
3. 采用 DMA 方式传送信息, 一旦开始传送后, CPU 必须停止执行程序一段时间, 直到批量传送结束, 才能恢复工作。()

四. 简答题

1. 何谓同步控制方式, 有何主要特征? 何谓异步控制?
2. 何谓主从设备, 试举例说明。
3. 同步控制中如何引入异步应答的, 试举例说明。
4. 何谓程序中断? 请说明它的特点和适用场合。
5. 何谓 DMA 方式? 请说明它的适用场合。
6. 微程序控制思想的基本要点是什么?

五. 设计题

某 CPU 组成: 用 SN74181 构成的 ALU 一个, 选择器 A、B, 移位器; 通用寄存器 $R_0 \sim R_3$, 暂存器 C、D; 指令寄存器 IR, 程序计数器 PC; 地址寄存器 MAR, 数据缓冲寄存器 MBR, 堆栈指针 SP; CPU 内单向数据总线一组。

(1) 画出一种 CPU 数据通路框图 (寄存器级)

(2) 拟定加法指令 $\text{ADD (SP)+, X(R}_0\text{)}$ 的指令流程 (采用寄存器传送级语句,

如 $R_0 \rightarrow R_1$), 源寻址方式采用堆栈寻址, 目的寻址方式采用变址寻址方式。

(3) 请安排 FT 周期的微命令。

第三章 CPU 子系统答案

一. 单项选择题

1. 在同步控制方式中 (3)。
(1) 各指令的执行时间相同 (2) 各指令占用的节拍数相同
(3) 由统一的时序信号进行定时控制 (4) CPU 必须采用微程序控制方式
2. 异步控制方式常用于 (3)。
(1) CPU 控制 (2) 微程序控制 (3) 系统总线控制 (4) CPU 内部总线控制
3. CPU (3) 才能响应 DMA 请求。或者用如下叙述: CPU 响应 DMA 请求的时间是 (3)。
(1) 必须在一条指令执行完毕 (2) 可在任意时钟周期结束
(3) 必须在一个总线周期结束 (4) 在判明设有中断请求之后
4. 在同步控制方式中 (1)。
(1) 每个时钟周期 (节拍) 长度固定 (2) 各指令的时钟周期不变
(3) 每个工作周期长度固定 (4) 各指令的工作周期数不变
5. 异步控制常用于 (1) 中, 作为其主要控制方式。
(1) 单总线结构 (2) 微型计算机中的 CPU 控制
(3) 组合逻辑控制器 (4) 微程序控制器
6. 采用同步控制的目的是 (1)。
(1) 简化控制时序 (2) 提高执行速度
(3) 满足不同操作对时间安排的需要 (4) 满足不同设备对时间安排的需要
7. 采用异步控制的目的是 (4)。
(1) 支持微程序控制方式 (2) 简化控制时序
(3) 降低控制器成本 (4) 提高执行速度
8. 通用寄存器是 (4)。
(1) 可存放指令的寄存器 (2) 可存放程序状态字的寄存器
(3) 本身具有计数逻辑与移位逻辑的寄存器 (4) 可编程指定多种功能的寄存器
9. 程序状态字寄存器的内容 (4)。
(1) 只能由程序置位给定 (2) 不能由程序置给定
(3) 只能由运行结果置定 (4) 既能由运行结果置位, 也能由程序置位
10. 采用微程序控制的目的是 (2)。
(1) 提高速度 (2) 简化控制器设计与结构
(3) 使功能很简单的控制器能降低成本 (4) 不再需要机器语言
11. 在微程序控制中, 机器指令和微指令的关系是 (2)。
(1) 每一条机器指令由一条微指令来解释执行
(2) 每一条机器指令由一段微程序来解释执行
(3) 一段机器指令组成的工作程序, 可由一条微指令来解释执行
(4) 一条微指令由若干条机器指令组成
12. 微程序存放在 (2)。
(1) 主存中 (2) 固定存储器中 (3) 堆栈中 (4) 磁盘中
13. 三级时序系统提供的三级时序信号是 (2)。
(1) 指令周期、工作周期、节拍 (2) 工作周期、节拍、脉冲

(3)指令周期、机器周期、时钟周期 (3)指令周期、微指令周期, 时钟周期
14. 扩展同步总线 (2)。

- | | |
|----------------|----------------|
| (1) 允许时钟周期长度可变 | (2) 允许总线周期长度可变 |
| (3) 无时钟周期划分 | (4) 无总线周期划分 |

二. 填空题

1. 设计 CPU 总体结构的核心问题是确定 (数据通路) 的结构。
2. 微命令的含义是 (控制部件通过控制总线向执行部件发出各种控制信号)。
3. 待执行的工作程序存放在 (主存) 中, 而微程序存放在 (控存) 中。
4. 在 CPU 中采用 (同步) 的时序控制方式。
5. 使用中断方式, 在 (在响应中断服务请求前、中断服务之后) 这段时间内, CPU 可以和外围设备同时工作。
6. 在同步控制方式中, 一个操作结束并开始下一操作的依据是 (一个时钟周期结束)。
7. 控制器的组成方式可归结为 (组合逻辑控制器) 和 (微程序控制器) 二种。
8. 微命令一般分为 (电平型) 与 (脉冲型) 两种电信号形式。
9. 数据通路宽度是指 (数据总线一次能并行传送数据的位数)。
10. DMA 方式适用于 (高速外设与主存之间的简单批量的数据传送) 场合。

三. 判断分析题 (指出正、误; 对错误或不妥者请说明)

1. 在计算机系统中, 可能同时采用同步控制方式与异步控制方式。(V)
2. 在同步控制方式中, 各指令的执行时间并不一定都相同。(V)
3. 采用 DMA 方式传送信息, 一旦开始传送后, CPU 必须停止执行程序一段时间, 直到批量传送结束, 才能恢复工作。(X)

CPU 只要不使用系统总线, 他和 DMA 并行工作。

四. 简答题

7. 何谓同步控制方式, 有何主要特征? 何谓异步控制?

统一发出的时序信号对各项操作进行同步控制。操作时间被划分为若干长度固定的时间段, 一个时间段就是一个节拍, 每个时钟周期完成一步操作。

异步控制: 各项操作不受统一时序信号的约束, 而根据实际需求安排时间。

8. 何谓主从设备, 试举例说明。

在异步控制方式中, 应答双方分别称为主设备和从设备。主设备是申请并掌握总线权的设备 (主动方), 从设备是响应主设备要求的设备, 不掌握总线控制权。

9. 同步控制中如何引入异步应答的, 试举例说明。

当某设备申请使用总线时, 在请求应答线上向 CPU 发出请求信号, 此时 CPU 正在使用总线, 经过几个时钟周期后, 总线使用完毕。CPU 通过同一请求应答线, 向该设备发出响应请求信号。在下一个时钟周期开始, CPU 让出总线控制权。经过若干时钟周期之后, 设备使用完毕, 通过请求应答线向 CPU 发出释放总线控制权, 将总线权交给 CPU

10. 何谓程序中断? 请说明它的特点和适用场合。

CPU 暂时中止现程序的执行, 转去执行为某个随机事态服务的中断处理程序。处理完毕后自动恢复原程序的执行。

特点: 随机性。应用: 用于中、低速 I/O 操作或处理复杂随机事件。

11. 何谓 DMA 方式? 请说明它的适用场合。

直接依靠硬件实现主存与 I/O 间的数据传送，传送期间不需 CPU 程序干预。

应用：用于高速、简单、批量数据传送。

12. 微程序控制思想的基本要点是什么？

将不同周期或节拍的微操作进行编码，使不同微操作对应一个编码值，并存入存储器(ROM)。需要时，读出编码并译码，同样可产生电信号。

一条机器指令需要执行若干步操作，每一步由一条微指令完成。若干的微指令构成一段微程序，解释机器指令的执行。

五. 设计题

某 CPU 组成：用 SN74181 构成的 ALU 一个，选择器 A、B，移位器；通用寄存器 $R_0 \sim R_3$ ，暂存器 C、D；指令寄存器 IR，程序计数器 PC；地址寄存器 MAR，数据缓冲寄存器 MBR，堆栈指针 SP；CPU 内单向数据总线一组。

(1) 画出一种 CPU 数据通路框图（寄存器级）

(2) 拟定加法指令 $ADD (SP)+, X(R_0)$ 的指令流程（采用寄存器传送级语句，

如 $R_0 \rightarrow R_1$ ），源寻址方式采用堆栈寻址，目的寻址方式采用变址寻址方式。

FT0: $M \rightarrow IR, PC+1 \rightarrow PC$

ST0: $SP \rightarrow MAR$

ST1: $M \rightarrow MDR \rightarrow C$

ST2: $SP+1 \rightarrow SP$

DT0: $PC \rightarrow MAR$

DT1: $M \rightarrow MDR \rightarrow D$

DT2: $PC+1 \rightarrow PC$

DT3: $D+R_0 \rightarrow MAR$

DT4: $M \rightarrow MDR \rightarrow D$

ET0: $C+D \rightarrow MDR$

ET1: $MDR \rightarrow M$

ET2: $PC \rightarrow MAR$

(3) 请安排 FT 周期的微命令。

MEMAR, SIR, $PC \rightarrow A$, 选择 A, DM, $1 \rightarrow ST$

CPPC, CPT, CPFT, CPST, CPDT, CPET

第四章 存储子系统

一. 单项选择题

1. 磁表面存储的记录方式是指 ()。
~~(1) 写入电流波形的组成方式~~ (2) 记录项的组成方式
~~(3) 数据块的记录方式~~ (4) 写入文件的组成方式
2. 磁盘存储器多用作 ()。
(1) 辅存 (2) 高速缓存 (3) 主存 (4) 固存
3. 目前软盘中常用的磁记录方式是 ()。
~~(1) M2F 制~~ (2) 不归零—1 制 (3) 调相制 (4) 调频制
4. 在磁盘接口中 ()。
(1) 采用直接程序传送方式 (2) 只采用中断方式
(3) 只采用 DMA 方式 (4) 既有 DMA 方式, 又有中断方式
5. 在下列存储器中, () 属于磁表面存储器。
(1) 主存 (2) 高速缓存 (3) 固存 (4) 磁盘
6. 主存储器一般 ()。
(1) 需同时采用两种校验 (2) 采用海明校验
(3) 采用循环码校验 (4) 采用奇偶校验
7. 动态 RAM 的特点是 ()。
(1) 工作中存储内容会产生变化 (2) 工作中需动态的改变访问存地址
(3) 每次读出后, 需根据原存内容重写一次 (4) 每隔一定时间, 需根据原存内容重写一次
8. 地址总线 A0 (高位)~A15 (低位), 用 4K*4 的存储芯片组成 16KB 的存储器, 则加至各存储芯片上的地址线是 ()。
(1) A16~A15 (2) A0~A9
(3) A0~A11 (4) A4~A15
9. 地址总线 A0 (高位)~A15 (低位), 用 4K*4 的存储芯片组成 16KB 的存储器, 则应由 () 译码产生片选信号。
(1) A0~A5 (2) A0A1 (3) A12~A15 (4) A2A3
10. 地址总线 A15 (高位)~A0 (低位), 用 1K*4 的存储芯片组成 4KB 的存储器, 则加至各存储芯片上的地址线是 ()。
(1) A15~A6 (2) A9~A0 (3) A15~A5 (4) A10~A0
11. 同上题, 问应由 () 译码产生片选信号。
(1) A9~A0 (2) A11A10 (3) A15A14 (4) A1A0
12. 表示主存容量, 通常以 () 为单位。
(1) 数据块数 (2) 字节数 (3) 扇区数 (4) 记录相数
13. 在下列存储器中, 允许随机访问的存储器是 ()。
(1) 磁带 (2) 磁盘 (3) 磁鼓 (4) 半导体存储器
14. 在下列存储器中, () 存取时间长短与信息所在的位置有关。
(1) 主存 (2) 高速缓存 (3) 固存 (4) 磁带
15. 磁表面存储器所记录的信息 ()。
~~(1) 读出若干次要重写~~ (2) 不能长期保存
~~(3) 读出后, 原存信息既被破坏~~ (4) 能长期保存

16. 按存储介质分类,属于磁表面存储器的有()。
(1) 主存 (2) 磁盘 (3) Cache (4) 光盘
17. 静态 RAM 的特点是()。
(1) 写入的信息静止不变 (2) 在不停电的情况下,信息能长期保持不变
(3) 只读不写,因而信息不再变化 (4) 停电后,信息仍能长久保持不变
18. 在下列存储器中,速度最快的是()。
(1) 磁带存储器 (2) 半导体存储器 (3) 磁盘存储器 (4) 磁卡存储器
19. 在下列外存储器中,工作速度最快的是()。
(1) 磁带 (2) 软盘 (3) 硬盘 (4) 光盘
20. CPU 可直接访问的存储器是()。
(1) 磁盘存储器 (2) 虚拟存储器 (3) 主存储器 (4) 磁带存储器
21. 在下面的结论中,()正确。
(1) 主存是主机的一部分,不能通过系统总线被访问
(2) 主存是主机的一部分,必须通过专用总线进行访问
(3) 主存可以和外围设备一样,通过系统总线被访问
(4) 主存是主机的一部分,必须通过内总线进行访问
22. 奇校验的编码原则是()。
(1) 让待编信息为 1 的个数为奇数 (2) 让编成的校验码为 1 的个数为奇数
(3) 让待编信息为 0 的个数为奇数 (4) 让编成的校验码为 0 的个数为奇数
23. 存取速度最快的存储器是()。
(1) 辅存 (2) 主存 (3) 磁盘 (4) 磁带
24. 顺序存取存储器只适合于作()。
(1) 主存 (2) 辅存 (3) ROM (4) 高速缓存
25. 在磁道的各磁道中()。
(1) 最外圈磁道的位密度最大 (2) 最内圈磁道的位密度最大
(3) 中间磁道的位密度最大 (4) 所有磁道的位密度一样大
26. 若 CPU 的地址线为 16 根,则能够直接访问的存储区最大容量为()。
(1) 1M (2) 64K (3) 640K (4) 384K
27. 主存储器常采用()。
(1) 随机存取方式 (2) 顺序存取方式
(3) 直接存取方式 (4) 半顺序存取方式
28. 磁盘常采用()。
(1) 随机存取方式 (2) 顺序存取方式
(3) 直接存取方式 (4) 只读不写方式
29. 动态存储器的最大刷新周期为()。
(1) 4ms (2) 10ms (3) 2ms (4) 6ms

二. 填空题

1. 在存储系统的层次结构中,CPU 可直接访问的存储器是()和()。
2. 六管静态 MOS 存储单元是依靠()存储信息。
3. 静态 RAM 靠()存储信息。

4. 当 R/W 为 () 电平时, 写入芯片。
5. 磁盘存储器的速度指标一般包括 ()、() 和 () 三种。
6. 按存取方式分类, 磁带属于 () 存储器。
7. 动态 MOS 存储器的刷新周期安排方式有 ()、() 和 () 三种。
8. 磁盘中常用的校验方法是 ()。
9. 若地址码 8 位, 按字节编址则访问空间可达 ()。若地址码 10 位, 则访存空间可达 ()。若地址码 16 位, 则访存空间可达 ()。若地址码 20 位, 则访存空间可达 ()。

一、简答题

1. 动态刷新分为哪几种情况, 各有什么特点?
2. 何谓随机存取? 何谓顺序存取? 何谓直接存取? 请各试举一例。
3. 若待编信息为 $(10110100)_2$, 分别求其奇校验码与偶校验码。
4. 高速缓存 Cache 用来存放什么内容? 设置它的主要目的是什么?
5. 若 CRC 码的码制为 (7, 4) 码, 生成多项式 $G(x) = 1011$, 试将代码 1101 编成 CRC 码, 并求出出错模式。

三. 设计题

1. 用 $4K \times 8$ 位/片的存储芯片构成一个 $16K \times 8$ 位的存储器, 地址总线 $A_{15} \sim A_0$ (低), 双向数据总线 $D_7 \sim D_0$, R/W 控制读写。请问答:
 - (1) 直接加到各存储芯片的地址线是哪几位?
 - (2) 写出四个片选信号的逻辑式;
 - (3) 画出存储器逻辑图 (芯片级)。
2. 用 $2K \times 2$ 位的存储芯片构成一个 8KB 的存储器, 画出存储器逻辑图 (芯片级), 注明各芯片的地址线, 数据线, 片选逻辑式。地址总线 $A_{15} \sim A_0$ (低), 双向数据总线 $D_7 \sim D_0$ (低)。
3. 设计一个容量为 8KB 的半导体存储器, 其中固化区为 3KB, 可选用 EPROM 芯片 2716 ($2K \times 8$ 位/片, $1K \times 8$ 位/片若干片); 随机读写区 5KB, 可选用 SRAM 芯片: $2K \times 4$ 位/片 (若干)、 $1K \times 4$ 位/片 (若干)。地址总线 $A_{15} \sim A_0$ (低), 双向数据总线 $D_7 \sim D_0$ (低), 读写控制线为 R/W, 控制信号 MREQ 低电平允许存储器工作, 请设计存储器逻辑图, 并注明各芯片地址、数据线、片选逻辑式等。
4. 试设计一个容量为 7KB 的半导体存储器, 其中固化区范围为 0000H—0FFFH, 可选用 EPROM 芯片 2716 ($2K \times 8$ 位/片); 随机读写区范围为 1000H—1BFFH, 可选用 SRAM 芯片: $2K \times 4$ 位/片, $1K \times 4$ 位/片。地址总线 $A_{15} \sim A_0$ (低), 双向数据总线 $D_7 \sim D_0$ (低), R/W 控制读写, 请设计存储器逻辑图, 并注明各芯片地址线, 数据线, 片选逻辑式等。

第五章 输入输出系统

一. 单项选择题

1. 不同工作速度的设备之间进行信息交换 (1)。
 - (1) 必须采用异步控制
 - (2) 必须采用同步控制

- (3)即可以采用同步控制，也可以采用异步控制
- (4)不能用时钟周期提供时间划分基准
- 2. 在异步控制的总线传送中，主设备是（4）。
 - (1)要求发送数据的设备 (2)要求接受数据的设备
 - (3)CPU (4)申请控制总线的设备
- 3. 响应中断（3）。
 - (1)可在任一时钟周期结束时 (2)可在任一工作周期结束时
 - (3)必须在一条指令执行完毕时 (4)必须在执行完当前程序段时
- 4. 外部接口是（2）的逻辑部件。
 - (1)CPU 与系统总线之间 (2)系统总线与外部设备之间
 - (3)主存与外围设备之间 (4)运算器与外围设备之间
- 5. 串行接口是指（2）。
 - (1)接口与系统总线之间采取串行传送 (2)接口与外围设备之间采取串行传送
 - (3)接口与两侧采取串行传送 (4)接口内部只能串行传送
- 6. 并行接口是指（2）。
 - (1)接口与系统总线之间采取 (2)接口与外围设备之间采取并行传送
 - (3)系统总线采用并行传送 (4)接口采用中断方式
- 7. 中断屏蔽字的作用是（2）。
 - (1)暂停外设对主存的访问 (2)暂停对某些中断的响应
 - (3)暂停对一切中断的响应 (4)暂停 CPU 对主存的访问
- 8. 向量中断的向量地址是（2）。
 - (1)通过软件查询产生 (2)由中断总服务程序统一产生
 - (2)由中断源硬件提供 (4)由处理程序直接查表获得
- 9. 在打印机接口中，一般采用（1）。
 - (1)中断方式 (2)DMA 方式 (3)通道方式 (4)IOP 方式
- 10. 在磁盘中（4）。
 - (1)只采取查询等待方式 (2)只采取程序中断方式
 - (3)只采取DMA 方式 (4)既有DMA 方式，也有中断方式
- 11. 在中断方式中，数据传送由（4）。
 - (1)总线控制器控制 (2)中断控制器控制
 - (2)接口控制 (4)CPU 控制
- 12. 为了禁止某个设备申请中断，CPU 应该（4）。
 - (1)关中断 (2)设置优先级字段 (3)送中断类型码 (4)送屏蔽字

二. 填空题

- 1. 按时序控制方式，系统总线可分为（同步总线），与（异步总线）两大类。
- 2. 保存断点（响应中断后）是指保存（PC 寄存器的内容）。
- 3. 向量中断方式的优点是（向量地址和中断服务程序入口地址直接由硬件产生，不需要占用 CPU 时间）。
- 4. 执行中断隐指令所完成的基本操作有（关中断、保存断点和取得中断服务程序入口地址）等。
- 5. 若使用中断方式，在（外设工作）这段时间内，CPU 可和外围设备同时工作。
- 6. 键盘输入采取（中断）方式向主机输入键码。
- 7. 按数据传送方式，外围接口可分为（并行接口）与（串行接口）两大类。

8. 按信息交换控制方式, 外围接口可分为(程序控制接口)、(中断接口)和 DMA 接口。
9. 外围接口是指位于(主机)与(外部设备)之间的逻辑控制部件。
10. 外围接口按时序控制方式可分为(同步接口)与(异步接口)两类。

三. 简答题

1. 系统总线上一般包含哪三组信息?
数据、状态和控制三组信息
2. 中断过程一般包括哪几个阶段?
中断请求, 中断响应, 中断处理, 中断返回
3. 何谓向量中断? 有何优点和缺点?
由硬件提供服务程序入口地址, 速度快, 不占用 CPU 时间、入口地址不能随意调整或改变。
4. 何谓非向量中断? 有何优点和缺点?
由软件提供服务程序入口地址, 占用 CPU 时间, 入口地址可以灵活调整。
5. 何谓程序直传方式, 中断方式, DMA 方式? 它们之间的区别?
程序直接传送: 通过指令查询外设工作状态来达到 CPU 与外设的同步, 以实现不同速度设备间的数据传送。
中断方式: CPU 暂时中止现程序的执行, 转去执行为某个随机事态服务的中断处理程序。处理完毕后自动恢复原程序的执行。该中断处理程序也称为中断服务程序
DMA 方式: 直接依靠硬件实现主存与 I/O 间的数据传送, 传送期间不需 CPU 程序干预。
DMA 和中断方式共同点: 能响应随机请求; 可并行操作(CPU 与外设)。
DMA 与中断的不同点。
中断: 用程序实现中、低速 I/O 传送; 能处理复杂事件; 一条指令结束时响应请求; 程序切换
DMA: 用硬件实现高速、简单 I/O 传送; 一个总线周期结束时响应请求。总线权切换; CPU 不参与数据传送。

四. 设计题(略)

某机需扩展 3 台 I/O 设备, 每台设备都可用中断方式与主机交换数据。该 3 台设备共用一个中断号, 通过中断控制器的 IREQ1 请求输入端进行扩展。

1. 为 3 台设备设计一个中断接口, 画出寄存器级粗框图;
2. 描述从扩展设备提出中断请求, 到转入扩展设备服务程序的过程;
3. 若允许多重中断, 则写出扩展设备服务程序的流程。

第六章 输入输出设备及 I/O 接口

一. 单项选择提题

请将单项选择题答案填在下面:

1	2	3	4	5	6	7	8	9	10	11
---	---	---	---	---	---	---	---	---	----	----

--	--	--	--	--	--	--	--	--	--	--

1. 键盘输入装置 ()
 - (1) 必须具有编码输出功能
 - (2) 都采取非编码输出
 - (3) 每个键必对应一根输出线
 - (4) 可采用编码输出, 也可采取非编码输出
2. 打印机接口应选 ()
 - (1) 直接程序传送方式接口
 - (2) 中断接口
 - (3) DMA 接口
 - (4) 既可选用中断接口, 也可选用 DMA 接口
3. 某字符显示器, 每帧可显示 25 行*80 列, 则第 2 行第 5 列 (序号均从 0 开始数) 字符的代码, 应存放在基本显示缓存的第 () 单元中。
 - (1) 165
 - (2) 127
 - (3) 35
 - (4) 任意
4. 下列设备中, 哪种适于通过 DMA 方式与主机进行信息交换 ()。
 - (1) 键盘
 - (2) 电传输入机
 - (3) 针式打印机
 - (4) 磁盘
5. 某 CRT 显示器作图象显示, 分辨率 800 点*600 线, 则其字节计数器的分频关系为 ()。
 - (1) 600: 1
 - (2) 800: 1
 - (3) (100+L): 1
 - (4) 100: 1
6. 字符显示器的字符发生器中, 存放的是 ()。
 - (1) 字符的 ASCII 码
 - (2) 字符的点阵信息
 - (3) 字符代码所在单元的地址码
 - (4) 字符的显示属性信息
7. 在 CRT 显示器中, 字符发生器应当选用 ()。
 - (1) RAM
 - (2) ROM
 - (3) 磁盘
 - (4) 磁带
8. 当 CRT 显示器作字符显示时, 缓存中应存放 ()。
 - (1) 待显示字符的编码
 - (2) 待显示字符的点阵信息
 - (3) 待显示字符的显示位置坐标
 - (4) 待显示字符所在单元的地址码
9. 每访问一次 CRT 显示器的字符发生器, 获得 ()。
 - (1) 一个字符的 ASCII 编码
 - (2) 一个字符的横向一行的点阵代码
 - (3) 一个字符的全部点阵代码
 - (4) 一个字符的纵向一行的点阵代码
10. 在写磁盘过程中, 适配器向主机发出 DMA 请求是在 ()。
 - (1) 寻道完成时
 - (2) 启动磁盘时
 - (3) 扇区缓冲区空时
 - (4) 扇区缓冲区满时

11. 在读磁盘过程中, 适配器向主机发出 DMA 请求是在 ()。

- (1) 寻道完成时 (2) 启动磁盘时
(3) 扇区缓冲区空时 (4) 扇区缓冲区满时

二. 填空题

1. 输入设备将数据与指令等信息变成 ()。
2. 某 CRT 显示器作字符显示, 则该显示器缓存中存放的内容是 ()。
3. 显示器的显示方式一般分为 () 和 () 两类。
4. 某 CRT 显示器作字符显示, 能显示 64 种字符, 每帧可显示最大容量为 25 行*64 字符, 每个字符采用 7*8 点阵, 即横向 7 点, 纵向 8 点, 则字符发生器的容量为 ()。
5. 某 CRT 显示器作字符显示, 每帧可显示 25 行*64 字符, 行数序号由 0 至 24, 列号由 0 至 63, 则第 2 行第 3 列字符的代码应存放在第 () 单元中。
6. 某 CRT 显示器作字符显示, 能显示 64 种字符, 每帧可显示 25 行*64 字符, 则基本缓存 (不考虑属性) 容量应为 () 字节。
7. 某 CRT 显示器作字符显示, 每帧可显示 25 行*80 字符, 每个字符采用横 7*纵 9 点阵, 字符间横向间距 2 点, 行间间距 5 点。则点计数器应为 () 分频, 字符计数器应为 () 分频, 线计数器应为 () 分频, 行计数器应为 () 分频。
8. 某 CRT 显示器作图形显示, 分辨率 200 线*640 点, 则显示器缓冲存储器容量为 () 字节。
9. 某图形显示器的分辨率为横向点 800*纵向点 600, 则同步计数器的点计数器应为 () 分频, 字节计数器应为 () 分频, 线计数器应为 () 分频。

三. 简答题

1. 字符显示器为了实现同步控制, 一般应设置几级同步计数器?
2. 图形显示器, 一般应设置几级同步计数器?
3. 在字符显示器中, 实现同步控制的点计数器, 字符计数器, 线计数器和行计数器各提供哪些控制信息?