

第5次作业 存储子系统

一. 单项选择题

1. 磁盘存储器多用作（ A ）。
A. 辅存 B. 高速缓存 C. 主存 D. 固存
2. 在下列存储器中，（ D ）属于磁表面存储器。
A. 主存 B. 高速缓存 C. 固存 D. 磁盘
3. 主存储器一般（ D ）。
A. 需同时采用两种校验 B. 采用海明校验
C. 采用循环码校验 D. 采用奇偶校验
4. 动态 RAM 的特点是（ D ）。
A. 工作中存储内容会产生变化 —— 不让改就不变
B. 工作中需动态的改变访问存地址 —— 胡扯
C. 每次读出后，需根据原存内容重写一次 —— 仅限单管存储器，四管动态 RAM 不破坏
D. 每隔一定时间，需根据原存内容刷新一次
5. 地址总线 A0~A15，用 4K*4 的存储芯片组成 16KB 的存储器，则加至各存储芯片上的地址线是（ C ）。
A. A16~A15 B. A0~A9
C. A0~A11 D. A4~A15
6. 地址总线 A0~A15，用 4K*4 的存储芯片组成 16KB 的存储器，则应由（ C ）译码产生片选信号。
A. A0~A5 B. A0A1 C. A12~A15 D. A2A3
7. 表示主存容量，通常以（ B ）为单位。
A. 数据块数 B. 字节数 C. 扇区数 D. 记录块数
8. 在下列存储器中，允许随机访问的存储器是（ D ）。
A. 磁带 B. 磁盘 C. 磁鼓 D. 半导体存储器

9. 在下列存储器中, (D) 存取时间长短与信息所在的位置有关。
A. 主存 B. 高速缓存 C. 固存 D. 磁带
10. 磁表面存储器所记录的信息 (D)。
A. 读出若干次后要重写 B. 不能长期保存
C. 读出后, 原存信息既被破坏 D. 能长期保存
11. 静态 RAM 的特点是 (B)。
A. 写入的信息静止不变 B. 在不掉电的情况下, 信息能长期保持不变
C. 只读不写, 因而信息不再变化 D. 掉电后, 信息仍能长久保持不变
12. 在下列存储器中, 速度最快的是 (B)。
A. 磁带存储器 B. 半导体存储器 C. 磁盘存储器 D. 磁卡存储器
13. CPU 可直接变成访问的存储器是 (C)。
A. 磁盘存储器 B. 虚拟存储器 C. 主存储器 D. 磁带存储器
14. 在下面的结论中, (C) 正确。
A. 主存是主机的一部分, 不能通过系统总线被访问
B. 主存是主机的一部分, 必须通过专用总线进行访问
C. 主存可以和外围设备一样, 通过系统总线被访问
D. 主存是主机的一部分, 必须通过内总线进行访问
15. 奇校验的编码原则是 (B)。
A. 让待编信息为 1 的个数为奇数 B. 让编成的校验码为 1 的个数为奇数
C. 让待编信息为 0 的个数为奇数 D. 让编成的校验码为 0 的个数为奇数
16. 顺序存取存储器只适合于作 (B)。
A. 主存 B. 辅存 C. ROM D. 高速缓存
17. 若 CPU 的地址线为 16 根, 则能够直接访问的存储区最大寻址空间为 (B)。
A. 1M B. 64K C. 640K D. 384K
18. 主存储器常采用 (A)。
A. 随机存取方式 B. 顺序存取方式
C. 直接存取方式 D. 半顺序存取方式

19. 磁盘常采用 (C)。
- A. 随机存取方式 B. 顺序存取方式
C. 直接存取方式 D. 只读不写方式
20. 动态存储器的最大刷新周期为 (C)。
- A. 4ms B. 10ms C. 2ms D. 6ms

三. 设计题

1、某半导体存储器容量 $8K \times 8$ 位，可选 RAM 芯片容量为 $2K \times 4$ /片。地址总线 $A_{15} \sim A_0$ (低)，双向数据线 $D_7 \sim D_0$ (低)，由 R/\bar{W} 线控制读写。请设计并画出该存储器逻辑图，并注明地址分配与片选逻辑式及片选信号极性。

【注】设计存储器需要由总容量确定可选存储器芯片的数量，由于每片容量通常低于总量，要用若干块芯片组成，这样需要在位数和单元数上进行扩展。其次，要考虑如何连接有关存储芯片的地址线、片选信号线、数据线和控制信号线。

地址分配的原则是将存储器的低位地址分配给存储芯片，以选择芯片内的存储单元；高位地址分配给片选逻辑，译码后产生片选信号，选择某个存储芯片。

(1) 确定芯片数量：本题存储容量为 $8K \times 8$ 位，可选的芯片容量为 $2K \times 4$ /片。由 2 块 $2K \times 4$ /片的芯片为一组，构成 $2K \times 8$ 的存储模块。由 4 组 $2K \times 8$ 的存储模块构成 $8K \times 8$ 的存储器，所以需要的芯片数量为 8 片。

(2) 本题存储总容量为 8KB，占 16 位 CPU 地址线的低 13 位 $A_{12} \sim A_0$ 。用这 13 位地址可寻址整个 8KB 空间，如果采用部分译码法就可以不考虑高 3 位的地址，接下来再对这 13 位地址进行分配。

任意值	片选	芯片内地址		
$A_{15} \dots A_{13}$	$A_{12} A_{11}$	$A_{10} \dots A_0$		
$\times 000 -$	0	0	$0 \dots 0$	$2K \times 4$
$\times 7FF$	0	1	$1 \dots 1$	$2K \times 4$
$\times 800 -$	0	1	$0 \dots 0$	$2K \times 4$
$\times FFF$	0	1	$1 \dots 1$	$2K \times 4$
$\times 1000 -$	1	0	$0 \dots 0$	$2K \times 4$
$\times 17FF$	1	0	$1 \dots 1$	$2K \times 4$
$\times 1800 -$	1	1	$0 \dots 0$	$2K \times 4$
$\times 1FFF$	1	1	$1 \dots 1$	$2K \times 4$

8KB
(8K需要13位地址 $A_{12} \sim A_0$, 每块芯片需11位地址 $A_{10} \sim A_0$)

低位地址分配给芯片，高位地址形成片选逻辑。

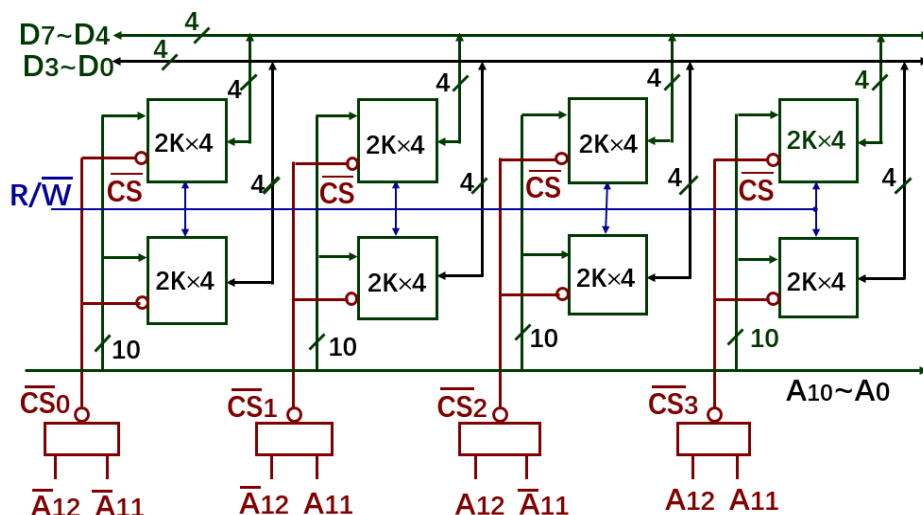
芯片	芯片地址	片选信号	片选逻辑
2K	$A_{10} \sim A_0$	CS_0	$\bar{A}_{12} \bar{A}_{11} (=00)$
2K	$A_{10} \sim A_0$	CS_1	$\bar{A}_{12} A_{11} (=01)$
2K	$A_{10} \sim A_0$	CS_2	$A_{12} \bar{A}_{11} (=10)$
2K	$A_{10} \sim A_0$	CS_3	$A_{12} A_{11} (=11)$

每组芯片的容量为 2KB，需要 11 位地址（A10~A0）对片内单元寻址，A12、A11 产生片选信号 CS0、CS1、CS2、CS3 的逻辑式为：

$$CS0=\bar{A}_{12}\bar{A}_{11}、CS1=\bar{A}_{12}A_{11}、CS2=A_{12}\bar{A}_{11}、CS3=A_{12}A_{11}$$

由于芯片的片选信号一般为负逻辑，所以实际的片选均要取反。

(3) 画出连接图，需要连接的信号包括：地址线、数据线、控制线和片选信号线。



(上图中的与非门也可以是或门，但输入则相反)

(另外也可以采用全译码进行设计)

2、某半导体存储器容量 7K×8 位。其中固化区 4K×8，可选 EPROM 芯片：2K×8/片。随机读写区 3K×8，可选 SRAM 芯片：2K×4/片、1K×4/片。地址总线 A₁₅~A₀（低），双向数据总线 D₇~D₀（低），R/ \bar{W} 控制读写。另有控制信号 \overline{MREQ} ，低电平时允许存储器工作。

假设存储器为从地址 0 开始的连续区间，低地址为 EPROM，高地址为 SRAM，并且遵循先安排大容量芯片后安排小容量芯片的设计原则。请采用全译码的方法描述每组芯片的地址分配和地址范围、片选逻辑表达式，结合 3/8 译码器画出存储器逻辑设计图。

(1) 芯片选择：需要 2 块 2KB 的 EPROM 芯片进行单元扩展，构成 4KB 的固化区；2 块 2K*4/片及 2 块 1K*4/片的 SRAM 芯片进行位扩展和单元扩展构成 3KB 的随机读写区。

(2) 地址分配及片选逻辑设计：7KB 单元占 CPU16 位地址线的低 13 位即 A12~A0，连接至各芯片的地址分配为：

第一组：2KB 的 EPROM 片内：A10~A0，所以 A15~A11 作为片选；

第二组：2KB 的 EPROM 片内：A10~A0，所以 A15~A11 作为片选；

第三组：2KB 的 SRAM 片内：A10~A0，所以 A15~A11 作为片选；

第四组：1KB 的 SRAM 片内：A9~A0，所以 A15~A10 作为片选；

	A15	A14	A13	A12	A11	A10	A9	...	A0	
0000 H	0	0	0	0	0	0	0		2KB (ROM)
07FF H	0	0	0	0	0	1	1		
0800 H	0	0	0	0	1	0	0		2KB (ROM)
0FFF H	0	0	0	0	1	1	1		
1000 H	0	0	0	1	0	0	0		2KB (RAM)
17FF H	0	0	0	1	0	1	1		
1800 H	0	0	0	1	1	0	0	...	0	1KB (RAM)
1BFF H	0	0	0	1	1	0	1	1	

各组的地址范围：

第一组：0000H~07FFH； 第二组：0800H~0FFFH；

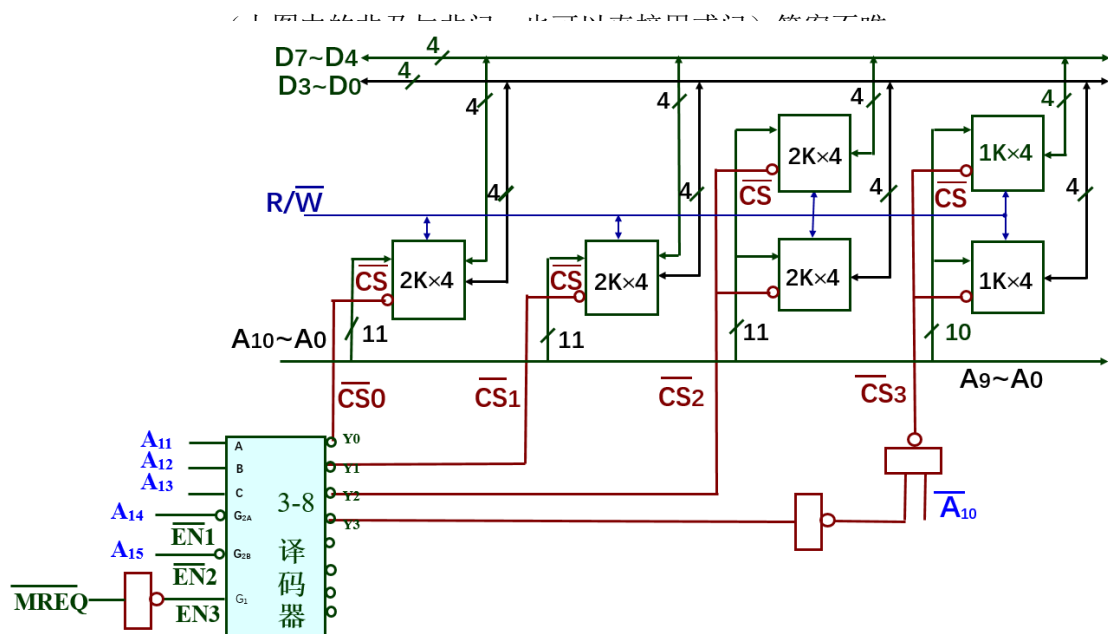
第三组：1000H~17FFH； 第四组：1800H~1BFFH；

所以这 4 个片选信号的逻辑式为：

$$CS0 = \bar{A}_{15} \bar{A}_{14} \bar{A}_{13} \bar{A}_{12} \bar{A}_{11}, \quad CS1 = \bar{A}_{15} \bar{A}_{14} \bar{A}_{13} \bar{A}_{12} A_{11}$$

$$CS2 = \bar{A}_{15} \bar{A}_{14} \bar{A}_{13} A_{12} \bar{A}_{11}, \quad CS3 = \bar{A}_{15} \bar{A}_{14} \bar{A}_{13} A_{12} A_{11} \bar{A}_{10}$$

(3) 地址分配及片选逻辑设计：每组片内最大地址为 A10~A0，若采用全译码法，且地址从 0 开始连续分配，同时采用 3-8 译码器)：



3、由于动态存储器的刷新是按行进行的，所以 1MB 的动态存储芯片若为 1024*1024 矩阵，那么在 2ms 之内至少应该安排 1024 个刷新周期。

4、某计算机字长 32 位，主存储器容量为 256MB，问：

- (1) 若按字节编址，其编址范围： 00000000H-FFFFFFFFH；
- (2) 若按半字编址，其编址范围： 00000000H-7FFFFFFFH
- (3) 若按字编址，其编址范围： 00000000H-3FFFFFFFH

5、某半导体存储器容量为 14KB，其中 0000-1FFFH 为 ROM 区，2000-37FFH 为 RAM 区，地址总线 16 位，数据总线 8 位，可选用的存储芯片有 EPROM（4KB/片）和 RAM（2K*4/片）。

(1) 计算所需各类芯片的数量：

因为 ROM 区为 8K，因此 EPROM 为 2 片；

RAM 区为 6K，因此 3*2=6 片。

(2) 说明加到各芯片的地址范围和地址线；

ROM: 0000H-0FFFH, 1000H-1FFFH；

RAM: 2000H-27FFH, 2800H-2FFFH, 3000H-37FFH

		$A_{15}A_{14}A_{13}A_{12}A_{11}A_{10}A_9 A_8 A_7 \dots A_0$
EPROM 4K×8		0 0 0 0 0 0 0 0 0...0
		0 0 0 0 1 1 1 1 1...1
EPROM 4K×8		0 0 0 1 0 0 0 0 0...0
		0 0 0 1 1 1 1 1 1...1
RAM 2K×4	RAM 2K×4	0 0 1 0 0 0 0 0 0...0
		0 0 1 0 0 1 1 1 1...1
RAM 2K×4	RAM 2K×4	0 0 1 0 1 0 0 0 0...0
		0 0 1 0 1 1 1 1 1...1
RAM 2K×4	RAM 2K×4	0 0 1 1 0 0 0 0 0...0
		0 0 1 1 0 1 1 1 1...1

- 第 0 组，4K 地址空间，故片内地址线 12 根： $A_{11}-A_0$
- 第 1 组，4K 地址空间，故片内地址线 12 根： $A_{11}-A_0$
- 第 2 组，2K 地址空间，故片内地址线 11 根： $A_{10}-A_0$
- 第 3 组，2K 地址空间，故片内地址线 11 根： $A_{10}-A_0$
- 第 4 组，2K 地址空间，故片内地址线 11 根： $A_{10}-A_0$

(3) 写出各片选信号的逻辑式。

$$\begin{aligned} CS0 &= \bar{A}_{15} \bar{A}_{14} \bar{A}_{13} \bar{A}_{12} & CS1 &= \bar{A}_{15} \bar{A}_{14} \bar{A}_{13} A_{12} & CS2 &= \bar{A}_{15} \bar{A}_{14} A_{13} \bar{A}_{12} \bar{A}_{11} & \\ CS3 &= \bar{A}_{15} \bar{A}_{14} A_{13} \bar{A}_{12} A_{11} & CS4 &= \bar{A}_{15} \bar{A}_{14} A_{13} A_{12} \bar{A}_{11} \end{aligned}$$

(4) (答案不唯一，也可以用 A15 作为使能信号，A14A13A12 作为 3/8 译码器输入等等)

