



## 第一部分 计算机基础

## 第5章 时序逻辑电路



## 5.1 时序逻辑电路基本概念

### 1 定义

在数字电路中，凡是任一时刻的稳定输出不仅决定于该时刻的输入，而且**还和电路原来的状态有关**，我们把这种数字电路称为时序逻辑电路，简称**时序电路**。

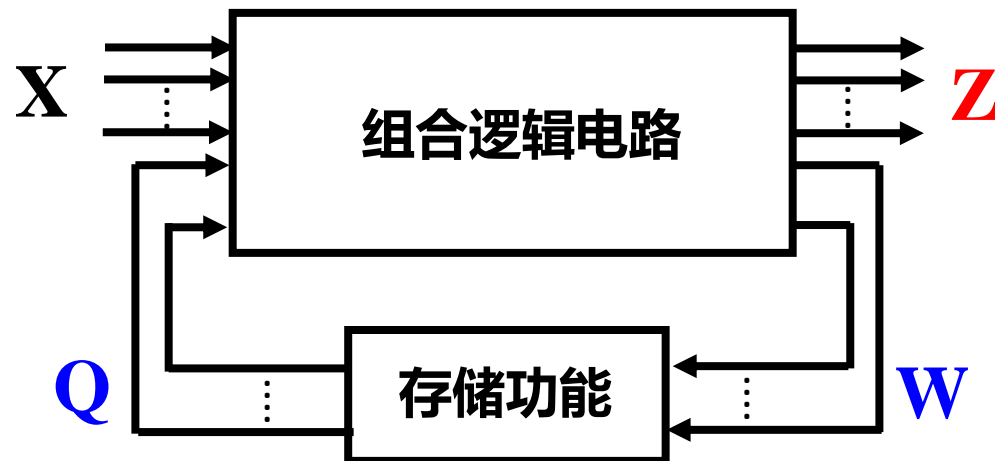
由于与过去的状态有关，所以电路中必须有存储单元，用来记忆过去的状态。



2

## 特点

- ◆ 具有记忆功能；
- ◆ 具有反馈电路。



组合逻辑电路：由逻辑门构成；

存储器件：由触发器组成；



## 5.2 触发器

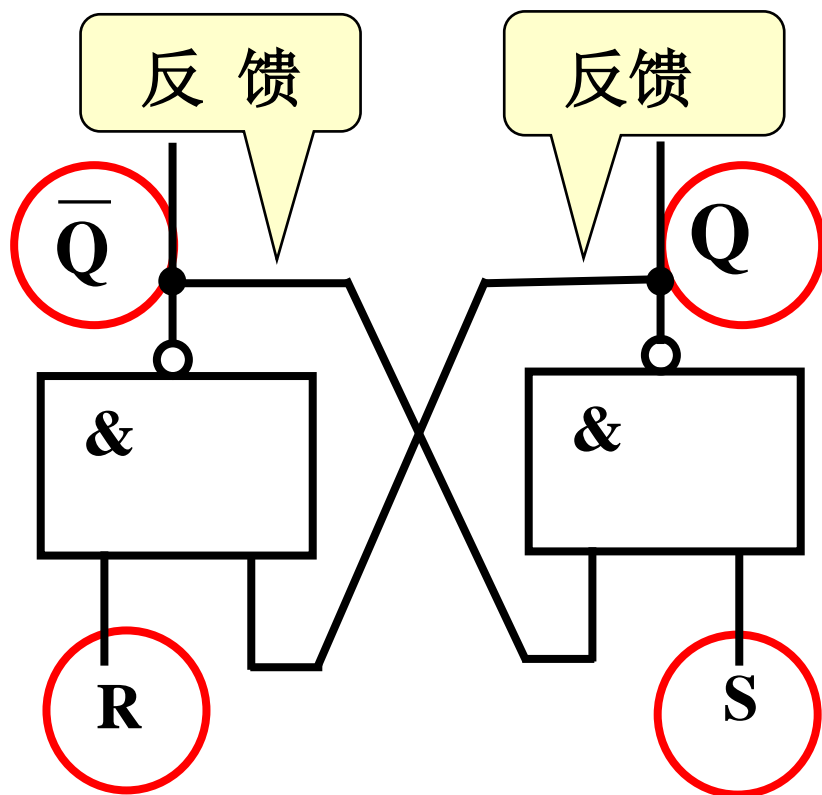
触发器是指具有两种稳定状态(**0 或 1**)的电路。在任一时刻，触发器只处于一种稳定状态，当接到触发脉冲时，才由一种稳定状态翻转到另一稳定状态。形象地说，它具有“一触即发”的功能。

触发器是有记忆功能的逻辑部件。输出状态不只与当前的输入有关，还与原来的输出状态有关。



## 5.2.1 基本RS触发器

### 1 电路构成及逻辑符号



$Q=0, \bar{Q}=1$ ——触发器处于0态

$Q=1, \bar{Q}=0$ ——触发器处于1态

两个输出端

两个输入端

正是由于引入反馈，才使电路具有记忆功能！

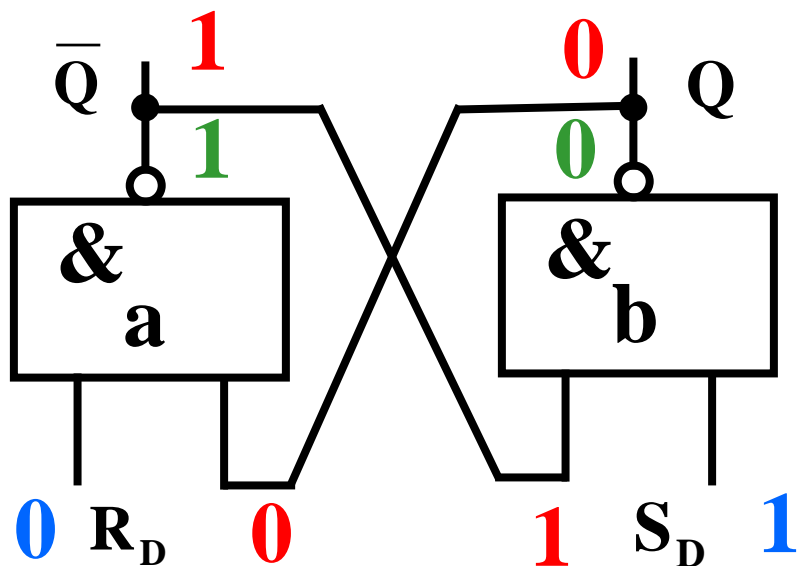


## 2 基本RS触发器工作原理

输入  $R_D=0, S_D=1$  时

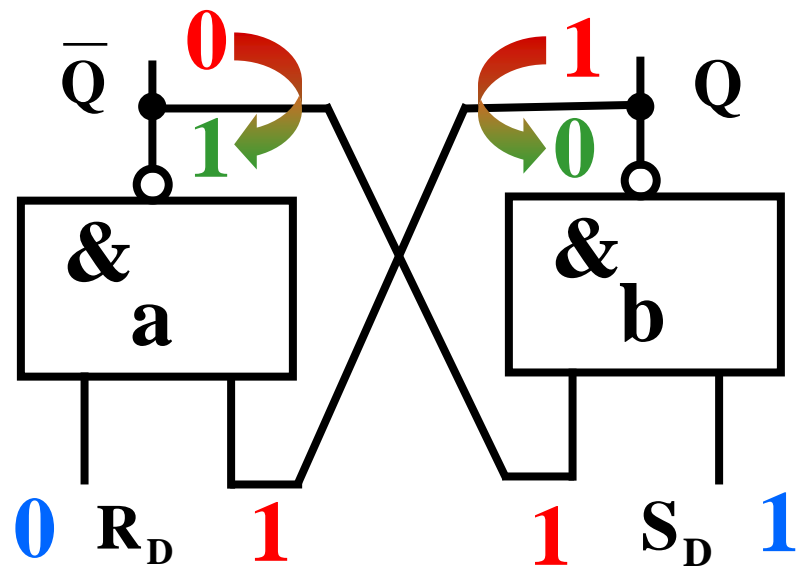
置“0”

若原状态:  $Q=0 \quad \bar{Q}=1$



输出仍保持:  $Q=0 \quad \bar{Q}=1$

若原状态:  $Q=1 \quad \bar{Q}=0$



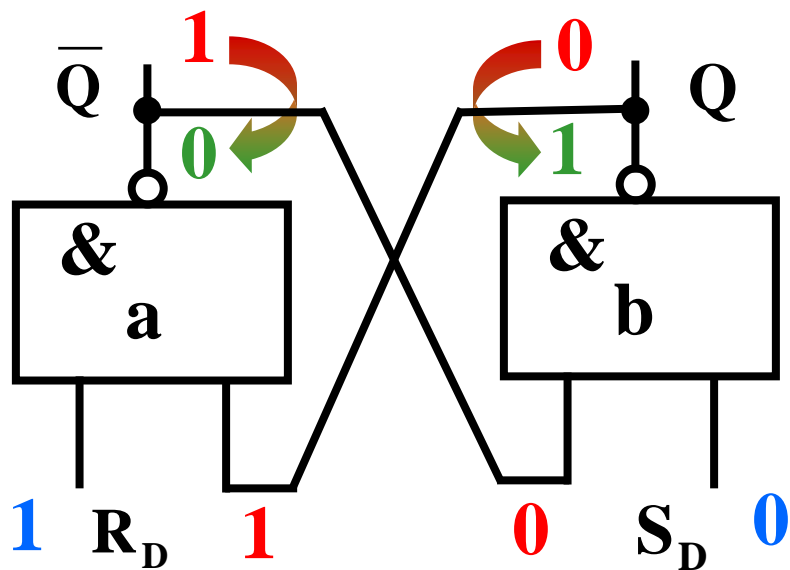
输出变为:  $Q=0 \quad \bar{Q}=1$

分析方法, 主要关注输入端有0的与非门



输入 $R_D=1, S_D=0$ 时

若原状态:  $Q=0 \quad \bar{Q}=1$

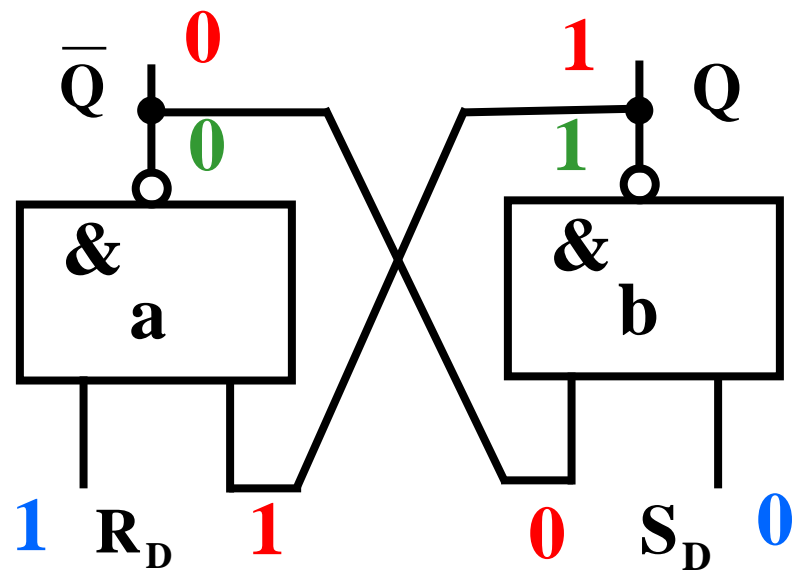


稳定后, 并保持输入不变

输出变为:  $Q=1 \quad \bar{Q}=0$

置“1”

若原状态:  $Q=1 \quad \bar{Q}=0$

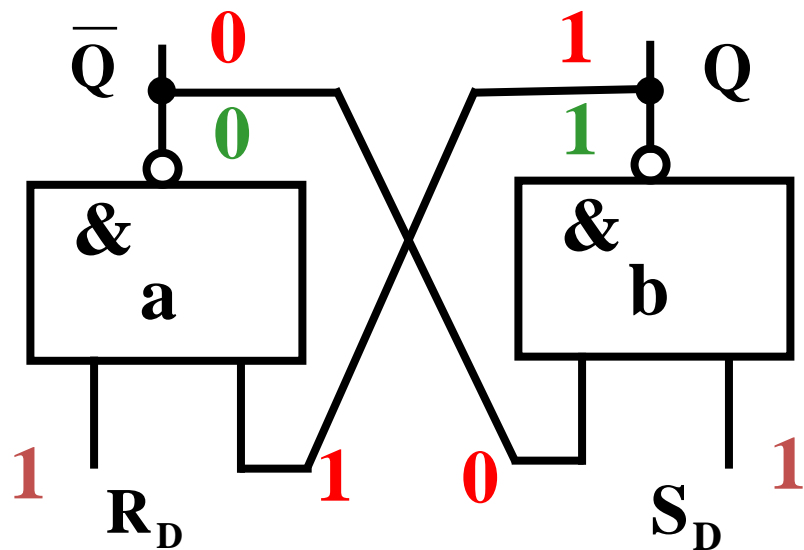


输出保持:  $Q=1 \quad \bar{Q}=0$



输入 $R_D=1, S_D=1$ 时

若原状态:  $Q=1 \quad \bar{Q}=0$

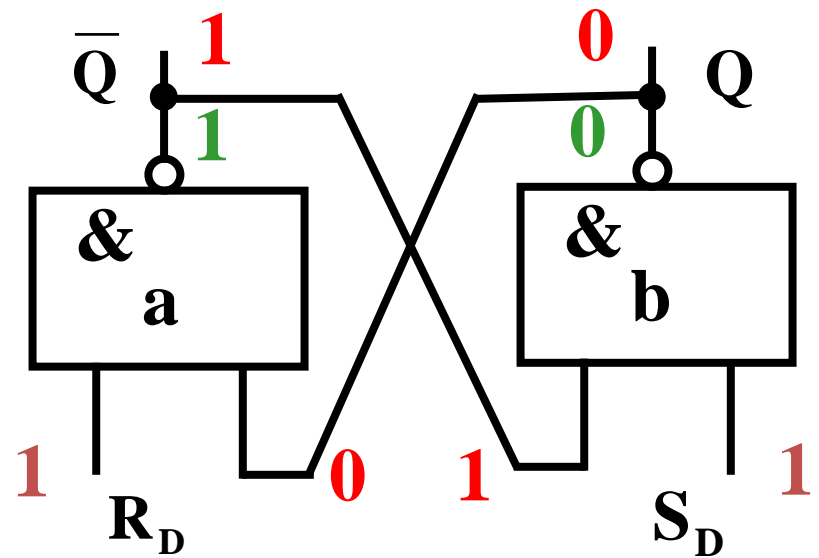


输出保持原状态:

$Q=1 \quad \bar{Q}=0$

保持

若原状态:  $Q=0 \quad \bar{Q}=1$



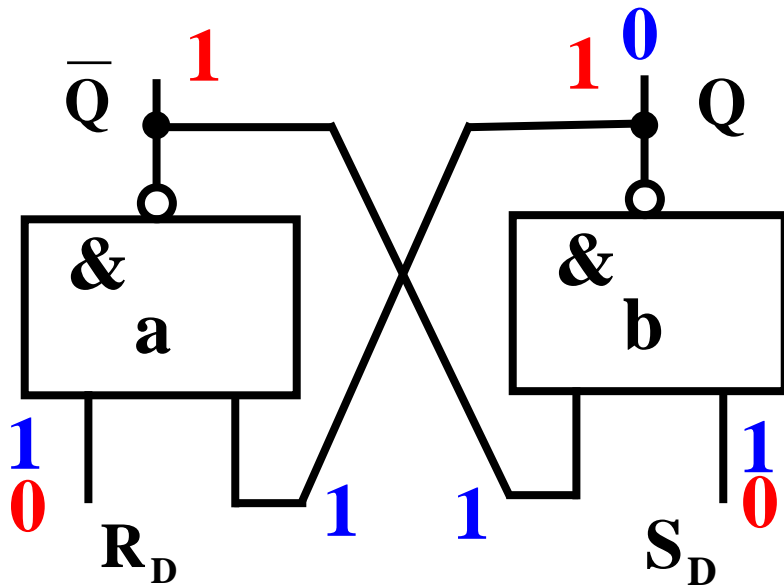
输出保持原状态:

$Q=0 \quad \bar{Q}=1$





输入 $R_D=0, S_D=0$ 时



输出：全是1

基本触发器的功能表

$R_D$	$S_D$	$Q$	$\bar{Q}$
1	1	保持原状态	
0	1	置0态	
1	0	置1态	
0	0	不定状态	

**注意：**当 $R_D$ 、 $S_D$ 同时由0变为1时，翻转快的门输出变为0，另一个不得翻转。因此，该状态为不定状态。应避免出现，即约束条件。



### 3 基本RS触发器状态表

$R_D S_D$	$Q^n$	$Q^{n+1}$	功能说明
<b>0 0</b>	<b>0</b>	<b>d</b>	} 不定
<b>0 0</b>	<b>1</b>	<b>d</b>	
<b>0 1</b>	<b>0</b>	<b>0</b>	} 置0态
<b>0 1</b>	<b>1</b>	<b>0</b>	
<b>1 0</b>	<b>0</b>	<b>1</b>	} 置1态
<b>1 0</b>	<b>1</b>	<b>1</b>	
<b>1 1</b>	<b>0</b>	<b>0</b>	} 不变
<b>1 1</b>	<b>1</b>	<b>1</b>	



## 4 基本RS触发器状态方程

$$Q^{n+1} = \bar{S}_D + R_D Q^n$$

$R_D + S_D = 1$ ——约束条件

$R_D S_D$	$Q^n$	$Q^{n+1}$	功能说明
<b>0 0</b>	<b>0</b>	<b>d</b>	} 不定
<b>0 0</b>	<b>1</b>	<b>d</b>	
<b>0 1</b>	<b>0</b>	<b>0</b>	} 置0态
<b>0 1</b>	<b>1</b>	<b>0</b>	
<b>1 0</b>	<b>0</b>	<b>1</b>	} 置1态
<b>1 0</b>	<b>1</b>	<b>1</b>	
<b>1 1</b>	<b>0</b>	<b>0</b>	} 不变
<b>1 1</b>	<b>1</b>	<b>1</b>	



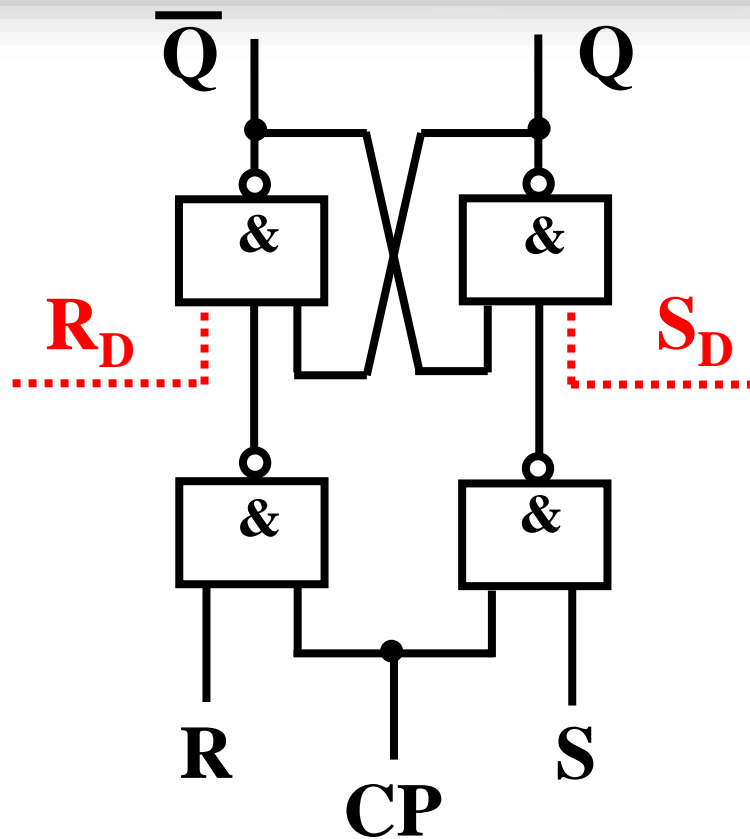
## 5.2.2 钟控同步触发器（锁存器）

### 1 电路构成

$R_D$ 、 $S_D$

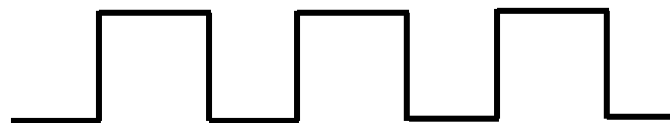
置0置1控制

平时常态为1



CP: 时钟脉冲

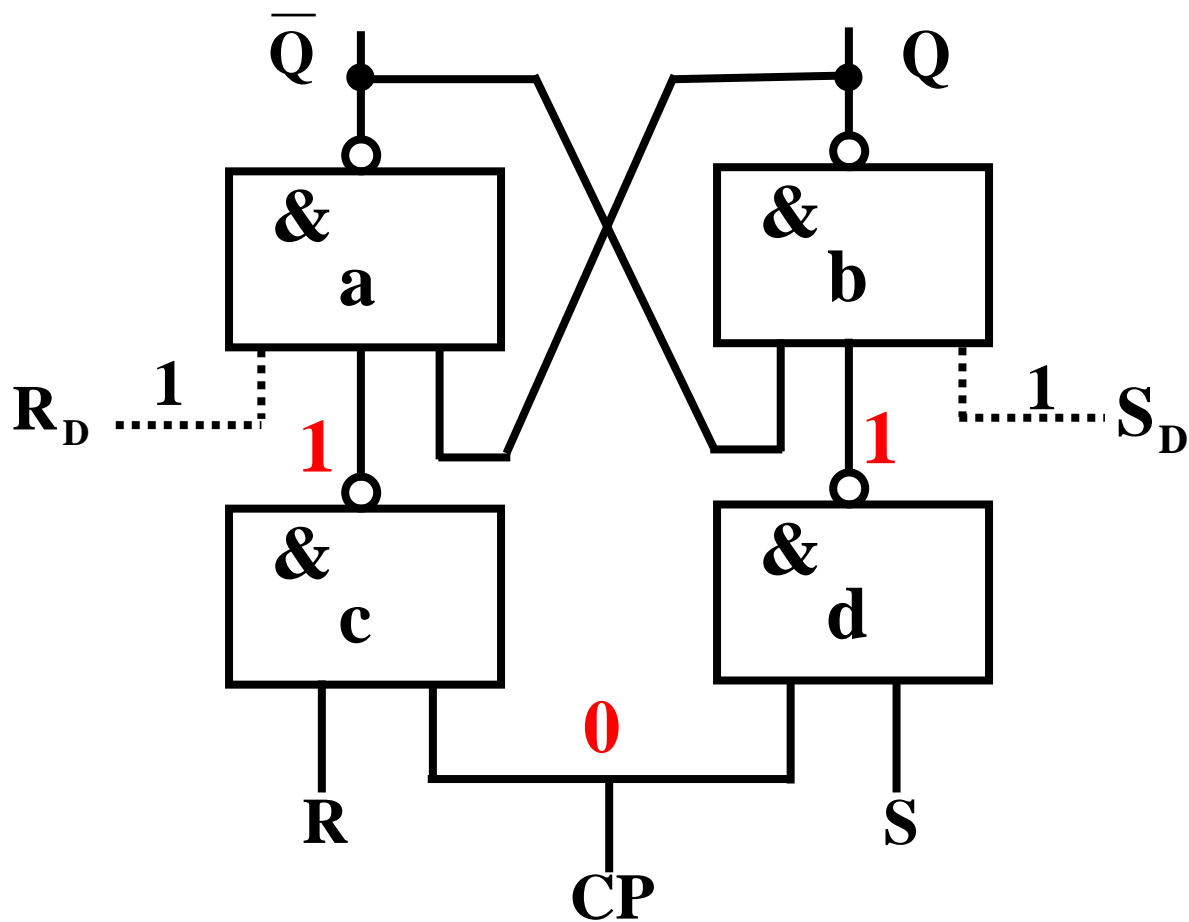
(Clock Pulse)





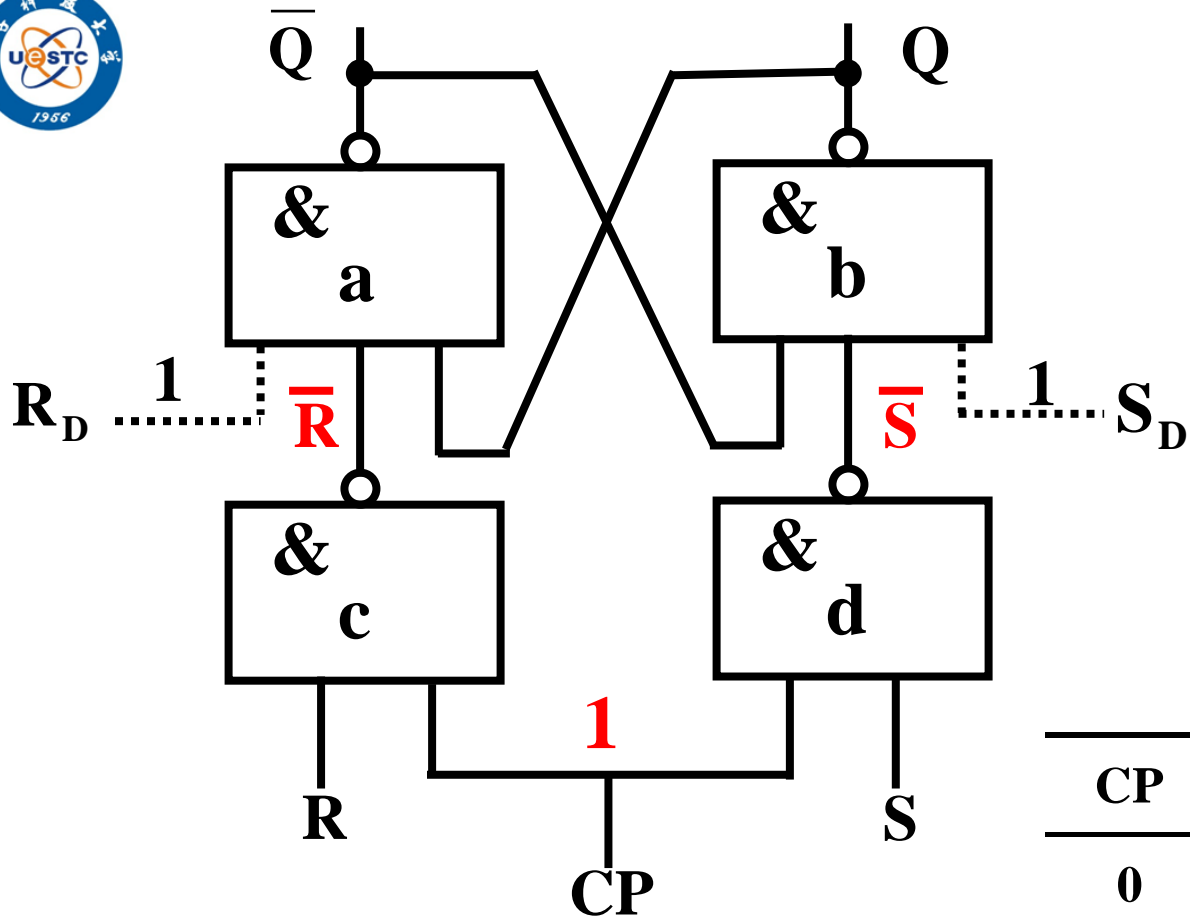
2

## 同步触发器工作原理



当 $CP=0$ 时

触发器保持原态不变

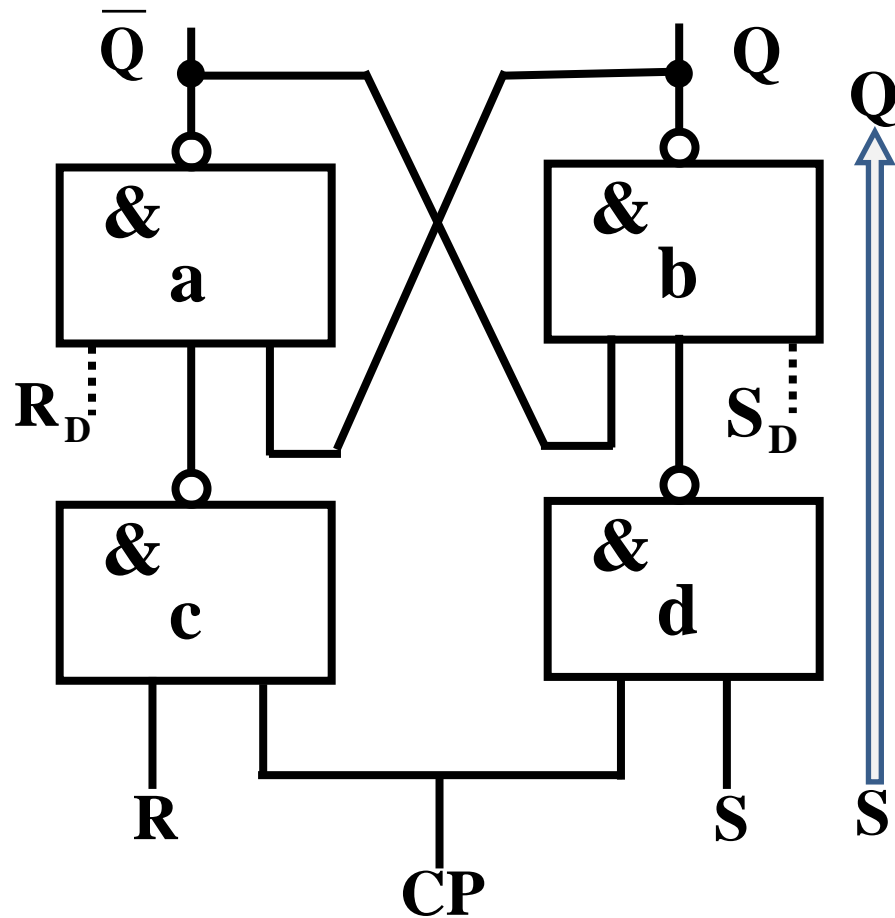


## 当CP=1时

$$Q^{n+1} = S + \bar{R}Q^n$$

## RS=0——约束条件

CP	R	S	Q	$\bar{Q}$
0	$\phi$	$\phi$	保持	
1	0	0	保持	
1	0	1	1	0
1	1	0	0	1
1	1	1	不确定	



又称为S-R锁存器

CP	R	S	Q	$\bar{Q}$
0	$\phi$	$\phi$	保持	
1	0	0	保持	
1	0	1	1	0
1	1	0	0	1
1	1	1	不确定	

1. 当 $CP = 0$ 时,无论 $R$ 、 $S$ 取何种值组合, 输出端均保持原态;
2. 只有当 $CP = 1$ 时,将 $c$ 门和 $d$ 门打开, 控制端 $R$ 、 $S$ 的取值组合反映到输出端。
3. 当 $CP$ 由1变为0后, $R$ 、 $S$ 输入端的值即锁存在输出端。



### 3

## 同步触发器优缺点

优点：

同步RS触发器解决了定时控制的问题。

缺点：

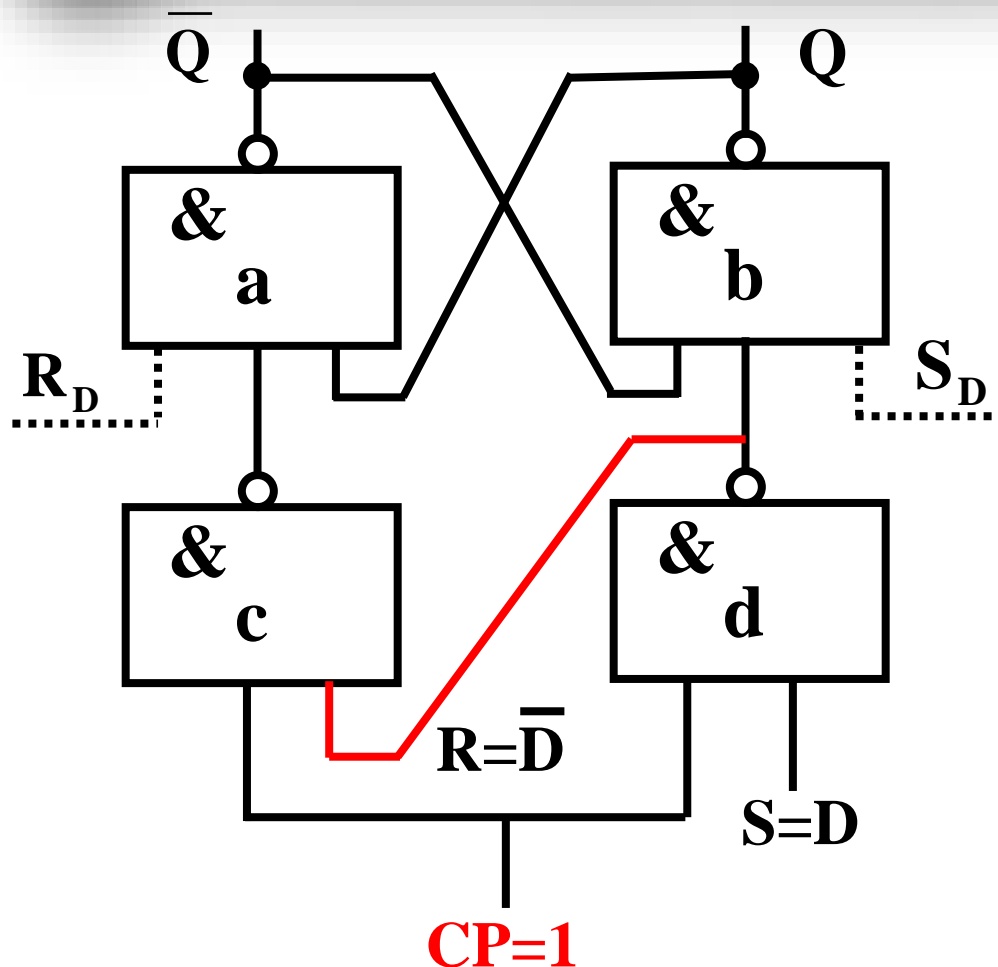
(1) 输入信号依然存在着约束条件；

(2) 可能出现“空翻”现象，即在一个时钟脉冲作用下，引起触发器的状态翻转两次或多次的现象，从而造成逻辑上的混乱。





## 5.2.3 钟控（电平型）D触发器



$RS=0$ ——约束条件

$$Q^{n+1} = S + \bar{R}Q^n$$

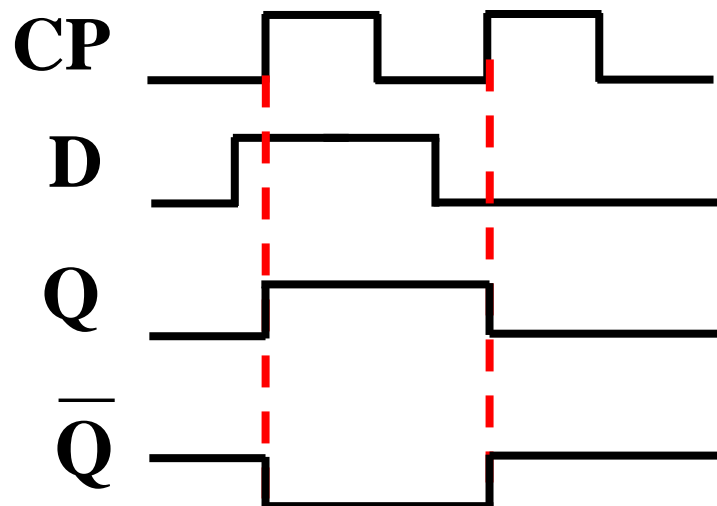
$$RS=D\bar{D}=0$$

$$Q^{n+1} = D + DQ^n = D$$

由于空翻的存在，因此锁存的内容是CP下降沿前瞬时D的值。

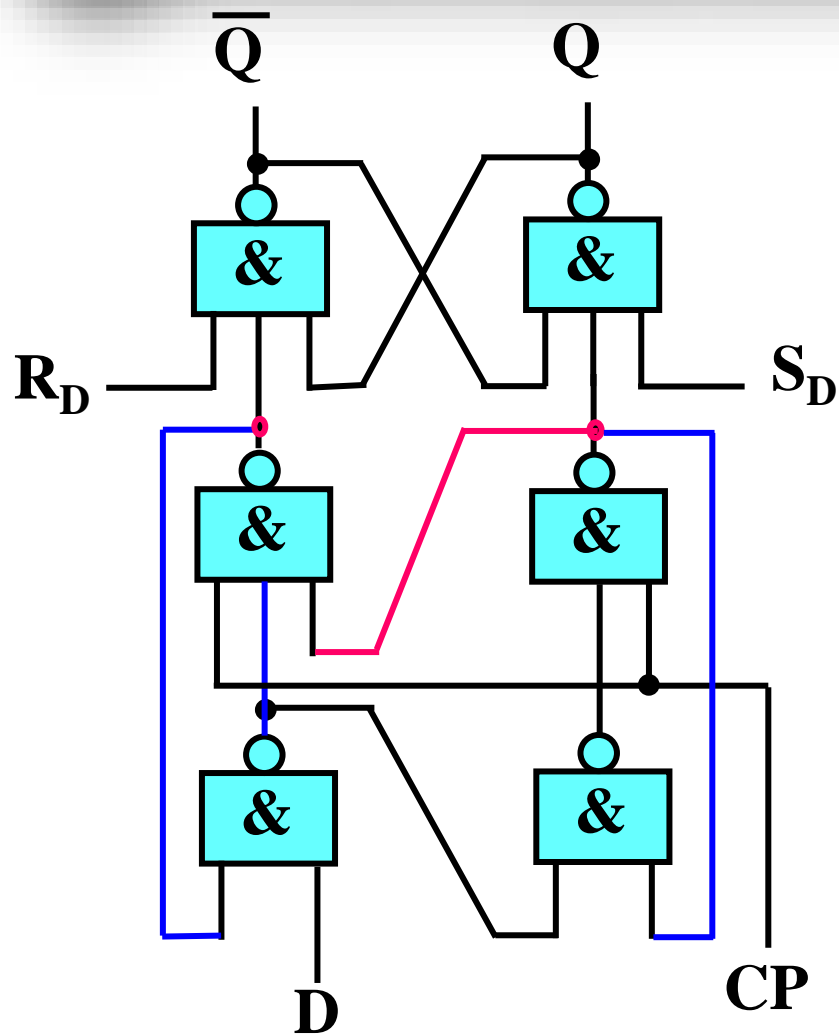


例：画出D触发器的输出波形。

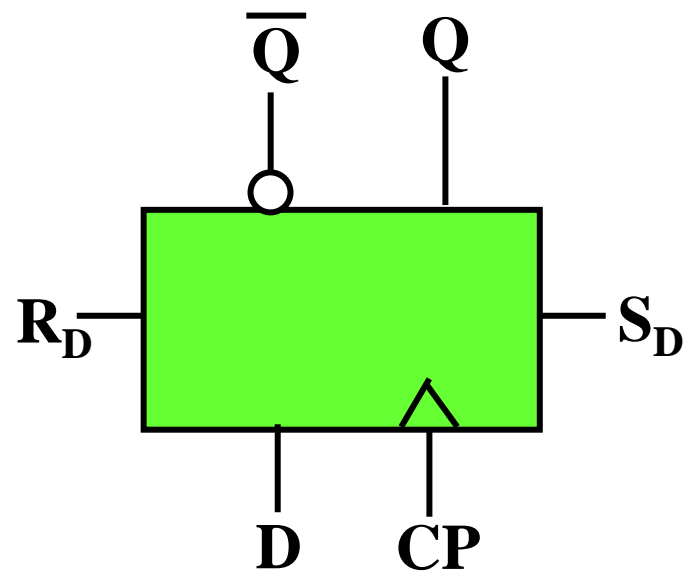




## 5.2.4 边沿（维持-阻塞）D触发器



逻辑电路图



逻辑符号



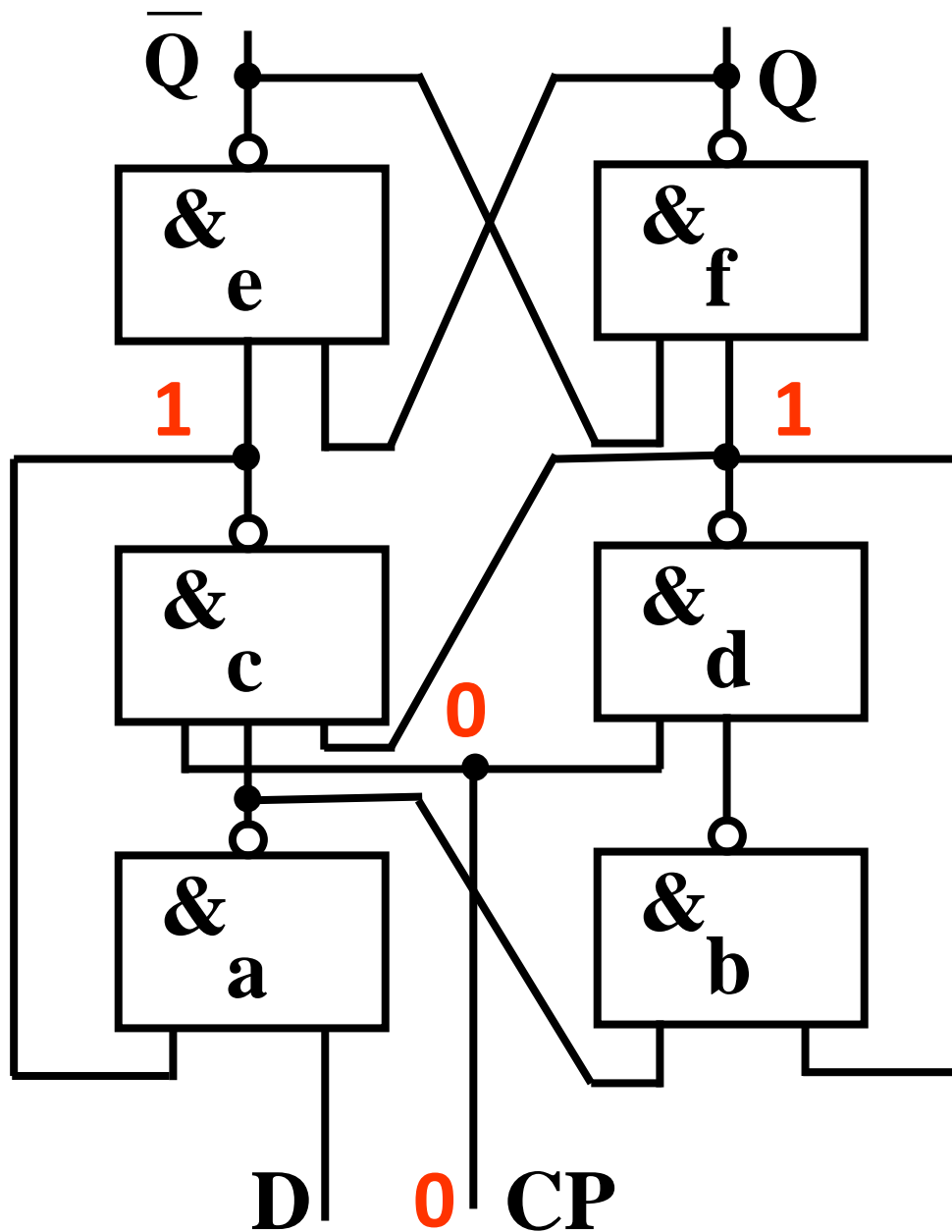
1

# 工作原理

CP=0期间:

c、d的输出均为1

输出保持不变





设 $D=1$ 。

$CP=0$ 期间:

$CP$ 正沿到达时:

由于 $a=0$ ,使 $c=1, b=1, d=0$ 。

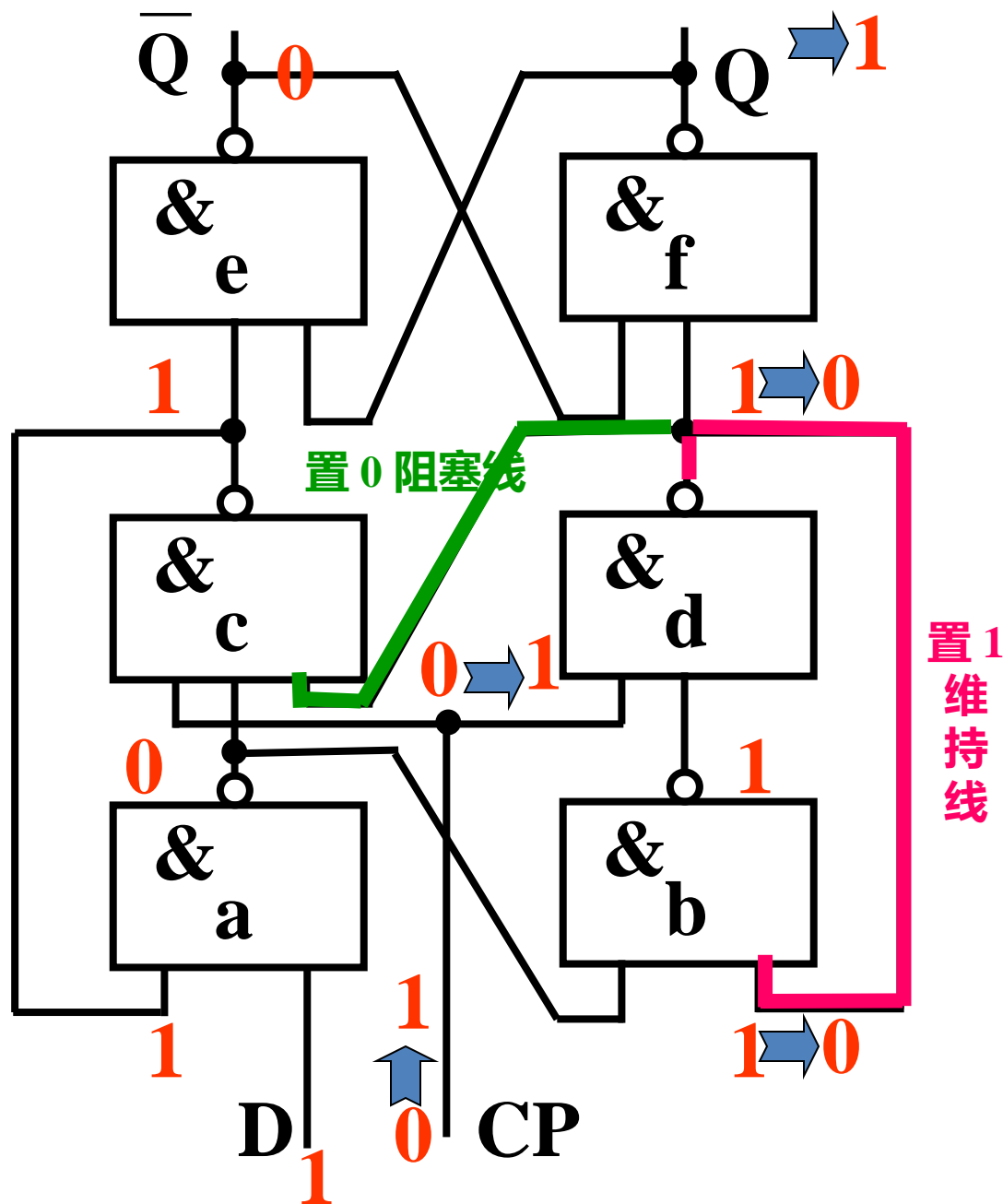
$Q$ 翻转为1

$CP$ 正沿过后, 若 $D=0$ :

由于 $d=0$ ,使 $b=1, d=0, c=1$

$Q=1$ 与输入 $D$ 无关。

因此以后 $CP=1$ 期间 $D$ 的变化不影响输出。





设 $D=0$ 。

CP=0期间:

CP正沿到达时:

由于 $a=1$ ,使 $c=0, b=0, d=1$

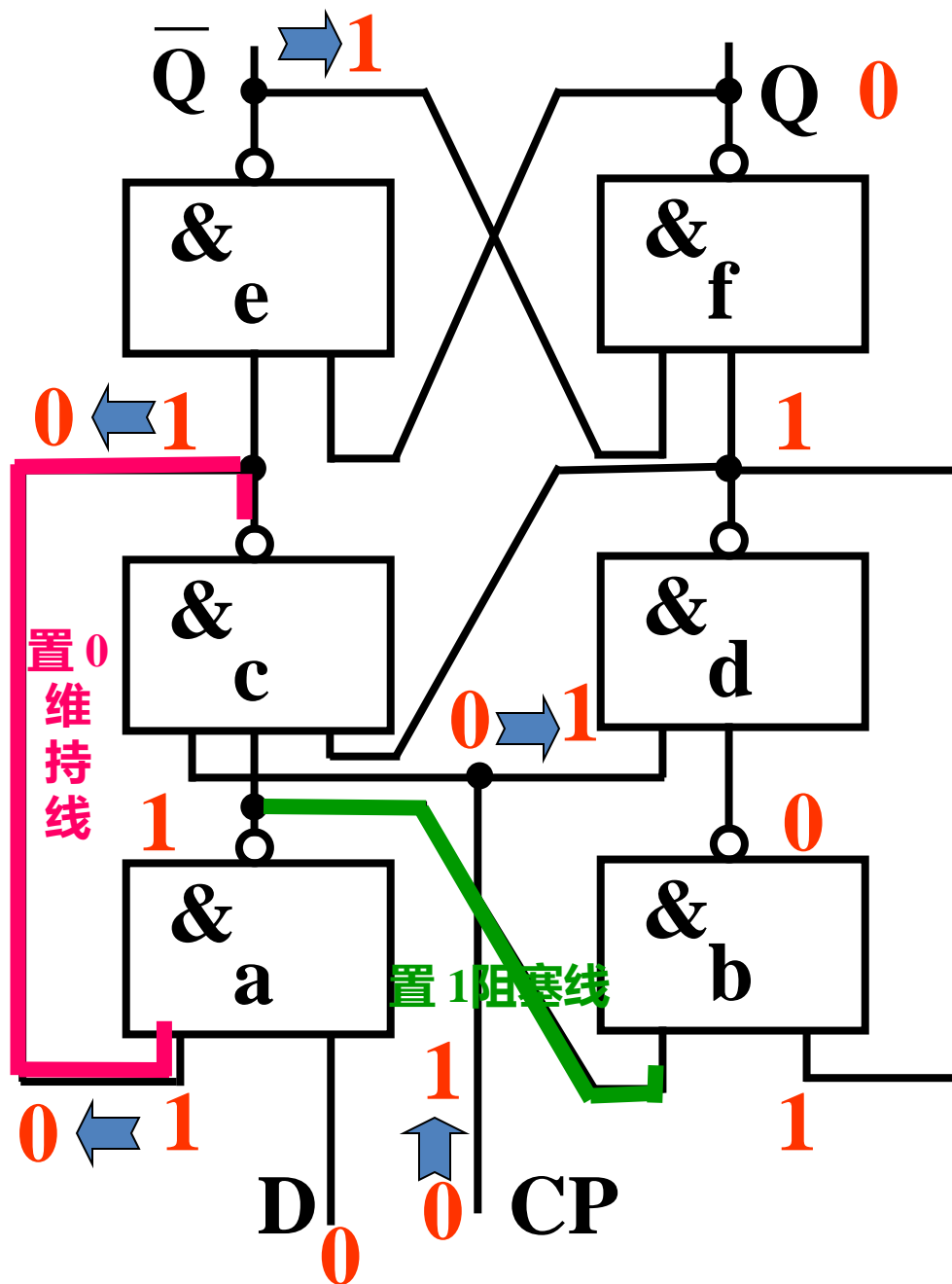
Q翻转为0

CP正沿过后, 若 $D=1$ :

由于 $c=0$ ,使 $a=1, b=0, d=1$

Q=0与输入D无关

因此以后CP=1期间D  
的变化不影响输出





2

## 功能及特性



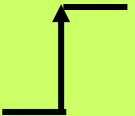
### 功能表

D	$Q^n$	$Q^{n+1}$
0	0	0
0	1	0
1	0	1
1	1	1



### 特性方程

$$Q^{n+1} = D$$

CP	$Q^{n+1}$
	D

时钟上升沿触发



### 3

## 特点

(1) 触发器的新状态决定于**CP**上升沿到来前瞬时加在**D**端的输入信号，而翻转与否决定于**CP**脉冲到达的时刻；并且  $Q^{n+1}=D$ 。

(2) **CP**的上升沿触发。

(3) 在**CP**=1期间，**D**端信号的变化，对触发器无影响。

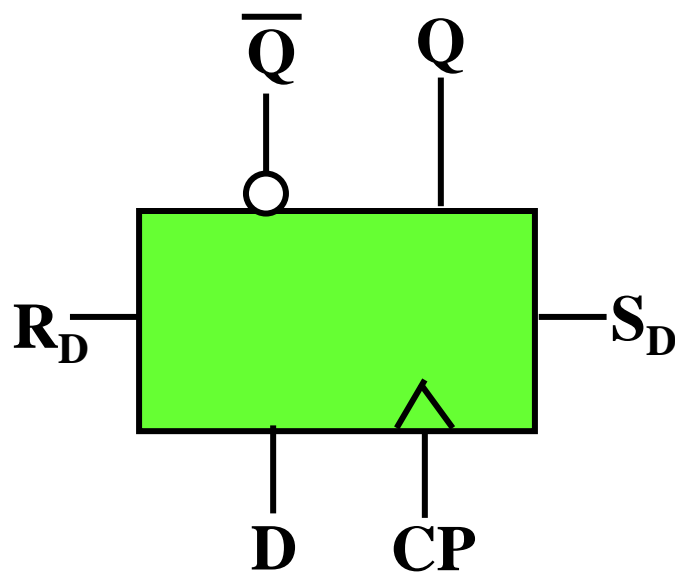
(4) 能够有效克服空翻现象。





## 5.3 寄存器

- ◆ 寄存器是计算机的主要部件之一，它用来暂时存放数据或指令。
- ◆ 一个D触发器组成1位的数码寄存器。





# 8位二进制数寄存器

