1、若某8位机主存容量7KB，用三块RAM存储芯片（分别为4KB/片、2KB/片、1KB/片）组成，地址线为A15～A0（低），试写出三个芯片的片选信号的逻辑式。

解：主存容量7KB，故地址寄存器应为13位（按8K单元计算），即主存地址线为：A12～A0（低），地址线A15 A14A13不用，主存编址范围是0000H ～ 1BFFH。用题中所给芯片组成7KB的主存时，有6种空间分配方案：

1KB

2KB

4KB

1KB

4KB

2KB

2KB

1KB

4KB

2KB

4KB

1KB

4KB

1KB

2KB

4KB

2KB

1KB

CS0

CS1

CS2

CS0

CS1

CS2

CS0

CS1

CS2

CS0

CS1

CS2

CS0

CS1

CS2

（1） （2） （3） （4） （5） （6）

CS0

CS1

CS2

**图 1 存储空间分配图**

我们可以参照图中所示写出各空间分配方案时，各芯片的片选信号逻辑式。

方案（1）1KB的芯片，地址A12A11A10为000，故CS0 = A12A11A10

2KB的芯片，地址A12A11A10为001～010，故CS1 = A12A11A10+ A12A11A10

= A12（A11⊕A10）

4KB的芯片，地址A12A11A10为011～110，故CS2 = A12A11A10+ A12A11A10+ A12A11A10+ A12A11A10

方案（2）CS0 = A12A11A10

CS1 = A12A11A10+ A12A11A10+ A12A11A10+ A12A11A10

CS2 = A12A11A10+ A12A11A10

方案（3）CS0 = A12A11A10+ A12A11A10= A12A11

CS1 = A12A11A10

CS2 = A12A11A10+ A12A11A10+ A12A11A10+ A12A11A10

方案（4）CS0 = A12A11

CS1 = A12A11A10+ A12A11A10+ A12A11A10+ A12A11A10

CS2 = A12A11A10

方案（5）CS0 = A12A11A10+ A12A11A10+ A12A11A10+ A12A11A10 = A12

CS1 = A12A11A10

CS2 = A12A11A10+ A12A11A10 = A12（A11⊕A10）

方案（6）CS0 = A12

CS1 = A12A11A10+ A12A11A10 = A12A11

CS2 = A12A11A10

在以上方案中，显然方案6最简单

2、若CPU送出的地址线为A15～A0（低位），数据线D7～D0，读写控制信号为R/W，请：

（1）用1K×8位/片的RAM芯片设计一个4KB的主存，画出存储器逻辑图，注明各信号线，列出片选逻辑式。

（2）用4K×4位/片的RAM芯片设计一个4KB的主存，画出芯片级逻辑图，注明各信号线，列出片选逻辑式。

解：

（1）RAM芯片容量为1K×8位（即1KB），用4片作字扩展构成4KB的主存。主存地址应为12位（A11～A0），1K的芯片地址（即片内地址）为A9～A0，故取主存高位地址A11A10作为片选地址，译码产生CS0 = A11A10，CS1 = A11A10，CS2 = A11A10，CS3 = A11A10。

存储器以及与CPU的连接见下图：

1K×8

1K×8

1K×8

1K×8

D7～D0

CPU

A15～A0

R/W

A11

A10

A11

A10

A11

A10

A11

A10

A9～A0

**图2存储器与CPU连接图（1）**

（2）RAM芯片容量为4KB×4位/片，用两片拼接进行位扩展，可构成4K×8位（即4KB）的主存，其逻辑图见下图，图中MREQ作为芯片的片选信号。

MREQ（低电平有效）访存控制信号

4K×4

4K×4

D7～D4

D3～D0

MREQ

A11～A0

R/W

**图3 存储器与CPU连接图（2）**

习题四、某半导体存储器容量8K×8位，可选RAM芯片容量为2KX4/片。地址总线A15～A0（低），双向数据线D7～D0（低），由R/W线控制读写。请设计并画出该存储器逻辑图，并注明地址分配与片选逻辑式及片选信号极性。

解题分析：设计存储器需要由总容量确定可选存储器芯片的数量，由于每片芯片容量通常低于总量，要用若干块芯片组成。这样需要在位数和单元数上进行扩展。其次要考虑如何连接有关存储芯片的地址线、片选信号线、数据线和控制信号线。

存储器由若干存储芯片组成，每个芯片包含若干存储单元。地址分配的原则是将存储器的低位地址分配给存储芯片，以选择芯片内的存储单元；高位地址分配给片选逻辑，译码后产生片选信号，选择某个存储芯片。

解：（1）、确定芯片数量：本题存储容量为8K×8位，可选的芯片容量为2K×4/片。在构成存储器时，可选进行位扩展，由两块2K×4/片的芯片为一组，构成2K×8的存储模块。由四组2K×8的存储模块构成8K×8的存储器。

位扩展： 2K×4/片 × 2 → 2K×8

单元扩展： 2K×8 ×4 → 8K×8

所以共需芯片数量为：2 × 4 = 8片

（2）、地址分配和片选逻辑设计

本题存储容量为8K字节单元，占16位地址总线的低13位A12～A0。用这13位地址可寻址整个8K存储空间，接下来再对这13位地址进行分配。

每块芯片容量为2K×4/片，需11位地址对片内单元寻址。组成8KB存储器需4组芯片，所以需用4个片选信号对它们进行选择。因此将13位地址中的低11位地址A10～A0分配给各存储芯片，加至各芯片的地址端，剩下的高两位地址A12、A11送片选逻辑译码，产生四个片选信号CS0、CS1、CS2、CS3，这四个片选信号的逻辑式为：

CS0 = A12 A11

CS1 = A12 A11

CS2 = A12 A11

CS3 = A12 A11

（3）、画连接图，需要连接的信号线包括地址线，数据线，控制线和片选信号线，其连接方法为：

芯片地址线连接至：A10～A0

数据线：一组连接至高四位D7～D4

一组连接至低四位D3～D0

2K×4

2K×4

2K×4

2K×4

D7～D 4

D3～D 0

R/W

CS1

CS2

地址

A10～0

A10～0

A12 A11

A12 A11

**图： 存储器逻辑图**

2K×4

2K×4

CS0

A10～0

A12 A11

2K×4

2K×4

A10～0

A12 A11

CS3

片选信号分开连，控制信号线R/W连接至每块芯片，其具体连接图如下：

习题5、某半导体存储器容量7K×8位。其中固化区4K×8，可选EPROM芯片：2K×8/片。随机读写区3K×8，可选SRAM芯片：2K×4/片、1K×4/片。地址总线A15～A0（低），双向数据总线D7～D0（低），R/W控制读写。另有控制信号MREQ，低电平时允许存储器工作。请设计并画出该存储器逻辑图，并注明地址分配与片选逻辑式及片选信号极性。

解题分析：

* 1. 芯片选择：需两块2K×8/片的EPROM芯片进行单元扩展，构成4K×8的固化区。 2块2K×4/片及2块1K×4/片的SRAM芯片进行位扩展和单元拼接构成3K×8的随机读写区。
  2. 地址分配及片选逻辑设计：7K字节单元占16位地址线的低13位A12～A0。连接至各芯片的地址分别为：

2K×8的EPROM占11位地址线：A10～A0

2K×4的SRAM占11位地址线：A10～A0

1K×4的SRAM占10位址线：A9～A0

组成7K的存储器共有四组芯片，两组2K×8的EPROM、一组两块2K×4的SRAM、一组两块1K×4的SRAM芯片，2K单元的芯片用剩下的高两位地址A12、A11送片选逻辑译码，产生片选信号CS0、CS1、CS2，1K单元的芯片用剩下的高三位地址A12、A11、A10送片选逻辑译码，产生片选信号CS3，这四个片选信号的逻辑式为：

CS0 = A12 A11

CS1 = A12 A11

CS2 = A12 A11

CS3 = A12 A11 A10

A10

A9～A0

A12 A11

D7～D4

R/W

D3～D0

EPROM

EPROM

2K×4

1K×4

2K×4

1K×4

2-4译码器

CS1

CS2

CS0

CS3

A10

MREQ

**图： 存储器逻辑图**

习题6、某机地址总线16位A15～A0（低），访存空间64KB。外围设备与主存统一编址，即将外围设备接口中有关寄存器与主存单元统一编址，I/O空间占用FC00～FFFF。现用2164构成主存储器，请设计并画出该存储器逻辑图，并画明芯片地址线与总线的连接逻辑，以及行选信号与列选信号的逻辑式，使访问外设时不访问主存。

解题分析：由I/O所占用的地址空间为FC00～FFFF，即：

A15 A14 A13 A12 A11 A10 A9 ……A0

1 1 1 1 1 1 0 ……0

1 1 1 1 1 1 1 ……1

可知，I/O占用了10位地址空间，所以I/O的单元数为1K字节。因此，主存的地址空间为63KB。2164为64K×1位容量的芯片，因此需8块2164芯片构成主存储器。

64K×1

64K×1

64K×1

64K×1

64K×1

64K×1

64K×1

64K×1

64K×1

地

址

锁

存

器

行时钟

缓冲器

列时钟

缓冲器

写允许时钟缓冲器

输

入/

输

出

缓

冲

器

I/O控制

I/O控制

A7

A6

A5

A4

A3

A2

A1

A0

RAS

CAS

WE

A0┊

A15

A15～A10

至I/O接口芯片

D7～D0

**图：存储器逻辑图**

每片2164提供一位数据送数据总线，构成8位数据，64K单元需要16位地址线寻址，由于2164只有8位地址线，所以采用地址的分时复用技术，16位地址分两次送入芯片，先送入行地址，再送入列地址，相应的需要行选择信号RAS和列选择信号CAS来标明当前送入的是行地址还是列地址。

由于I/O与主存空间统一编址，占用64K地址空间的最后1K地址空间，因此I/O的片选逻辑为：A15A14A13A12A11A10，从地址段可以看出当高6位地址为全1时，应选中I/O地址空间，否则访问主存空间，而行选信号和列选信号的逻辑为：A15A14A13A12A11A10。

Intel 2164是16脚封装，如图4-13所示。

* 地址8位：A7～A0，兼作行地址与列地址，分时复用。
* 行选，低电平时将A7～A0作为行地址，送入芯片内的行地址锁存器。
* 列选，低电平时将A7～A0作为列地址，送入芯片内的列地址锁存器。可见，片选信号已分解为行选与列选两部分。
* 数据输入Din。

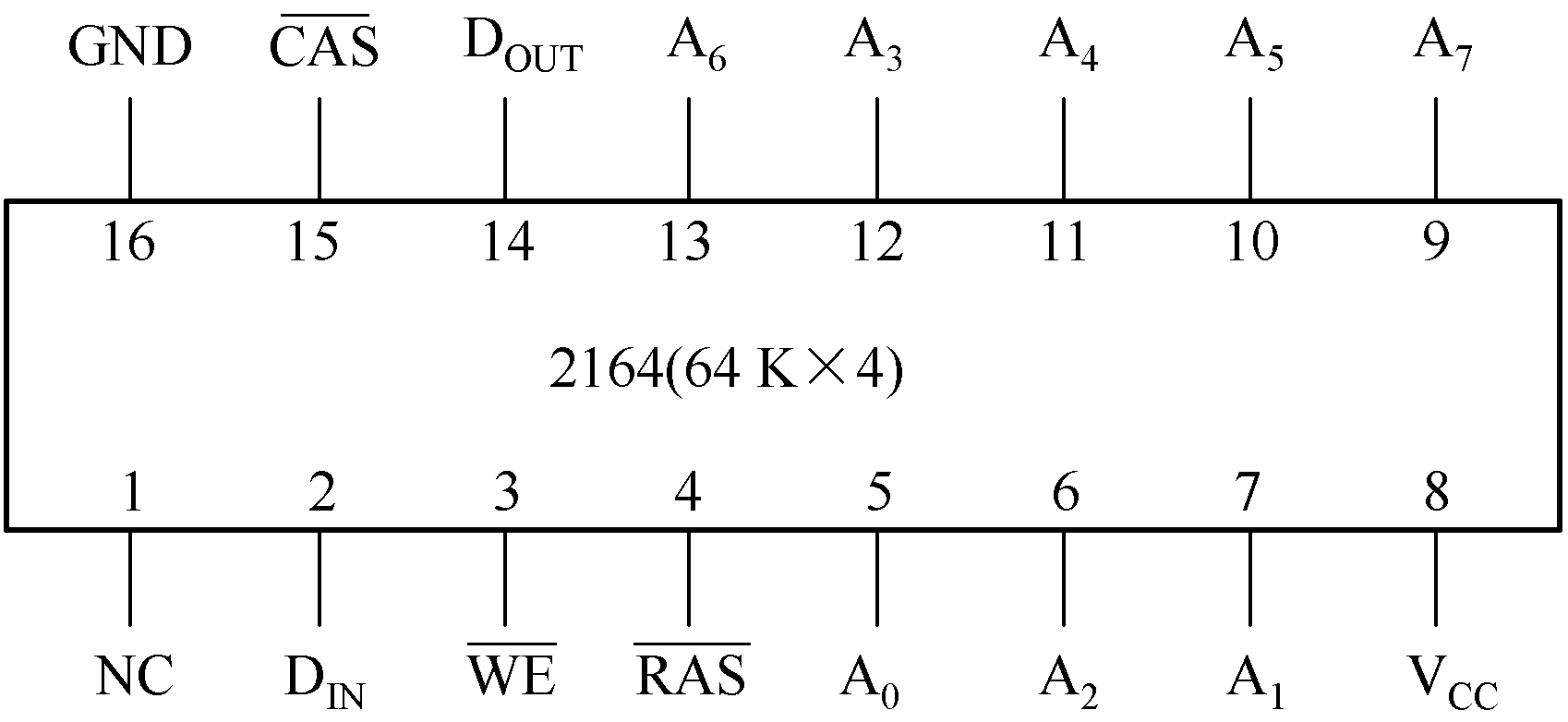


图4-13 2164芯片引脚及功能

* 数据输出Dout。
* ，低电平时写入，高电平时读出。

引脚1空闲未用，在该DRAM系列的新产品中，将引脚1作为自动刷新端。将行选信号送到引脚1，可在芯片内自动实现动态刷新。

行选信号与列选信号的产生

为了减少芯片的引脚数，DRAM存储器芯片的地址输入常采用分时复用的方式，这样输入的地址相应分成了两个部分。高位地址作为行地址，在的控制下首先送入芯片；然后是低位地址，在的控制下通过相同的引脚送入芯片。

但CPU发出的地址码是通过地址总线同时送到存储器的，因此，为了达到芯片地址引脚分时复用的目的，需要专门的存储器控制单元来控制实现。其与CPU的连接方式如图4-21所示。

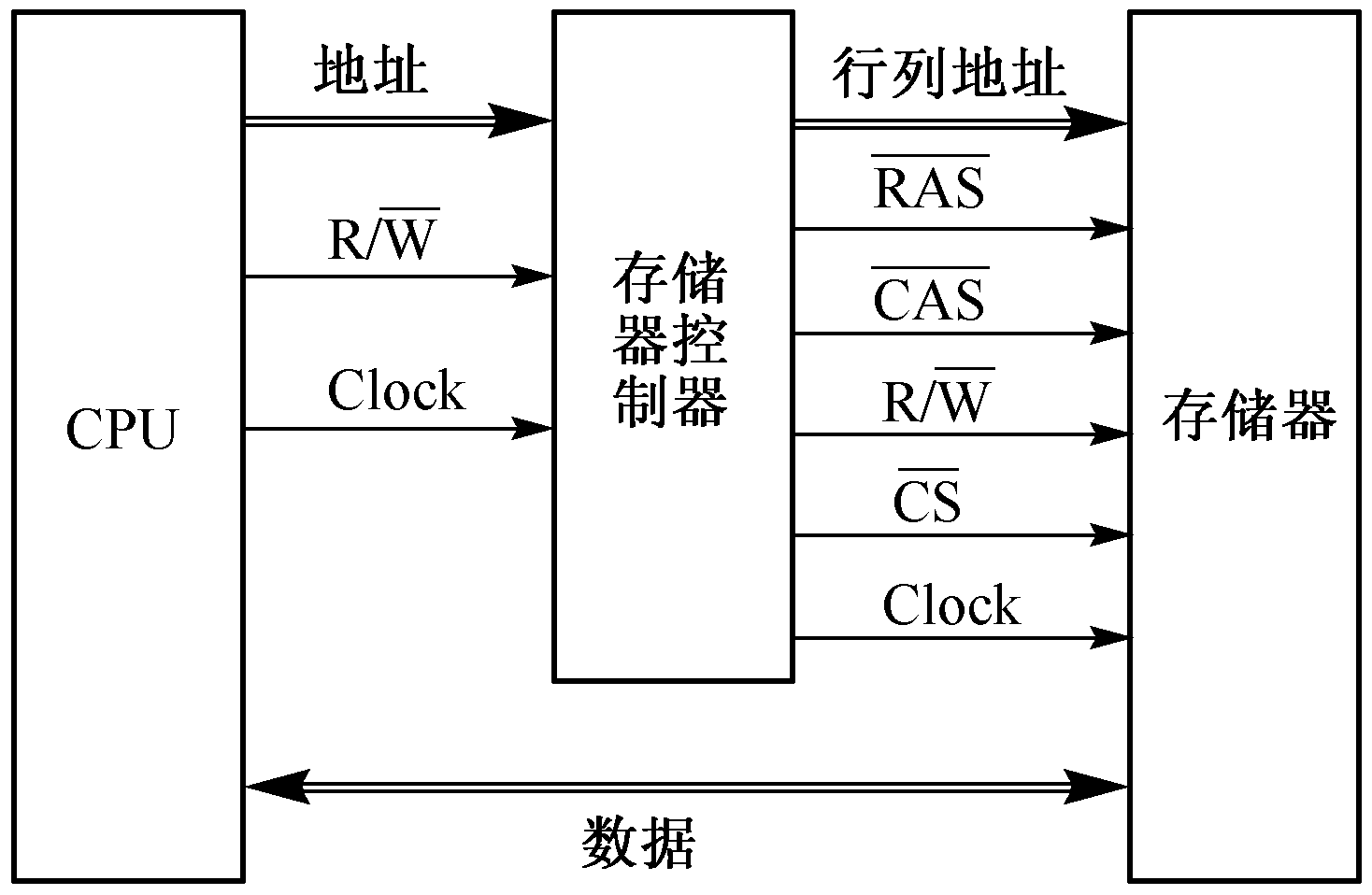


图4-21 行列地址产生示意图

存储器控制器（存储器控制单元）从总线接收完整的地址和控制信号，将行列地址存储在缓冲器中，并产生和信号，因此，由该控制单元提供RAS-CAS的时序和地址复用功能。也由该控制单元向存储器发出信号和信号。

内部结构

2164芯片容量是64 K×1位，本应构成一个256×256的矩阵，为提高工作速度，在芯片内部分为4个128×128矩阵，每个译码矩阵配有128个读出放大器，各有一套I/O控制（读/写控制）电路，如图4-12所示。

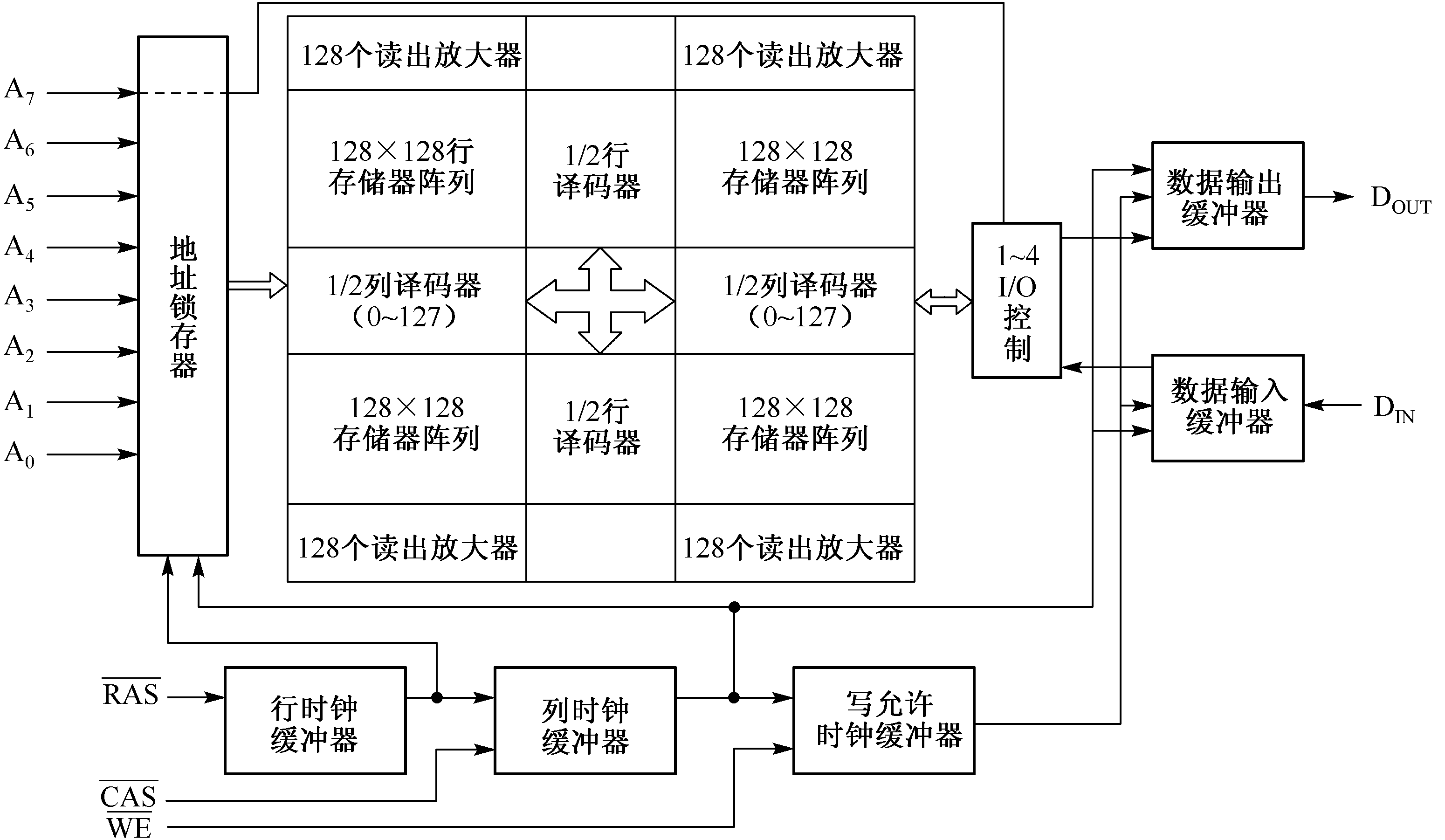


图4-12 2164 DRAM芯片内部结构图

习题9.设某机主存1MB，用1MB/片的DRAM芯片构成，芯片最大刷新周期2ms，问在2ms内至少应该安排几个刷新周期？

刷新以行为单位----一次只能刷新一行----在2ms内必须保证每一行都要被刷新一次

若1MB/片的DRAM芯片为1024\*1024矩阵，则2ms内必须安排1024次刷新，若为2048\*512矩阵，则需要安排2048次刷新。

习题11、某机主存容量64KB，用2164DRAM芯片构成。请为此设计一种动态刷新逻辑。

解题分析：2164为64K×1位的芯片，芯片内部构成4个128×128的矩阵，由动态存储器刷新按行安排可知，该动态存储器在2ms的时间间隔内需安排128个刷新周期，如以异步方式刷新，则每个刷新周期的时间间隔为：

2ms/128 = 15.625μS

异步刷新的逻辑如图所示，刷新周期由一个单稳和一个非门组成的振荡器产生。该振荡器每隔15.625μS产生一个脉冲信号，定时触发刷新请求触发器，于是每隔15.625μS就产生一个刷新请求信号，其电路如图3.4.21所示。该刷新请求信号触发器行计数器输出行地址，将该行所有位单元刷新。

**图3.4.21 动态刷新逻辑**

9602

输出至行计数器

+5V

+5V

15.625μs

习题15：某计算机字长为32位，CPU主频为500MHZ，磁盘共有16个盘面，512个柱面，每磁道包含100个扇区，每个扇区512字节，该磁盘旋转速度为12000RPM。

1. 计算该磁盘总容量？

总容量=盘面数\*柱面数\*每磁道扇区数\*每扇区字节数

16\*512\*100\*512=400MB

1. 计算该磁盘的数据传输率（b/s）？

转数12000每分钟-----200转每秒

每转一圈可以读取磁道上的100个扇区

100\*512B\*200\*8=80Mb/s

3、欲写入8位有效信息01101101，试将它编为海明校验码。以表格形式说明其编码方法，并分析所选用的编码方案具有什么样的检错与纠错能力。

分析：（1）确定信息分为几组，增设几位校验位。有效信息为A1A2A3A4A5A6A7A8=01101101,其位数K=8，设分为r组，每组增设一个校验位，因此共有r位校验位，校验位与有效信息组成n位的海明校验码。

校验时每组产生一位校验信息，组成一个r位的指误字，可指出2r种状态，其中全0表示无错，余下的组合可分别指明（2r-1）位中的某一位错误。因此r的值应满足：

n = K+r ≤2r – 1 的要求，所以r = 4，信息应分为4组。

（2）如何分组：等编有效信息为01101101，增设校验位P1、P2、P3、P4，分为4组，可产生4位指误字G1、G2、G3、G4。编码方案为指误字代码与出错位序号相同，如各组采用偶校验。各位的排列和分组方案如下表所示：

表3.4.1 海明校验码的分组方案

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 指误字 |
| P1 | P2 | A1 | P3 | A2 | A3 | A4 | P4 | A5 | A6 | A7 | A8 |
| 第4组 |  |  |  |  |  |  |  | √ | √ | √ | √ | √ | G4 |
| 第3组 |  |  |  | √ | √ | √ | √ |  |  |  |  | √ | G3 |
| 第2组 |  | √ | √ |  |  | √ | √ |  |  | √ | √ |  | G2 |
| 第1组 | √ |  | √ |  | √ |  | √ |  | √ |  | √ |  | G1 |

（3）编码

第一组 第二组 第三组 第四组

A1A2A4A5A7 = 01010 A1A3A4A6A7 = 01010 A2A3A4A8 = 1101 A5A6A7A8 = 1101

P1 = 0 P2= 0 P3 =1 P4 = 1

最后得到的12位海明校验码为：000111011101

4、某海明编码K=4，r=3，请为此设计其编码、译码、纠错逻辑。

解题分析：如该海明校验码分组规则如表3.4.3所示：

表3.4.3 海明校验码分组规则

|  |  |  |
| --- | --- | --- |
|  | 1 2 3 4 5 6 7 | 指误字 |
| P1 P2 A1 P3 A2 A3 A4 |
| 第3组 | √ √ √ √ | G3 |
| 第2组 | √ √ √ √ | G2 |
| 第1组 | √ √ √ √ | G1 |

则其编码逻辑如图3.4.22 所示：

A2 A3 A4

⊕

⊕

⊕

⊕

⊕

⊕

A1 A2 A4

A1 A3 A4 A1

A2 A3 A4

P1 P2 A1 P3 A2 A3 A4

**图3.4.22 海明校验编码逻辑**

其译码、纠错逻辑如图3.4.23所示，当从外部接收到一组海明码后，送往上图所示的译码电路进行分组奇偶检测，得到一组检错信息，译码后作为控制信号，决定是否要纠正。如G3G2G1 = 0，则最上面的一异或门控制端均为0，输出P1‘～A**4‘ =** P1～A4，即不需要纠正。若G3G2G1 = 101，则第5位异或门控制端为1，A2**‘ =** A2，即将出错的第5位进行变反纠正，其余未错的各位保持不变。

⊕

⊕

⊕

⊕

⊕

⊕

⊕

⊕

⊕

⊕

⊕

⊕

⊕

⊕

⊕

⊕

A1 A2 A4 P1 A1 A3 A4 P2 A2 A3 A4 P3

G1

G2

G3

G3

G3

G2

G2

G1

G1

P1

P2

A1

P3

A2

A3

A4

**P1‘**

**P2‘**

**A1、**

**P3‘**

**A2‘**

**A3‘**

**A4‘**

**图3.4.23 海明译码、纠错逻辑**

5、将4位有效信息1001编成循环校验码，选择生成多项式X3+X1+X0。写出编码过程。

解题分析：（1）编码方法

M(x) ＝x3 ＋x0， 即1001 (k = 4）

M(x)·xr = x6 ＋x3 ， 即1001000 （r＝3）

G(x）＝x3十x1＋x0， 即1011 （r十1＝4）

110

1001000

M(x)·x3

————— ＝—————— ＝1010 ＋ ——— （模 2除）

1011

1011

G(x)

（2）编码后的校验码为： M（x）·x3＋R（x）＝ 1001000＋110＝1001110 （模 2加）