

# Problemas Tema 3

## PROBLEMA 4

Se requiere diseñar la memoria cache para un determinado procesador. Se barejan 2 alternativas:

- (1) Escritura inmediata (write through) y sin carga en caso de fallo de escritura.
- (2) Escritura reemplazo (write back) y carga en caso de fallo de escritura.

Se obtienen las siguientes medidas:

- porcentaje de escrituras 20 %
- porcentaje de bloques modificados 33.33 %
- tasa acierto (1) : 0.9
- tasa acierto (2) : 0.85

Tiempo acceso a cache = 10 ns // Tiempo memoria principal para escribir una palabra = 80 ns

Tiempo leer/escribir un bloque en la memoria principal = 100 ns

a) Calculad el tiempo invertido en ejecutar 1000 accesos para las 2 alternativas. Detallad el nº de accesos de cada tipo y el tiempo empleado para cada uno de ellos.

$$\begin{aligned} (1): \text{Tiempo invertido} &= 1000 \cdot t_{ma} = 1000 (h \cdot t_{sa} + m \cdot t_{sf}) = \\ &= 1000 (0.9 \cdot 10 + m \cdot t_{sf}) = 1000 \left[ \underbrace{(9 + 0.1(10 + 100 + 10))}_{\text{lecturas}} \cdot 0.8 + \underbrace{0.2(80)}_{\text{escrituras}} \right] = \\ &= 1000 (32.8) = 32800 \text{ ns} \end{aligned}$$

$$\begin{aligned} (2): \text{Tiempo invertido} &= 1000 \cdot t_{ma} = 1000 (h \cdot t_{sa} + m \cdot t_{sf}) = \\ &= 1000 (0.85 \cdot 10 + m \cdot t_{sf}) = 1000 \left[ 8.5 + 0.15 (0.3333(2 + 100 + 2 + 10) + 0.6666 \right. \\ &\quad \left. (100 + 2 \cdot 10)) \right] = 1000 \cdot (31.5) = 31500 \text{ ns} \end{aligned}$$

b) Indicad qué alternativa sería la más rápida para un programa que sólo realizara lecturas.

La opción 1, ya que tiene una tasa de acierto mayor que la de la opción 2.

c) Indicad qué motivos pueden existir para que la escritura de una palabra tarde ligeramente menos que la escritura de un bloque.

Porque el tamaño de una palabra es más pequeño que el de un bloque.

## PROBLEMA 5

CPU:

- CPI ideal: 1.5 cicles/instrucció
- Temps de cicle ( $T_c$ ): 10 ns
- Nombre de referències per instrucció ( $nr$ ): 1.6 referències/instrucció
- Cache d'instruccions i dades separades
- Cache de dades amb copy back i write allocate

Característica	cache instruccions	cache dades
$nr$	1 ref/inst.	0.6 ref/inst.
$m$	4 %	10 %
$T_{pf}$ bloc no modificat	10 cicles	15 cicles
$T_{pf}$ bloc modificat	-	20 cicles
$T_{sa}$	1 cicle	1 cicle
$pm$	0 %	20 %

a) Calculeu el temps mitjà d'accés a memòria en cicles ( $T_{mai}$ ) pels accessos a instruccions.

$$T_{mai} = t_{sa} + m \cdot t_{pf} = 1 + 0.04 \cdot 10 = 1 + 0.4 = 1.4 \text{ cicles}$$

b) Calculeu el temps mitjà d'accés a memòria en cicles ( $T_{mao}$ ) pels accessos a dades.

$$T_{mao} = t_{sa} + m \cdot t_{pf} = 1 + 0.1 (0.2 \cdot 20 + 0.8 \cdot 15) = 1 + 1.6 = 2.6 \text{ cicles}$$

c) Calculeu el temps mitjà d'accés a memòria en cicles ( $T_{ma}$ ) per tots els accessos.

$$T_{ma} = \frac{1.4 \cdot 1 + 2.6 \cdot 0.6}{1.6} = 1.85 \text{ cicles}$$

d) Calculeu el temps d'execució en ns ( $T_{exec}$ ) d'una instrucció.

$$CPI = CPI_{ideal} + CPI_{mem} = 1.5 + nr \cdot (T_{ma} - t_{sa}) = 1.5 + 1.6 (1.85 - 1) = 2.86 \text{ cicles}$$

$$T_{exec} = N \cdot CPI \cdot T_c$$

$$T_{exec} = 1 \cdot 2.86 \cdot 10 = 28.6 \text{ ns}$$



## PROBLEMA 7

```
movl $0, %ebx
movl $0, %esi
for: cmpl $512, %esi
     jge end
```

(a)  $\text{movl } (\%ebx, \%esi, 4), \%eax$  //  $\%eax \leftarrow M[\%ebx + 4(\%esi)]$   
 (b)  $\text{addl } \%eax, 8(1024(\%ebx, \%esi, 4))$  //  $M[\%ebx + 4(\%esi) + 8 \cdot 1024] += M[\%ebx + 4(\%esi)]$   
 (c)  $\text{movl } \%eax, 16(1024(\%ebx, \%esi, 4))$  //  $M[\%ebx + 4(\%esi) + 16 \cdot 1024] \leftarrow \%eax$   
 $\text{addl } \$512, \%esi$   
 $\text{jmp for}$   
 end:

Suponiendo que la memoria utiliza páginas de tamaño 8KB y que utilizamos un TLB de 4 entradas (reemplazo LRU):

a) Para cada 1 de los accesos (a, b, c) indica a qué página de la memoria virtual se accede en las 17 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
a	0	0	0	0	1	1	1	2	2	2	3	3	3	3	4		
b	1	1	1	1	2	2	2	2	3	3	3	3	4	4	4	4	5
c	2	2	2	2	3	3	3	3	4	4	4	4	5	5	5	5	6

1 página = 8192 bytes

b) Calcula la cantidad de aciertos de TLB, en todo el bucle: 3748 ( $4000 - 252 = 3748$ )

c) Calcula la cantidad de fallos de TLB, en todo el bucle: 252 ( $3 + (999/4) = 252$ )

Suponiendo que la memoria utiliza páginas de tamaño 4KB y que utilizamos un TLB de 4 entradas (reemplazo LRU):

d) Para cada 1 de los accesos (a, b, c) indica a qué página de la memoria virtual se accede en cada una de las 17 primeras iteraciones.

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
a	0	0	1	1	2	2	3	3	4	4	5	5	6	6	7	7	8
b	2	2	3	3	4	4	5	5	6	6	7	7	8	8	9	9	10
c	4	4	5	5	6	6	7	7	8	8	9	9	10	10	11	11	12

e) Calcula la cantidad de aciertos de TLB, en todo el bucle: 2500

f) Calcula la cantidad de fallos de TLB, en todo el bucle:  $3 \cdot 500 = 1500$