

PROBLEMA 2

Procesador de 16 bits con bus de direcciones de 16 bits

Memoria cache de datos:

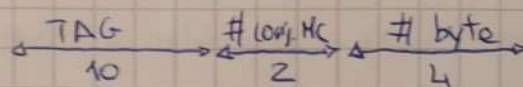
• Tamaño bloque = 16 bytes $\rightarrow 16 = 2^4 \rightarrow \# \text{ byte}$

• Asociatividad = 2 (reemplazo = LRU)

• Número de líneas = 8

$8/2 \rightarrow 4 = 2^2 \rightarrow \# \text{ conj. MC}$

• Política de escritura: write through + write no allocate



contenido cache:

conjunto 0	conjunto 1	conjunto 2	conjunto 3
EC8 1	EC5 1	EC6 0	EC7 1
AB4 0	libre 0	AB2 1	libre 0

teniendo en cuenta que:

• el contenido de la MC para simplificar hemos dejado el número de bloque de memoria en vez del tag.

• el bit 1, en el contenido de la cache, indica que es la línea más recientemente referenciada.

• R-byte (lectura de 1 byte), R-word (lectura de 2 bytes), W-byte (escritura de 1 byte),

W-word (escritura de 2 bytes).

• El tamaño de las lecturas (y escrituras) se ha de indicar en bytes.

Rellenad:

Tipo	@ en hex	Bloque de memoria	Conjunto de MC	Lectura de MP		Escritura en MP		Aceptar
				si/no	@ tamaño	si/no	@ tamaño	
R byte	8890	889	1	si	8890 16	no	-	Fallo
W word	EC51	EC5	1	no	-	si	EC51 2	Acieto
W byte	EC62	EC6	2	no	-	si	EC62 1	Acieto
W word	23D3	23D	1	no	-	si	23D3 2	Fallo
W byte	ABA4	ABA	2	no	-	si	ABA4 1	Fallo
R word	ABA5	ABA	2	si	ABA5 16	no	-	Fallo
R byte	23D6	23D	1	si	23D6 16	no	-	Fallo
W word	EC57	EC5	1	no	-	si	EC57 2	Acieto
R byte	EC68	EC6	2	si	EC68 16	no	-	Acieto
R word	8899	889	1	si	8899 16	no	-	Fallo

conjunto 0	conjunto 1	conjunto 2	conjunto 3
EC8 1	EC5 0	ABA 0	EC7 1
AB4 0	889 1	EC6 1	libre 0

PROBLEMA 10

voltage = 1.2 V // frecuencia = 2 GHz

corriente fgs = 3 A // carga capacitiva = 5 nF

a) Potencia media dinámica, potencia media estática ^(fugas) y potencia media total

$$P_{dinamica} = C V^2 F = 5 \times 10^{-9} \cdot (1.2)^2 \cdot (2 \cdot 10^9) = 14.4 \text{ W}$$

$$P_{estatica} = I V = 3 \cdot 1.2 = 3.6 \text{ W}$$

$$P_{total} = 14.4 + 3.6 = 18 \text{ W}$$

Memoria cache → 2-asociativa de 128 KB capacidad y tamaño bloque de 64 bytes. Direcciones de 48 bits.

Corriente fugas = 3 pA por bit. Energía consumida durante un acceso a la memoria ^{de etiquetas} = 5 nJ por vía. y a la memoria de datos = 25 nJ por vía.

b) Calculad el n° de conjuntos, el bloque de cache, el de vías y el de bloques por vía.

$$2^{17} \text{ bytes} / 2^6 \text{ bytes/bloque} = 2^{11} \text{ bloques} = 2048 \text{ bloques}$$

$$2048 \text{ bloques} / 2 \text{ bloques/cjto} = 1024 \text{ cjtos} \rightarrow$$

$$2\text{-asociativa} \rightarrow 2 \text{ vías} \quad 1024 \text{ cjtos} \rightarrow 1024 \text{ bloques/vía}$$

c) Dibujad una dirección indicando claramente los campos usados para seleccionar el byte dentro del bloque, seleccionar el cjo de la cache y los bits usados como etiqueta.

$$1024 \text{ cjtos} \rightarrow 2^{10} \rightarrow 10 \text{ bytes} = \# \text{ conj. MC}$$

$$64 \text{ bytes} = 2^6 \rightarrow 6 \text{ bytes} = \# \text{ byte}$$

$$| \text{TAG} (32) | \text{cjo} (10) | \text{byte} (6) |$$

d) Calculad el tamaño en bits de la memoria de datos y el de la memoria de etiquetas de una vía.

$$1 \text{ vía} \rightarrow 1024 \text{ bloques}$$

$$M_{datos} = 1024 \times 64 \text{ bytes/bloque} \times 8 \text{ bits/byte} = 524288 \text{ bits}$$

$$M_{etiquetas} = 1024 \times 32 \text{ bits/bloque} = 32768 \text{ bits}$$

e) Calculad la potencia media estática (debida a fugas) de la cache.

$$\text{Corriente de fuga} = (524288 + 32768) \cdot 3 \cdot 10^{-6} = 1.671 \text{ A}$$

$$P = I \cdot V \cdot \# \text{ vías} = 1.671 \cdot 1.2 \cdot 2 = 4 \text{ W}$$

Se desean comparar diversas implementaciones alternativas de cache de datos 2-asociativa: paralela, serie, y con predictor de vías. Para comparadas se usa un benchmark con $4 \cdot 10^9$ instrucciones dinámicas que realiza 10^9 accesos de datos a memoria y $2 \cdot 10^9$ operaciones aritméticas de punto flotante. Este benchmark tiene un 10% de fallos en la cache descrita anteriormente.

En la implementación paralela, se accede simultáneamente tanto a las memorias de etiquetas como las de datos de ambas vías. Un acceso a cache se realiza en 1 ciclo y la penalización media por fallo de cache es de 20 ciclos. El benchmark ejecutado con la implementación paralela de la cache ha tardado 5 segundos.

f) Calculad los MFLOPS de la implementación paralela:

Operaciones en punto flotante $\rightarrow 2 \cdot 10^9$ operaciones $\rightarrow 2 \cdot 10^9 / 10^6 \rightarrow 2000$ millones de operaciones

$$\text{MFLOPS} = 2000 / 5 = 400 \text{ MFLOPS}$$

g) Calculad el CPI de la implementación paralela y el CPI que obtendríamos con una memoria ideal (CPI-ideal) en donde todos los accesos tardan 1 ciclo.

$$\text{Ciclos totales} = 5 \cdot 2 \cdot 10^9 = 10 \cdot 10^9 \text{ ciclos CPI}$$

$$\text{paralela} = 10 \cdot 10^9 / 4 \cdot 10^9 = 2.5 \text{ cli}$$

$$\text{Ciclos perdidos} = 0.1 \cdot (10^9) \cdot 20 = 2 \cdot 10^9 \text{ ciclos}$$

$$\text{Ciclos ideales} = 10 \cdot 10^9 - 2 \cdot 10^9 = 8 \cdot 10^9 \text{ ciclos}$$

$$\text{CPI-ideal} = 8 \cdot 10^9 / 4 \cdot 10^9 = 2 \text{ cli}$$

h) Calculad la energía dinámica consumida por un acceso a la cache.

$$1 \text{ acceso} \rightarrow 2 \text{ vías etiquetas} + 2 \text{ vías datos} \Rightarrow \text{Energía} = 2 \cdot 5 + 2 \cdot 25 = 60 \text{ nJ}$$

i) Calculad la potencia (dinámica) media consumida en acceder a la cache.

$$f = 10^9 / 5 = 0.2 \cdot 10^9$$

$$P = e \cdot f = 0.2 \cdot 10^9 \cdot 60 \cdot 10^{-9} = 12 \text{ W}$$

j) Calculad la potencia media total (estática + dinámica) consumida por el sistema CPU-cache.

$$P_{\text{total}} = P_{\text{CPU}} + P_{\text{CPU}} + P_{\text{cache}} = 18 + 4 + 12 = 34 \text{ W}$$

k) Calculad la energía total consumida para ejecutar el benchmark ^{y la eficiencia} en MFLOPS/Watt.

$$E = P \cdot t = 34 \cdot 5 = 170 \text{ J}$$

$$\text{eficiencia} = 400 / 34 = 11.76 \text{ MFLOPS/Watt}$$

En la implementación serie un acceso tarda 2 ciclos. En el primer ciclo se accede a las memorias de etiquetas de rutas vías. Una vez determinada la vía que contiene el dato, en el segundo ciclo se accede a la memoria de datos de dicha vía. La penalización en caso de fallo sigue siendo de 20 ciclos ya que en el primer ciclo del acceso ya se puede determinar si es acierto o fallo. (los aciertos tienen penalización de 1 ciclo).

l) Calcula el tiempo de ejecución y los MFLOPS de la implementación serie.

$$\text{Tiempo ejecución} = N \times \text{CPI} \times T_c$$

$$\text{Ciclos} = \text{ciclos ideal} + \text{ciclos perdidos fallos} + \text{ciclos perdidos aciertos}$$

$$\text{ciclos} = 10 \cdot 10^9 + 0.9 \cdot 10^9 \text{ accesos} \times 1 = 10.9 \cdot 10^9 \text{ ciclos}$$

$$T_{\text{exe}} = 10.9 \cdot 10^9 / 2 \cdot 10^9 = 5.45 \text{ s}$$

$$\text{MFLOPS} = 2 \cdot 10^9 / 5.45 \cdot 10^6 = 36.7 \text{ MFLOPS}$$

m) Calcula la energía consumida por un acceso a la cache.

$$1 \text{ acceso} \rightarrow 2 \text{ vías etiquetas} + 1 \text{ vía datos}$$

$$E = 2 \cdot 5 \text{ nJ} + 25 \text{ nJ} = 35 \text{ nJ}$$

n) Calcula la potencia (dinámica) media consumida en acceder a la cache.

$$f = 10^9 / 5.45 = 0.183 \cdot 10^9 \text{ accesos/s}$$

$$P = E \times f$$

$$P = 35 \cdot 10^{-9} \cdot 0.183 \cdot 10^9 = 6.42 \text{ W}$$

o) Calcula la potencia media total consumida por el sistema CPU-cache

$$P_{\text{total}} = P_{\text{cpu}} + P_{\text{cf}} + P_{\text{cache}} = 18 + 4 + 6.42 = 28.42 \text{ W}$$

p) Calcula la energía total consumida para ejecutar el benchmark y la eficiencia en MFLOPS/Watt.

$$P = \frac{E}{t}$$

$$\frac{P}{f} = \frac{E}{t}$$

$$E = P \cdot t$$

$$E = 28.42 \cdot 5.45 = 155 \text{ J}$$

$$\text{Eficiencia} = 36.7 / 28.42 = 12.91 \text{ MFLOPS/W}$$

En la implementación con predictor de vía, este predice la vía probable en que se encuentra el dato y se accede solo a las memorias de etiquetas y de datos de esa vía. En caso de fallo del predictor hay que acceder a la otra vía. El predictor usado consiste en una memoria de $8K \times 1$ bits indexado con los bits bajos del PC de las instrucciones de acceso a memoria. Este predictor tiene una tasa de aciertos del 80% del total de accesos a memoria y cada acceso al predictor consume 1nJ.

- El predictor acierta: accede a 1 vía (datos + etiquetas) en 1 ciclo (sin penalización) y al comprobar los TAGs se comprueba que es acierto de cache.
- El predictor falla, pero es acierto de cache: el acceso tarda 2 ciclos, en el 1º se accede a la vía probable, al comprobar los TAGs descubre que es fallo y en el 2º accede a la vía correcta, que acierta (1 ciclo penalización).
- El predictor falla, y el cache también falla: en el 1º ciclo se accede a la vía probable y en el 2º accede a la otra vía y se descubre que es fallo de cache. La penalización es de 21 ciclos ya que no descubre el fallo de cache hasta que se accede a la 2ª vía.

g) ¿Puede darse al caso de que un acierto del predictor de vía sea fallo de cache? ¿Por qué?

No, porque entonces sería fallo del predictor, ya que no está en las vías, y se tendría que mirar la otra vía.

r) Calculad la potencia media estática del predictor y comparadla con la de la cache.

$$I = 81292 \cdot 3 \cdot 10^{-6} = 24,6 \text{ nA} \quad P_{\text{fuga}} = I \cdot V = 24,6 \cdot 10^{-3} \cdot 1,2 \text{ V} = 29,5 \text{ mW}$$

(Es mucho menor).

s) Calculad el tiempo de ejecución y los MFLOPS de la implementación con predictor de vía.

$$\text{ciclos} = 10 \cdot 10^9 + 0,2 \cdot 10^9 \cdot 1 = 10,2 \cdot 10^9 \quad T_{\text{exe}} = 10,2 \cdot 10^9 \cdot 2 \cdot 10^{-9} = 5,1 \text{ s}$$

$$\text{MFLOPS} = 2 \cdot 10^9 / 5,1 \cdot 10^6 = 392 \text{ MFLOPS}$$

t) Calculad la energía consumida por un acceso en que el predictor acierta y uno en el que falla.

También la energía media consumida por acceso.

$$E_{\text{acerto}} = 1 \text{ vía etiqueta} + 1 \text{ vía dato}^{\text{+ predictor}} = 5 \text{ nJ} + 25 \text{ nJ} = 30 \text{ nJ} + 1 = 31 \text{ nJ}$$

$$E_{\text{fallo}} = 2 \text{ vías etiquetas} + 2 \text{ vías datos}^{\text{+ predictor}} = 1 + 10 \text{ nJ} + 50 \text{ nJ} = 61 \text{ nJ}$$

$$E_{\text{media}} = 0,8 \cdot 31 \text{ nJ} + 0,2 \cdot 61 \text{ nJ} = 37 \text{ nJ}$$

u) Calcular la potencia (dinámica) media consumida en acceder a la cache

$$f = 0.196 \cdot 10^9$$

$$P = E/t = E \cdot f = 0.196 \cdot 10^9 \cdot 37 \cdot 10^{-9} J = 7.25 W$$

v) Calcular la potencia media total consumida por el sistema CPU-cache.

$$P_t = 18 + 4 + 7.25 + 0.03 = 29.28 W$$

w) Calcular la energía total consumida para ejecutar el benchmark y la eficiencia en MFLOPS/Watt.

$$E = P \cdot t = 29.28 \cdot 5.1 = 149 J$$

$$\text{Eficiencia} = 392 / 29.28 = 13.39 \text{ MFLOPS/W}$$

x) Calcular la ganancia en eficiencia energética de la implementación serie sobre la paralela y la de predicción de vía sobre serie.

$$\text{serie / paralelo} = 12.91 / 11.76 = 1.098 = 9.8 \%$$

$$\text{predicción / serie} = 13.39 / 12.91 = 1.037 = 3.7 \%$$

PROBLEMA 11

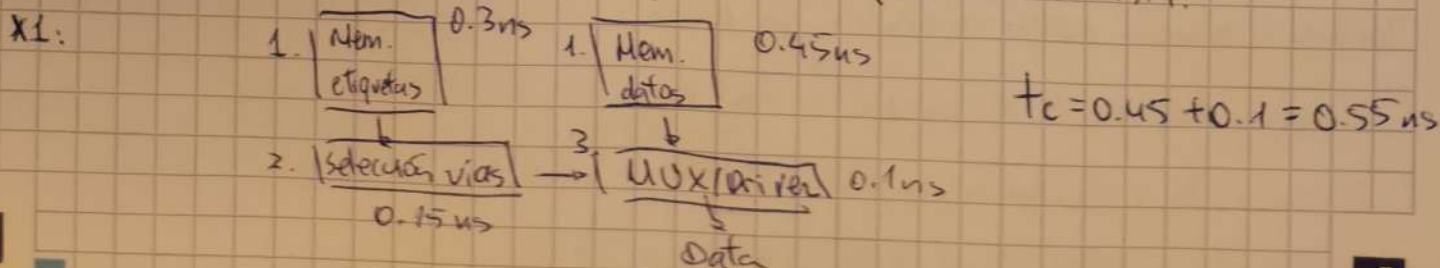
En un procesador X el camino crítico, y por tanto el tiempo de ciclo, está limitado por la memoria cache de datos. El tiempo es:

Componente	Tiempo
M. etiquetas	0.3 ns
Selección vías	0.15 ns
N. datos	0.45 ns
Mux/Driver data	0.10 ns
Registro descripto	0.05 ns

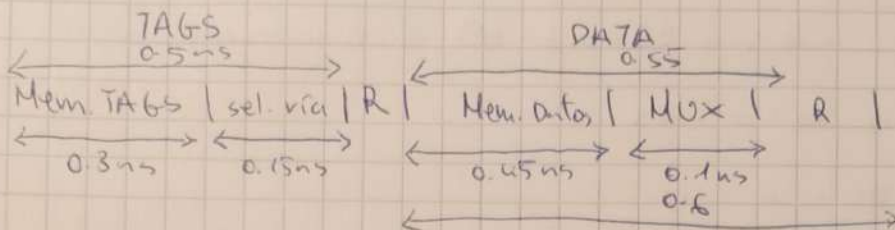
Rendimiento de 4 procesadores:

- X1: Cache datos implementación paralela y tiempo acceso a cache = 1 ciclo de procesador
- X2: Cache datos segmentada en 2 etapas y tiempo acceso = 2 ciclos de procesador
- X3: Cache datos segmentada en 3 etapas y tiempo acceso = 3 ciclos de procesador
- X4: Cache datos segmentada en 4 etapas y tiempo acceso = 4 ciclos de procesador

a) Calcular tiempo acceso cache datos y tiempo total acceso para X1, X2, X3, X4.



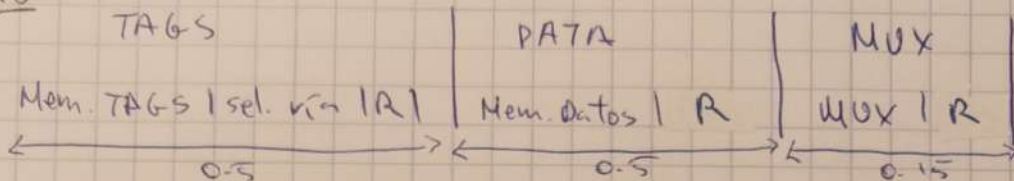
X2:



$$t_c = 0.6 \text{ ns}$$

$$t_{\text{acceso}} = 1.2 \text{ ns}$$

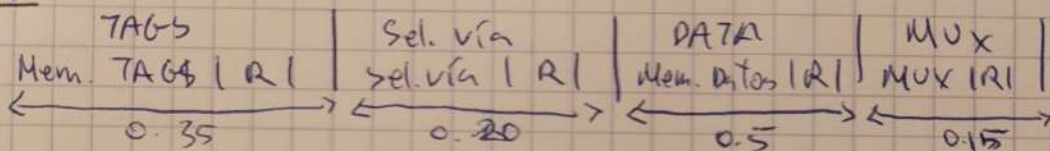
X3:



$$t_c = 0.5 \text{ ns}$$

$$t_{\text{acceso}} = 0.5 \cdot 3 = 1.5 \text{ ns}$$

X4:



$$t_c = 0.5 \text{ ns}$$

$$t_{\text{acceso}} = 2 \text{ ns}$$

b) Razonad porque descartamos las opciones X2 y X4 para el resto del problema

X2 → tiene el t_c más grande y X4 → tiene el t_{acceso} más grande

c) Calculad la frecuencia de reloj de X1 y X3

$$X1 \rightarrow 1 / 0.55 \cdot 10^{-9} = 1.82 \text{ GHz}$$

$$X3 \rightarrow 1 / 0.5 \cdot 10^{-9} = 2 \text{ GHz}$$

Programa P ejecuta $2 \cdot 10^9$ instrucciones

- 60% aritméticas (5 ciclos)
- 20% salto (4 ciclos)
- 20% acceso memoria (4 ciclos + acceso cache)

d) Calculad el CPI del programa P para X1 y X3 suponiendo que no hay fallos.

$$CPI_{X1} = 0.6 \cdot 5 + 0.2 \cdot 4 + 0.2 \cdot (4 + 1) = 4.8 \text{ c/i}$$

$$CPI_{X3} = 0.6 \cdot 5 + 0.2 \cdot 4 + 0.2 \cdot (4 + 3) = 5.2 \text{ c/i}$$

e) Calculad el speedup de X3 sobre X1 en % suponiendo que no hay fallos.

$$T_{\text{exe } X1} = 2 \cdot 10^9 \cdot 4.8 \cdot 0.55 \cdot 10^{-9} = 5.28 \text{ s}$$

$$T_{\text{exe } X3} = 2 \cdot 10^9 \cdot 5.2 \cdot 0.5 \cdot 10^{-9} = 5.2 \text{ s}$$

$$\text{Speedup} = \frac{5.28}{5.2} = 1.015 \text{ (1.5\%)}$$

P → 10% fallos en la cache de datos Transmisión → 60 ciclos

f) Calculad el speedup real de X3 sobre X1 teniendo en cuenta la jerarquía de memoria completa.

$$CPI = CPI_{ideal} + CPI_{mem} = 4,8 + 0,2 \cdot 0,1 \cdot 60 = 6 \text{ ciclos/instrucción}$$

$$T_{exe X1} = 2 \cdot 10^9 \cdot 6 \cdot 0,55 \cdot 10^{-9} = 6,6 \text{ s}$$

$$CPI = 5,2 + 0,2 \cdot 0,1 \cdot 60 = 6,4 \text{ c/i}$$

$$T_{exe X3} = 2 \cdot 10^9 \cdot 6,4 \cdot 0,5 \cdot 10^{-9} = 6,4 \text{ s}$$

$$Speedup = \frac{6,6}{6,4} = 1,03125 \text{ (3,125\%)}$$