

# PROBLEMA 17 DRAM

DIMM:

- 8 chips de 1 byte cada uno por DIMM
- Latencia de fila: 4 ciclos
- Latencia de columna: 3 ciclos
- Latencia de precarga: 2 ciclos
- Frecuencia de reloj: 200 MHz

Acceso en lectura: bloque de 64 bytes

ACT → ACTIVE; RD → READ; PRE → PRECHARGE; @F: ciclo que se envía @ de fila  
D: ciclo que se transmite el paquete de datos: (D0, D1, D2...); @C: ciclo que se envía @ de columna

a) Rellenad el siguiente cronograma indicando la ocupación de los distintos recursos para una operación de lectura de 64 bytes.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
Com	ACT				RD											PRE	
@	@F				@C												
Datos									D0	D1	D2	D3	D4	D5	D6	D7	

Latencia fila (4 ciclos)      Latencia columna (3 ciclos)      8 bytes · 8 = 64 bytes      Precarga (2 ciclos)

8 paquetes de datos (8 ciclos)

b) Calculad el tiempo de ciclo de la memoria en ns

$$t_c = \frac{1}{f} = \frac{1}{200 \text{ MHz}} = 5 \text{ ns} \times 17 \text{ ciclos} = 85 \text{ ns}$$

c) Calculad el ancho de banda teórico máximo suponiendo que el bus de datos está transfiriendo datos continuamente

$$t_c = \frac{1}{200 \text{ MHz}} = 5 \text{ ns} \times 8 \text{ ciclos} = 40 \text{ ns}$$

$$\text{Ancho de banda teórico} = \frac{64 \text{ bytes}}{40 \text{ ns}} = 1.6 \text{ bytes/ns} = 1.6 \cdot 10^9 \text{ bytes/s} = 1.6 \text{ GB/s}$$

d) Calculad el ancho de banda real suponiendo que seans copios de iniciar un nuevo acceso a un bloque de 64 bytes tan pronto hemos completado el acceso anterior.

$$\text{Ancho de banda real} = \frac{64 \text{ bytes}}{85 \text{ ns}} = 0.75294 \text{ bytes/ns} = 752.94 \text{ MB/s}$$

Tensión de alimentación = 1.5 V

- Memoria activa → corriente de fuga 200 mA
- Durante toda la operación de lectura, se consume 100 mA adicionales
- Durante la transferencia de datos, se consume 500 mA adicionales

e) Calculad la energía consumida (en julios) y la potencia media consumida (en vatios) en la memoria durante un intervalo de 100 ciclos suponiendo que iniciamos un acceso cada 25 ciclos.

$$\frac{9}{25} \times 300 \times 10^{-3} \text{ A} \times 1,5 \text{ V} = 0,162 \text{ W} \quad (\text{operação bottom}) \quad P = V \cdot I$$

$$\frac{8}{25} \times 800 \times 10^{-3} \text{ A} \times 1.5 \text{ V} = 0.384 \text{ W} \quad (\text{transferencia datos})$$

$$\frac{8}{25} \cdot 200 \times 10^3 \text{ A} \cdot 1,5 \text{ V} = 0,096 \text{ W} \quad (\text{inactive})$$

$$P_{\text{potencia mltiplica}} = 0,162 \text{ W} + 0,389 \text{ W} + 0,096 \text{ W} = 0,647 \text{ W}$$

$$P = \frac{E}{t} ; E = P \cdot t ; E = 0,642 \cdot (100 \text{ cycles} \cdot 5 \text{ ns}) = 3,21 \cdot 10^{-7} \text{ J} = 321 \text{ nJ}$$

4) Rellenad el siguiente cronograma indicando la ocupación de los distintos recursos para una operación de lectura de 64 bytes en la nueva memoria DDR.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
Com	ACT				RD							PRE					
@	@F				@C												
Datos								D	D	D	D						

Latencia fila (4 ciclos)  
 Latencia columna (3 ciclos)  
 $16 \text{ bytes} \cdot 4 = 64 \text{ bytes}$   
 4 paquetes de datos (4 ciclos)  
 Precarga (2 ciclos)

Circles totals =  $4 + 3 + 4 + 2 = 13$  circles

## PROBLEMA 18 Cache Multinivell, DRAM

$T_C = 10 \text{ ns}$       P  $\begin{cases} 5 \cdot 10^9 \text{ instruccions} \\ \text{accesos a memoria} = 1 \text{ cycle} \\ \text{CPI} = 1.8 \text{ cycles/instrucció} \end{cases}$

a) Calculeu el temps d'execució del programa P

$$T_{\text{exe}} = C_{\text{PI}} \cdot N \cdot T_c ; T_{\text{exe}} = 1.8 \text{ cli} \cdot 5 \cdot 10^9 \text{ instructions} \cdot 10 \cdot 10^{-4} \text{ s} = 90 \text{ seconds}$$

Cache L1  $\rightarrow$  32 bytes;  $t_h = 1$  cycle;  $m_1 = 10\%$

Memoria Principal SDRAM  $\rightarrow 8 \text{ bytes}$ ; @ fila =  $4c$ ; PRE =  $1c$   
@ columna =  $4c$

b) Calculeu quants accessos a L1 fa el programa P

Tants accessos a L1 com instruccions que executa P:  $5 \cdot 10^9$  instruccions  $\rightarrow 5 \cdot 10^9$  accessos







c) Calculeu el temps de penalització d'una fallada (en cicles)

$$4 + 4 + 4 + 1 = 13 \text{ cicles} \quad t_{pf} = 13 \text{ cicles}$$

d) Calculeu el temps mig d'accés a memòria ( $T_{mem}$ ) pels accessos a instruccions (en ns)

$$T_{ma} = t_h + t_m \cdot t_{pf} \quad ; \quad T_{ma} = 1 \text{ cicle} + 0,1 \cdot 13 \text{ cicles} = 2,3 \text{ cicles}$$

$$2,3 \text{ cicles} \cdot t_c = 23 \text{ ns}$$

e) Calculeu el CPI amb aquesta jerarquia de memòria

$$CPI = CPI_{ideal} + CPI_{mem} = 1,8 + nr \cdot t_m \cdot t_{pf} = 1,8 + 1 \cdot 0,1 \cdot 13 = 3,1 \text{ c/i}$$

f) Calculeu el temps d'execució del programa P

$$T_{exe} = N \cdot CPI \cdot T_c = 5 \cdot 10^9 \cdot 3,1 \cdot 10 \cdot 10^{-9} = 155 \text{ segons}$$

L1  $\rightarrow$  L2  $\rightarrow$  SDRAM

L2:  $m_2 = 30\%$ ; 32 bytes

g) Calculeu el percentatge d'accessos que fallen a L1 i encerten a L2

$$\begin{aligned} F_{L1} &= 0,1 \\ E_{L2} &= 0,7 \end{aligned} \quad \rightarrow \quad 0,1 \cdot 0,7 = 0,07 \rightarrow 7\%$$

h) Calculeu el percentatge d'accessos que fallen a L1 i a L2

$$\begin{aligned} F_{L1} &= 0,1 \\ F_{L2} &= 0,3 \end{aligned} \quad \rightarrow \quad 0,1 \cdot 0,3 = 0,03 \rightarrow 3\%$$

i) Calculeu el temps de penalització en cas de fallar a L1 i encertar a L2 (en cicles)

5 cicles

j) Calculeu el temps de penalització en cas de fallar a L1 i a L2 (en cicles)

15 cicles

k) Calculeu el temps mig d'accés a memòria ( $T_{mem}$ ) pels accessos a instruccions (en ns)

$$T_{ma} = t_h + t_m \cdot t_{pf} \quad ; \quad T_{ma} = 1 + 0,07 \cdot 5 + 0,03 \cdot 15 = 1,8 \text{ cicles} \cdot 10 \text{ ns} = 18 \text{ ns}$$

l) Calculeu el CPI amb aquesta jerarquia de memòria

$$CPI = CPI_{ideal} + CPI_{mem} = 1,8 + nr \cdot t_m \cdot t_{pf} = 1,8 + 0,07 \cdot 5 + 0,03 \cdot 15 = 2,6 \text{ c/i}$$

m) Calculeu el temps d'execució ( $T_{exec}$ ) del programa P

$$T_{exe} = N \cdot CPI \cdot T_c = 5 \cdot 10^9 \cdot 2,6 \cdot 10 \cdot 10^{-9} = 130 \text{ segons}$$

n) Calculeu el guany (Speed-up) del sistema amb L1 i L2 respecte el que només té L1

$$\text{Speed-Up} = \frac{155}{130} = 1,19 = 19\% \text{ més ràpid el que té L1 i L2}$$

