

## PROBLEMA 6

Processador: 1.3 referències a memòria per instrucció de les que 0.3 són de dades.

Cache de 16 K o dues (una de 8K i una de 4K)

- Un cache unificada de 16 Kb. CPI ideal de 1.5 cl (no accés dades i instrucció al mateix temps)
- Dues caches separades, una de instruccions de 4 Kb i una de dades de 8 Kb. CPI ideal de 1.2 cl (buscar dades i instruccions simultàniament)

$$T_c = 10 \text{ ns} \quad T_{sa} = 1 \text{ cicle} \quad T_{sf} = 10 \text{ cicles}$$

Taxa fallades:

Mida	Instruccions	Dades	Unificada
4K	8.6%	8.7%	11.2%
8K	5.8%	6.8%	8.3%
16K	3.6%	5.3%	5.9%

a) Quin serà el temps mig d'accés  $t_{ma}$  per cada configuració (en cicles)?

$$\text{Cache unificada, } t_{ma} = h \cdot t_{sa} + m \cdot t_{sf} = 0.88 \cdot 1 + 0.112 \cdot 10 = 2 \text{ cicles}$$

$$\text{Dues caches separades, } t_{ma} = h \cdot t_{sa} + m \cdot t_{sf} = 0.911 \cdot 1 + 0.089 \cdot 10 = 1.801 \text{ cicles}$$

b) Quin serà el temps d'execució  $T_{exec}$  de l'instrucció real en cada cas?

$$T_{exec} = N \cdot CPI \cdot T_c ; CPI = 1.5 + 1.3(2-1) ; CPI = 2.8 ; T_{exec} = 1 \cdot 2.8 \cdot 10 = 28 \text{ ns}$$

$$CPI = 1.2 + 1.3(1.801-1) ; CPI = 2.2413 ; T_{exec} = 1 \cdot 2.2413 \cdot 10 = 22.413 \text{ ns}$$

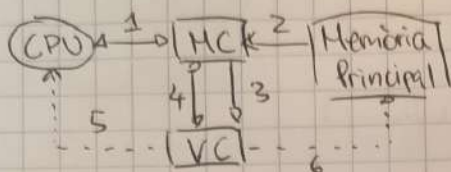
c) Per quina opció optarien i perquè?

La 2a, perquè té taxa de fallades més baixes i el  $T_{exec}$  és més ràpid

d) Creus que es pot trobar alguna opció millor en base a les dades que disposem? Perquè

crec que la millor opció és la 2a i no hi ha cap opció millor en base a les dades que disposem

## PROBLEMA 9



VC → Cache de víctimes

- Memòria cache d'emplaçament directe amb 8 blocs →  $2^3$  → 3 bits #línea MC
- Memòria cache associativa per conjunts amb 4 conjunts de 2 blocs cadascun i reemplaçament LRU →  $2^2$  2bits #conj. MC
- Memòria cache d'emplaçament directe amb 8 blocs amb VC amb reemplaçament FIFO de 2 blocs de capacitat.

a) Indiqueu quins accessos seran hit, tots els accessos són lectures.

Bloc memòria	13	55	43	45	73	45	13	43	73	55	45	73	15	43
Directa	miss	miss	miss	miss	miss	X	miss	miss	miss	miss	miss	X	miss	miss
2-associativa	miss	miss	miss	miss	X	X	miss	miss	miss	X	X	X	miss	X
Directa+VC	miss	miss	miss	miss	X	X	miss	X	miss	miss	X	X	miss	miss

13 → 3B → 0011 1011	11
55 → 2D → 0010 1101	01
43 → 23 → 0010 0011	11
45 → 25 → 0010 0101	01
13 → B → 0000 1011	11
15 → D → 0000 1101	01

~~13~~ ~~43~~ ~~73~~ ~~45~~ ~~73~~ ~~43~~  
~~55~~ ~~45~~ ~~15~~

~~43~~ ~~45~~ ~~73~~  
~~55~~ ~~15~~ ~~45~~

C VC  
~~13~~ ~~43~~ ~~73~~ ~~73~~  
~~55~~ ~~45~~ ~~55~~ ~~55~~  
15 ~~43~~  
~~43~~  
~~55~~  
45

b) Creus que hi hauria cap diferència si la VC fes servir un reemplaçament LRU? Perquè?

C  
~~13~~ ~~43~~ ~~73~~ ~~43~~  
~~55~~ ~~45~~ ~~15~~

VC  
~~13~~  
~~55~~  
~~43~~  
~~43~~  
45  
55

No hi ha diferència, la línia que porta més temps és la menys utilitzada.



**P**:  $10 \cdot 10^9$  instruccions en  $12 \cdot 10^9$  cicles i  $3 \cdot 10^9$  accessos a memòria

c) Calculeu el CPI amb memòria ideal (CPI ideal)

$$CPI = \frac{12 \cdot 10^9}{10 \cdot 10^9} = 1,2 \text{ c/i}$$

d) Calculeu el ratio nr (accessos a memòria per instrucció)

$$nr = \frac{3 \cdot 10^9}{10 \cdot 10^9} = 0,3 \text{ nr}$$

Cache d'emplaçament directe:  $T_c = 10 \text{ ns/cicle}$ ,  $m = 0,1 \text{ f/a}$  i  $T_{pf} = 10$  cicles

e) Quants cicles tarda en executar-se el programa P?

$$CPI = 1,2 + 0,3 \cdot 0,1 \cdot 10 = 1,5 \text{ c/i} \cdot 10 \cdot 10^9 = 1,5 \cdot 10^{10} \text{ cicles}$$

f) Quin és el temps d'execució de P?

$$T_{exe} = N \cdot CPI \cdot T_c = 1,5 \cdot 10^{10} \cdot 10 \cdot 10^{-9} = 150 \text{ s}$$

Cache 2-associativa:  $T_c = 12 \text{ ns/cicle}$ ,  $m = 0,05 \text{ f/a}$  i  $T_{pf} = 9$  cicles

g) Perquè creus que el temps de penalització en cas de fallada és de 9 cicles mentre que en l'altre és de 10?

Del temps de cicle, temps d'accés

h) Quants cicles tarda en executar-se el programa P?

$$CPI = 1,2 + 0,3 (0,05) \cdot (9) = 1,335 \text{ c/i} \cdot 10 \cdot 10^9 = 1,335 \cdot 10^{10} \text{ cicles}$$

i) Quin és el temps d'execució de P?

$$T_{exe} = N \cdot CPI \cdot T_c = 1,335 \cdot 10^{10} \cdot 12 \cdot 10^{-9} = 160,2 \text{ s}$$

Cache emplaçament directe + victim cache amb accés simultani:  $T_c = 11 \text{ ns/cicle}$ ,  $m = 0,06 \text{ f/a}$  i  $T_{pf} = 10$  cicles

j) Quants cicles tarda en executar-se el programa P?

$$CPI = 1,2 + 0,3 (0,06) (10) = 1,38 \text{ c/i} \cdot 10 \cdot 10^9 = 1,38 \cdot 10^{10} \text{ cicles}$$

k) Quin és el temps d'execució de P?

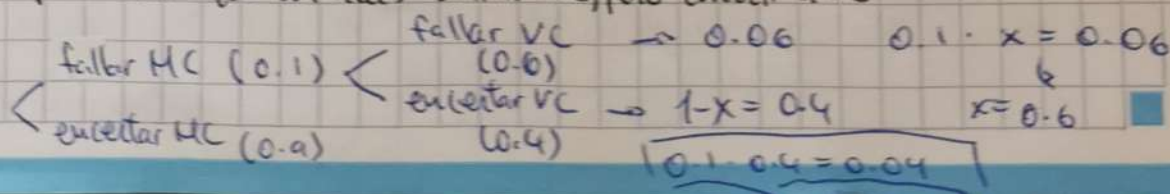
$$T_{exe} = N \cdot CPI \cdot T_c = 1,38 \cdot 10^{10} \cdot 11 \cdot 10^{-9} = 151,8 \text{ s}$$

Cache emplaçament directe + victim cache amb accés seqüencial:  $T_c = 10 \text{ ns/cicle}$ ,  $m = 0,06 \text{ f/a}$  i  $T_{pf} = 11$  cicles  $T_{prc} = 1$  cicle

l) Perquè el  $T_{pf}$  és de 11 mentre en el directe és de 10 cicles?

Perquè els accessos que s'ha de fer a la VC tenen una penalització addicional de 1 cicle.

m) Calcula la probabilitat que un accés falli a HC, però encesti a VC



n) Cuántos ciclos tarda en ejecutarse el Programa P?

$$CPI = 1,2 + 0,3 \cdot (0,06 \cdot 11 + 0,04 \cdot 1) = 1,41 \text{ cli} \cdot 10 \cdot 10^9 = 1,41 \cdot 10^{10} \text{ ciclos}$$

o) ¿Cuál es el tiempo de ejecución?

$$T_{exe} = N \cdot CPI \cdot T_c = 1,41 \cdot 10^{10} \cdot 10 \cdot 10^{-9} = 141 \text{ s}$$

### PROBLEMA 12

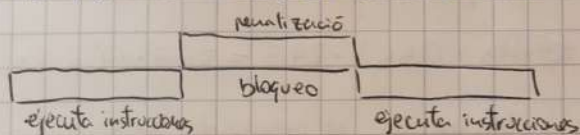
Programa P:  $5 \cdot 10^9$  ciclos ha generado  $2 \cdot 10^9$  instrucciones ( $500 \cdot 10^6$  instrucciones de acceso) y  $50 \cdot 10^6$  fallos en la cache de datos

a) Calculad el CPI de P

$$CPI = 5 \cdot 10^9 / 2 \cdot 10^9 = 2,5 \text{ cli}$$

b) Calculad el número medio de ciclos transcurridos entre 2 fallos

$$5 \cdot 10^9 / 50 \cdot 10^6 = 100 \text{ ciclos entre fallos}$$



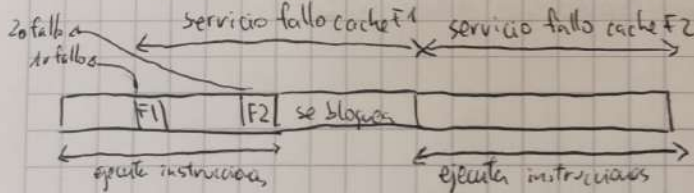
$$T_{exe} = 4 \text{ s}, f = 264 \text{ Hz}$$

c) Calculad el CPI de P ahora

$$T_{exe} = CPI \cdot N \cdot T_c ; H = CPI \cdot 2 \cdot 10^9 \cdot \frac{1}{2 \cdot 10^9} ; CPI = 4 \text{ cli}$$

d) Calculad el tiempo de penalización por fallo de cache ( $T_{pf}$ ) en ciclos

$$\text{ciclos}_B = \text{ciclos}_{\text{acc}} + T_{pf} \cdot n^{\circ} \text{ fallos} ; T_{pf} = \frac{(8 \cdot 10^9 - 5 \cdot 10^9)}{50 \cdot 100} = 60 \text{ cli}$$



e) Calculad la probabilidad de que se produzca un segundo fallo durante el servicio de un fallo anterior

$$P(\text{fallar en un ciclo}) = 1/100$$

$$P(\text{no fallar}) = 1 - 1/100$$

$$P(\text{fallar en } 60 \text{ ciclos}) = 1 - \text{probabilidad no fallar en ningún ciclo}$$

$$P(\text{fallo en el intervalo}) = 1 - (1 - p)^{60} = 1 - (1 - 1/100)^{60} = 0,453$$

f) ¿Puede producirse un tercer fallo?

No, ya que cuando se produce el 2o fallo, se bloquea y no ejecuta más instrucciones.



Si se produce un segundo fallo durante el intervalo de servicio de un fallo anterior, este se puede producir en cualquier de los ciclos que dura el servicio, con la misma probabilidad.

Es decir, se trata de una distribución de probabilidad uniforme discreta (dado de 60 caras)

g) Calculad cuantos ciclos se pierden como máximo y como mínimo en función de en que ciclo del intervalo se produce el segundo fallo.

Máximo: 1r ciclo  $\rightarrow$  59 ciclos perdidos

Mínimo: en el último ciclo  $\rightarrow$  0 ciclos perdidos

h) Calculad el número medio de ciclos perdidos debido al segundo fallo

$$\text{Número medio de ciclos perdidos} = \frac{59 + 0}{2} = 29.5 \text{ ciclos / fallo}$$

i) Calculad el número de ciclos necesarios para ejecutar P en el procesador N (con cache no bloqueante).

$$\begin{aligned} \text{Ciclos}_N &= \text{Ciclos}_{\text{ideal}} + \text{Ciclos}_{\text{mem}} = 5 \cdot 10^9 + \# \text{fallos} \cdot \text{prob. de 2º fallo} \cdot \text{ciclos perdidos} = \\ &= 5 \cdot 10^9 + 50 \cdot 10^6 \text{ fallos} \cdot 0.453 \cdot 29.5 = 5.67 \cdot 10^9 \text{ ciclos} \end{aligned}$$

Debido a la complejidad añadida de la cache no bloqueante, el procesador N funciona a una frecuencia ligeramente inferior de 1.9 GHz.

j) Calculad la ganancia (speedup) del procesador N sobre el B

$$\text{Texe} = N \cdot \text{CPI} \cdot T_c = \frac{5.67 \cdot 10^9}{1.9 \cdot 10^9} = 2.984$$

$$\text{SpeedUp} = \frac{4}{2.984} = 1.34$$

El procesador no bloqueante es un 34% más rápido que el bloqueante.