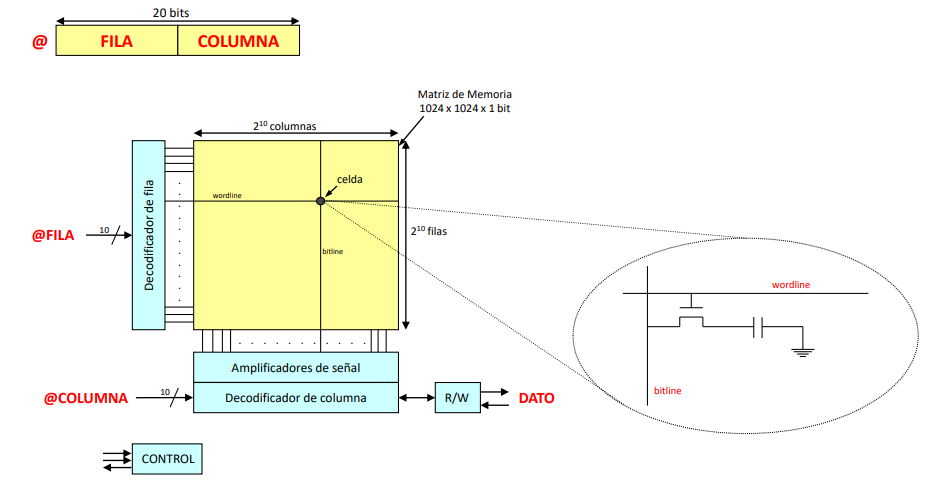
**Tema 7: Jerarquía de Memorias: Conceptos Avanzados de Memoria Principal**

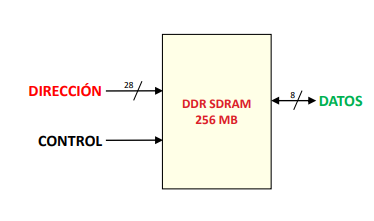
**Estructura básica de una DRAM**



**Estructura interna de una DRAM actual**

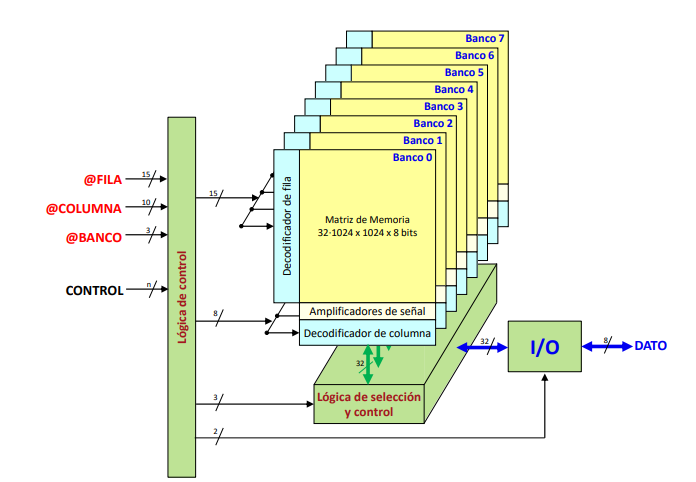
Una característica fundamental de las DRAM actuales es que están divididas en bancos.

Los bancos permiten:

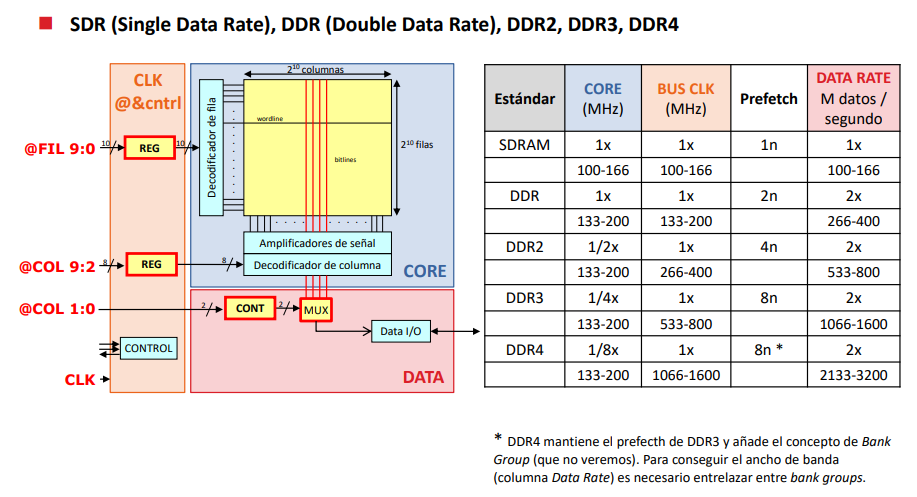
* Realizar accesos concurrentes a diferentes bancos.
* Ocultar la precarga.
* Ocultar el refresco.
* Tener arrays de memoria más pequeños:
  + Tiempo de acceso ↓.
  + Consumo de energía ↓.

Por ejemplo, una DDR3 de 256 MB tiene:

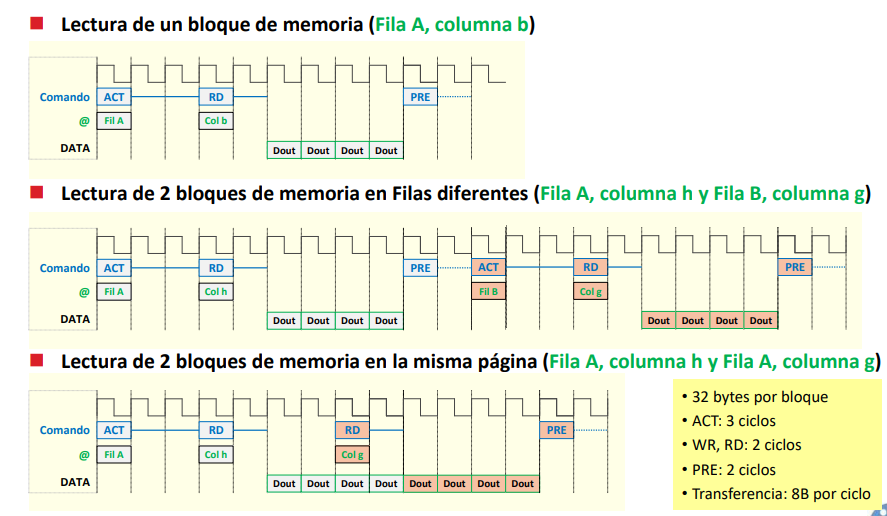
* 8 bancos de 32 MB.
* Cada banco tiene 32 K filas por 1K columnas de 1 byte.



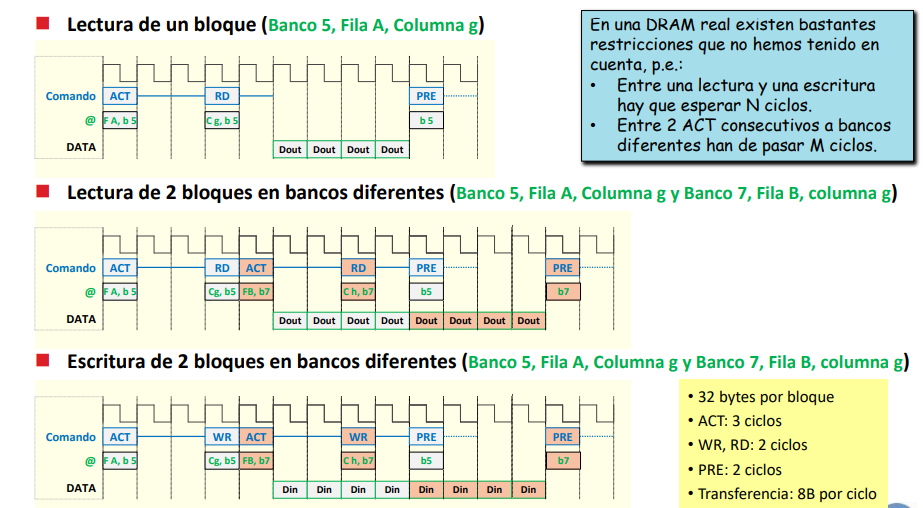
Variantes de SDRAM:



**Accesos a una DRAM con 1 banco**

****

**Accesos a una DRAM con múltiples bancos**



**Organización de la Memoria Principal**

¿Qué tenemos aquí?

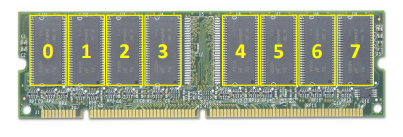
* 8GB de memoria DDR3 1600 MHz.
* Direcciones de 33 bits.

¿Cómo está organizado?

* Canales (2).
* DIMMs (2 por canal).
* Chips (8 por DIMM).
* Bancos (8 por chip).
* Filas (32·1024 por Banco).
* Columnas (1024 por Fila).
* 1 byte por columna.

¿Dónde está la dirección 0x1DF038A6B?

Dada una dirección, ¿cómo identificamos canal, DIMM, chip, …?



La Memoria Principal utiliza DIMMS (Dual Inline Memory Modules).

A nivel de ejemplo, un DIMM podría tener las siguientes características:

* 2GB de capacidad (requiere 31 bits de dirección).
* Permite leer 64 bits (8 bytes) de datos en un acceso individual.
* 8 chips.

Cada DIMM de memoria tiene un número determinado de chips.

A nivel de ejemplo, un chip podría tener las siguientes características:

* 256 MB de capacidad (requiere 28 bits de dirección).
* Permite leer 8 bits (1 byte) de datos en un acceso individual.
* 8 bancos.

Cada chip de memoria tiene 8 bancos.

Cada banco es un array de memoria con:

* 32 \* 1024 filas.
* 1024 columnas de 1 byte.
* En una lectura se leen 4 bytes consecutivos.
* La lógica de I/O se encarga de enviarlos al exterior byte a byte.

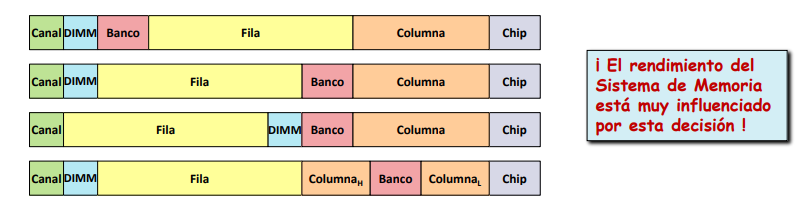
¿Dónde está la dirección 0x1DF038A6B?:

Nuestra memoria tiene una capacidad de 8GB (33 bits de dirección).

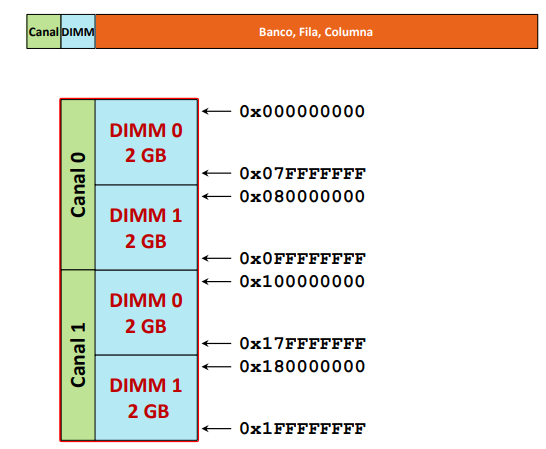
En nuestra Memoria tenemos:

* Canales (2): 1 bit para el canal.
* DIMMs (2 por canal): 1 bit para el DIMM.
* Chips (8 por DIMM): 3 bits para el chip.
* Bancos (8 por chip): 3 bits para el banco.
* Filas (32·1024 por Banco): 15 bits para la fila.
* Columnas (1024 por Fila): 10 bits para la columna.

Existen muchas posibilidades válidas:

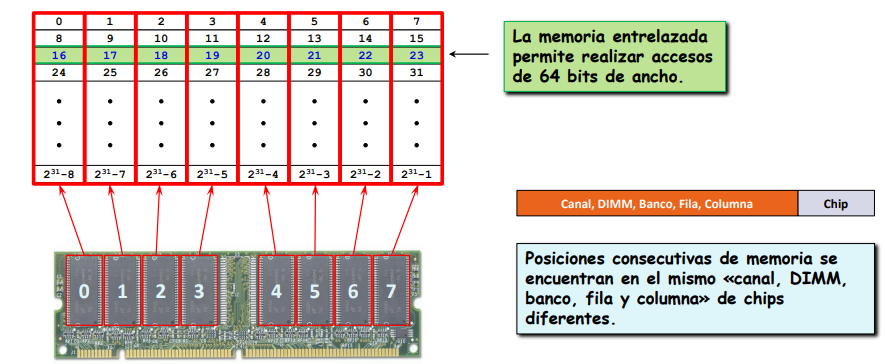


El mapa de memoria viene determinado por esta descomposición:



Es imprescindible que los bits bajos de la dirección seleccionen el chip dentro del DIMM →MEMORIA ENTRELAZADA

Por ejemplo, las direcciones en el DIMM 0 del Canal 0 se distribuyen así:



Todos los accesos a Memoria Principal leen (o escriben) bloques de memoria.

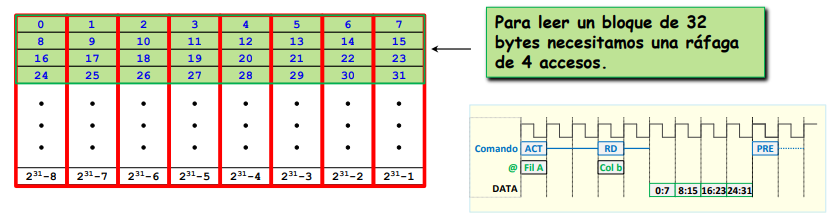


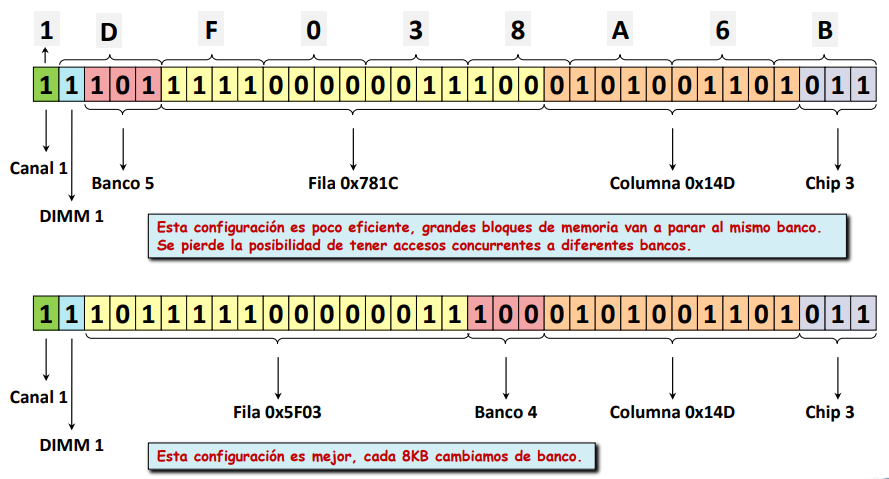
Las DRAM actuales permiten leer (o escribir) de forma muy eficiente ráfagas de datos.

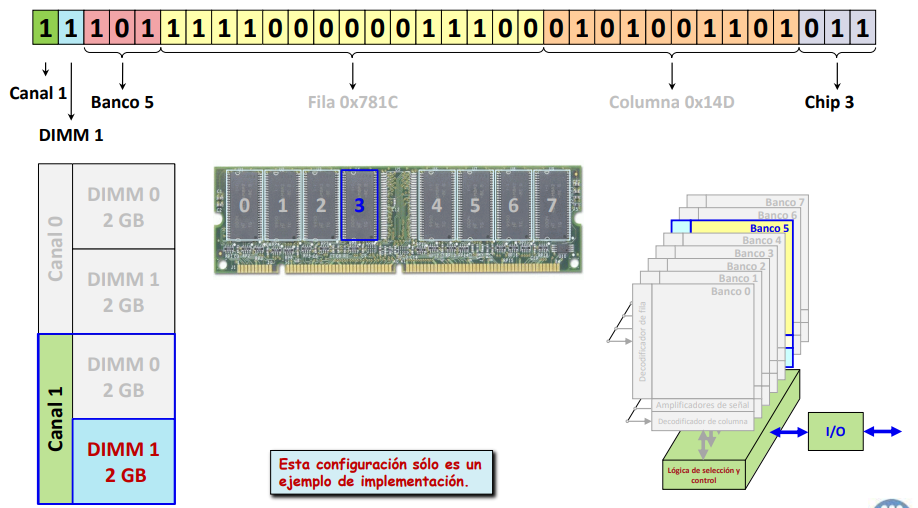
Para que esas ráfagas coincidan con bloques de memoria es imprescindible que el campo correspondiente al byte dentro del bloque corresponda a los bits que seleccionan chip y columnaL.

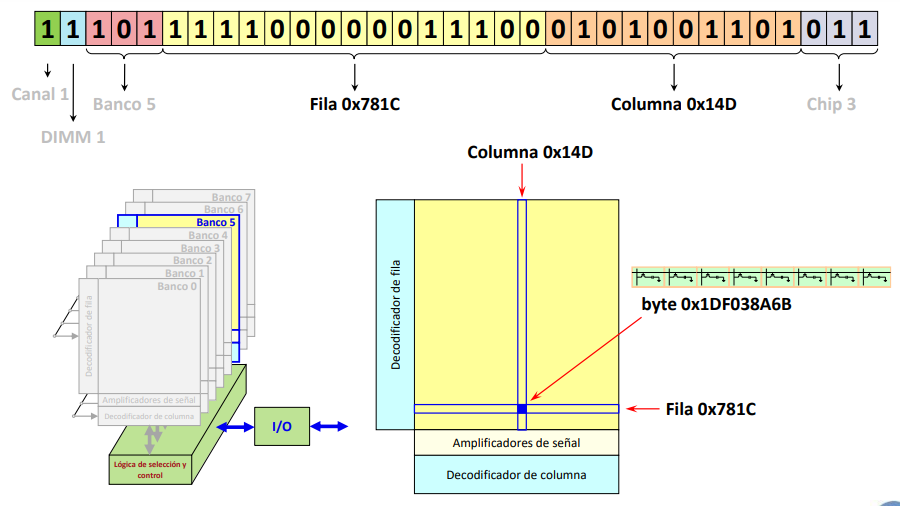


Por ejemplo, con bloques de 32 bytes, el bloque 0 se encuentra en el canal 0, DIMM 0:

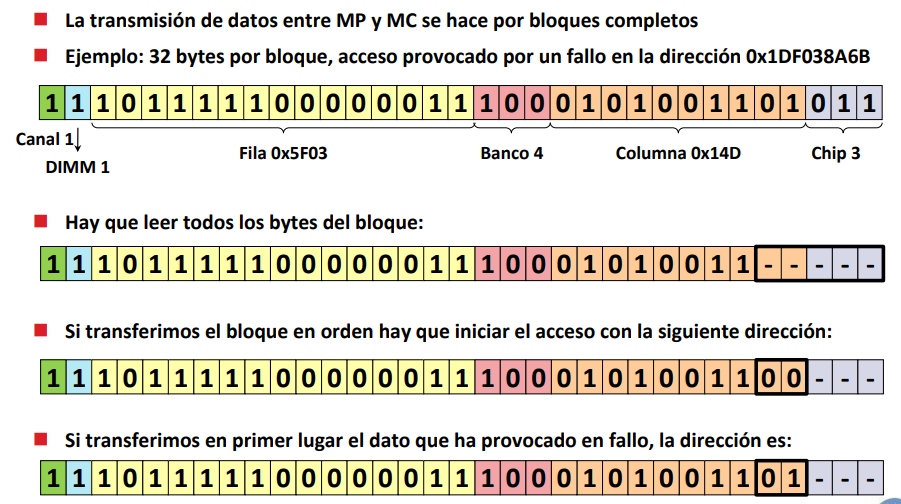








Lectura línea:



**Refresco en una DRAM**

Cada celda de una DRAM equivale a un condensador, como tal, va perdiendo carga de forma exponencial:

* Corriente de fuga.
* La lectura es destructiva.

Para evitar la pérdida de información almacenada en las celdas, la carga debe regenerarse periódicamente → REFRESCO

El refresco hay que aplicarlo a todas las celdas de la memoria. Se aplica fila a fila.

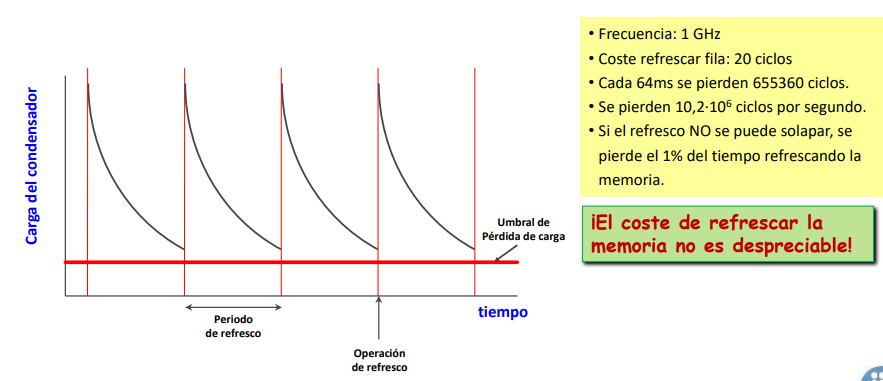
El refresco de la fila A se puede hacer con un ACT y una PRE.

Existen comandos especiales para hacer el refresco.

* Refrescan todos los bancos a la vez.
* La propia memoria controla que fila hay que refrescar.

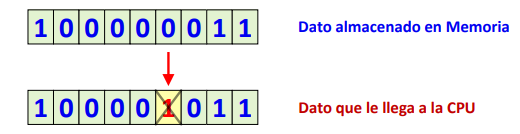
Actualmente el refresco es una operación estandarizada establecida por el JEDEC (Junction Electronic Devices Engineering Council).

* Periodo de refresco de 64ms.
* Si tenemos 32·1024 filas, en media, hay que lanzar una operación de refresco cada 2μs.



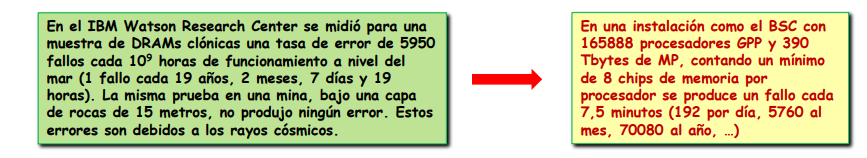
**Detección y Corrección de Errores**

Al acceder a memoria se pueden producir errores:



Estos errores se deben a diversas causas:

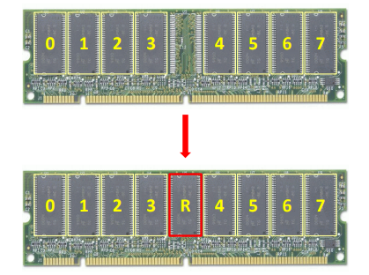
* Interferencias electrónicas o magnéticas (transitorios).
* Problemas de transmisión de datos (transitorios).
* Problemas hardware (permanentes), como en cualquier otro chip y por las mismas causas.



En algunas instalaciones los errores han de estar bajo control.

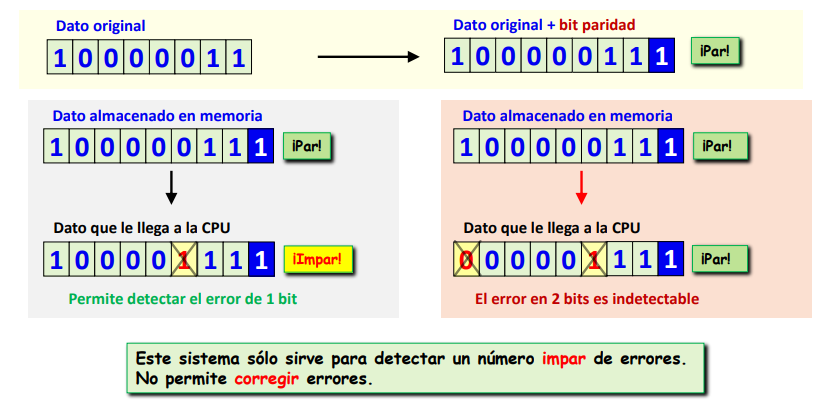
Los errores permanentes sólo se resuelven sustituyendo el elemento dañado.

Los fabricantes de memoria diseñan sistemas que permiten detectar y en algunos casos corregir los errores transitorios → AÑADIR INFORMACIÓN REDUNDANTE.



Bit de Paridad:

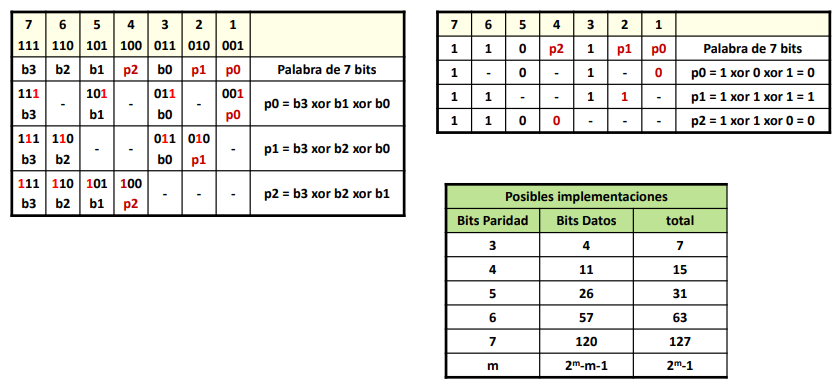
El sistema más simple es añadir 1 bit, de tal forma que cada porción de información tenga SIEMPRE un número impar (o par) de 1’s.



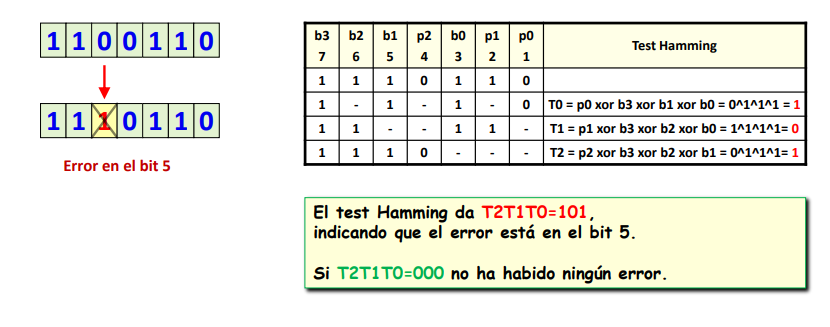
Código Hamming (7, 3):

4 bits de datos y 3 redundantes.

* Bits redundantes: 1, 2, 4.
* Bits de datos: 3, 5, 6 y 7.



Permite corregir un error en 1 bit.

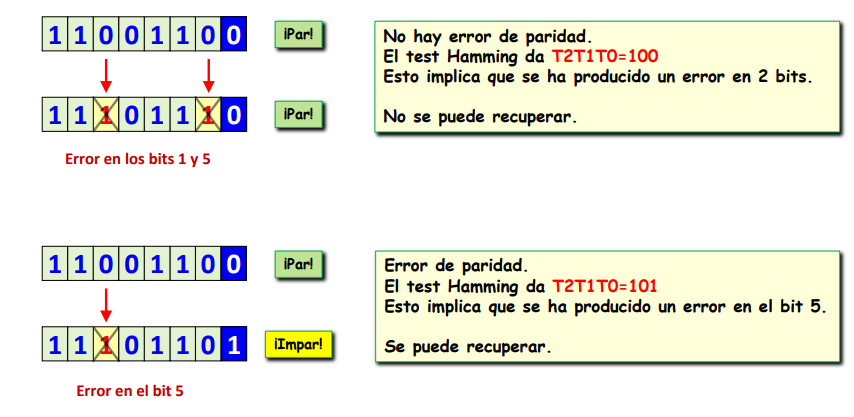


Código Hamming extendido (7, 3) + 1 bit de paridad:

El código Hamming no funciona cuando se produce un error en 2 bits.



Añadiendo un bit de paridad es posible detectar un error en 2 bits o corregir un error de 1 bit.



Memoria ECC (Error Correction Code):

* La memoria que incluye estos mecanismos se utiliza exclusivamente en servidores y estaciones de trabajo de gama alta.
* Basado en códigos de Hamming. A cada porción de datos se añade información redundante que permite detectar y corregir errores.
* El código ECC más utilizado en memorias es el SEC-DED (Single Error Correction – Double Error Detection). Permite corregir 1 error o detectar 2 en la misma porción de datos.
* En DIMMs de memoria se suele utilizar un código extendido (71, 64) + bit de paridad. 72 bits totales, con 64 bits de datos y 8 redundantes. Perfecto para utilizar en un DIMM con 9 chips de 8 bits de ancho.

**Juntándolo todo: Visión General de la Jerarquía**

