

## **TEMA 3**

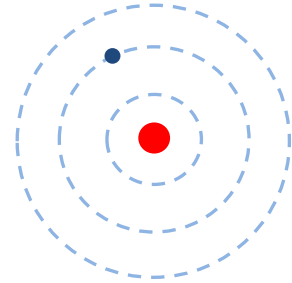
# **ELECTRÒNICA I PORTES LÒGIQUES**



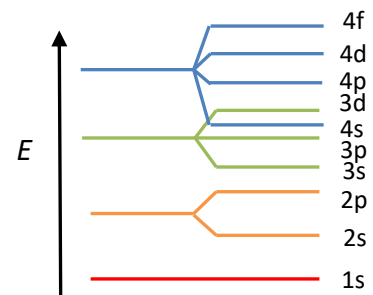
### 3.1 Estructura electrònica dels àtoms (1/2 h) (en realitat 1h)

**electrons** { Els **àtoms** estan formats per un **nucli** amb **Z protons** (partícules de càrrega positiva) i **electrons** (partícules carregades negativament i 1800 vegades més lleugeres que els protons) a fi de mantenir la **neutralitat elèctrica**.

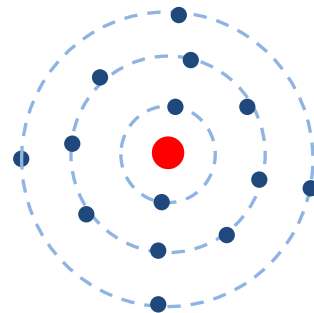
**Nivells** { Com a resultat de les forces electromagnètiques entre totes les partícules la **teoria quàntica** prediu que els electrons es disposen al voltant del nucli de manera que la seva energia **està quantitzada**. El model de Bohr (1913) en dona una imatge senzilla d'aquest concepte pel cas del àtom d'hidrogen (format només per un protó i un electró). Segons el model, l'electró només es pot moure en determinades òrbites estacionàries, i a cada una d'elles li correspon un determinat valor o nivell d'energia. Els valors més negatius corresponen a òrbites amb radis més petits.



**Capes** { Per qualsevol àtom els **electrons** ocupen els diferents **nivells d'energia** obeint determinades regles derivades de la teoria quàntica. Els **nivells d'energia semblants s'agrupen en capes**, on només pot haver un **nombre discret d'electrons**: a la primera capa 2, a la segona 8, a la tercera 18, etc. Les capes més internes corresponen als electrons més propers al nucli. Les més externes corresponen a energies més altes, i per tant, als electrons més allunyats del nucli.



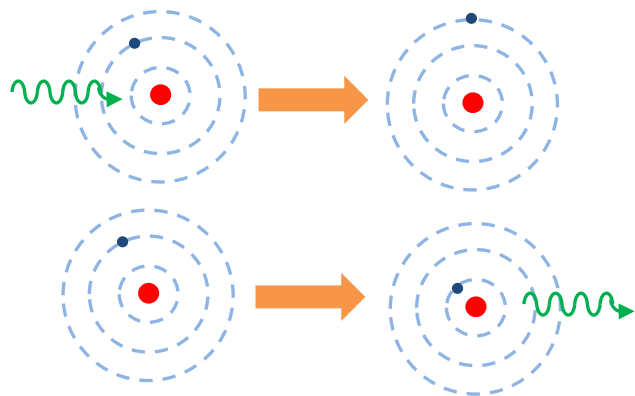
**Capa de valència** { La capa d'energia **més elevada que conté electrons** s'anomena **capa de valència**. L'estat d'ocupació d'aquesta capa determina si l'àtom s'associarà o no amb d'altres per formar **molècules i cristalls**.



**Emissió** { Un àtom **emet o absorbeix radiació** (1 fotó o corpuscle de llum) quan un electró experimenta una **transició** entre dos nivells d'energia. Quan un electró passa d'un estat **d'energia a un d'inferior** l'àtom es **desexcita** i **emet un fotó**, mentre que en cas **contrari** l'àtom **s'excita** i **absorbeix un fotó**. La **frequència  $\nu$**  i la **longitud d'ona  $\lambda$**  de la radiació es calculen a partir de la diferència d'energia  $\Delta E$  entre ambdós nivells:

**Absorció** {

**Fotons** {



$$\nu = \frac{\Delta E}{h} \rightarrow \lambda = \frac{c}{\nu} = \frac{hc}{\Delta E}$$

on  $h = 6.626 \cdot 10^{-34}$  J.s és la **constant de Planck** i  $c$  la **velocitat de la llum** al buit.

### 3.2 Teoria de la conducció: metalls, aïllants i semiconductors (1/2 h) (en realitat 1h30')

Segons el valor de la **conductivitat elèctrica** (que expressem en S/m, on  $1 \text{ S} = 1\Omega^{-1}$ ) els materials es classifiquen en:

Conductors	Material	Conductivitat (S/m)	Tipus
Aïllants	Ag	$6.2 \cdot 10^7$	Conductors
	Cu	$5.9 \cdot 10^7$	
Semi-conductors	Ge	2.2	Semiconductors
	Si	$1.6 \cdot 10^{-3}$	
	Vidre	$10^{-12}$	Aïllants
	Quars ( $\text{SiO}_2$ )	$10^{-17}$	

**Desdoblament**

Quan s'apropen **dos àtoms idèntics** (exemple H) per formar una **molècula diatòmica** ( $\text{H}_2$ ), cada nivell d'energia es desdobra en **dos subnivells** d'energies semblants.

**Bandes**

Pel cas d'un cristall amb **N àtoms** ( $10^{23}$ ) cada nivell es desdobra en **N subnivells**. Per tant, hi haurà  $10^{23}$  subnivells amb una diferència energètica entre ells de  $10^{-23} \text{ eV}$  ( $1 \text{ eV} = 1.602 \cdot 10^{-19} \text{ J}$ ), que es pot interpretar com una distribució contínua de nivells d'energia, que anomenarem **banda**. Per tant, **cada nivell d'energia de l'àtom individual dona lloc a una banda d'energia**.

Les **propietats conductores** dels materials venen determinades per:

**BV i BC**

- Si la **darrera banda** que conté electrons (que generalment correspon a la capa de valència), i que s'anomena **banda de valència (BV)**, està **totalment plena**.
- La **diferència d'energia**, també anomenada **banda prohibida** o **GAP** entre la BV i la primera banda sense electrons, que s'anomena **banda de conducció (BC)**.

**Electrons lliures**

**Bandes buides**

**Banda de conducció**

**GAP**

**Banda de valència**

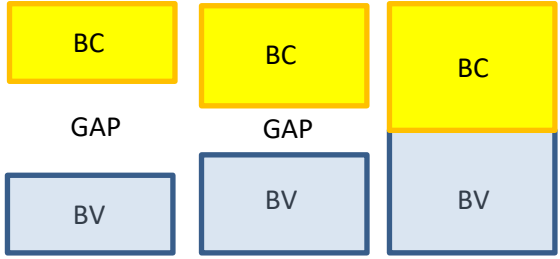
**Bandes ocupades**

**Conductors**

Els **materials conductors** tenen les dues bandes solapades. De forma que a l'aplicar un **camp elèctric** els electrons s'acceleren, augmenten la seva energia cinètica, i per tant **ocupen els nivells d'energia de la BC**. La conducció s'interpreta com la capacitat dels electrons per **ocupar** els diferents nivells de la BC.

**Aïllants**

A 0 K els **aïllants** tenen la **BV totalment plena** i la **BC totalment buida**. El **GAP** és de **5-10 eV** (pel quars 8 eV). Com l'energia tèrmica a 300 K és aproximadament  $k_B T = 0.026 \text{ eV}$  ( $k_B = 1.38065 \cdot 10^{-23} \text{ J/K}$ ) hi haurà molt pocs electrons (si n'hi ha) que passin de la BV a la BC, i per tant hi haurà una molt baixa conducció.



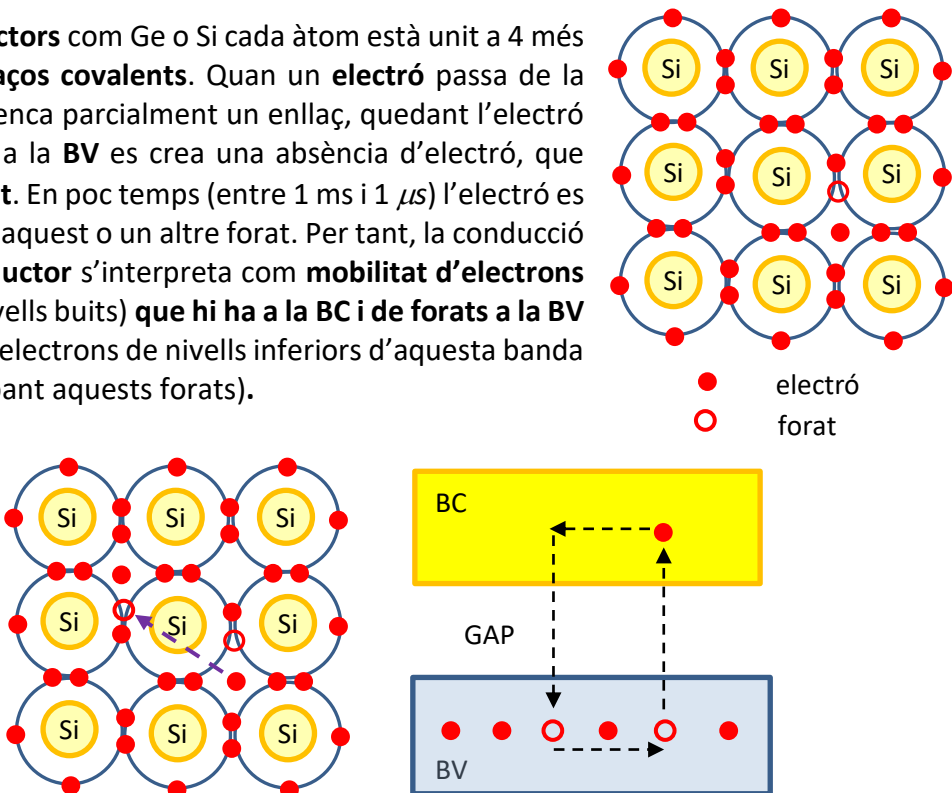
Aïllant      Semiconductor      Conductor

**SC**

A 0 K els **semiconductors** també tenen la **BV totalment plena** i la **BC totalment buida**. En canvi, el **GAP** és de **0.5-2 eV** (pel Ge 0.67 eV i pel Si 1.12 eV). En aquest cas la conducció és una mica més probable.

**Forats**

Pels **semiconductors** com Ge o Si cada àtom està unit a 4 més mitjançant **enllaços covalents**. Quan un **electró** passa de la **BV a la BC** es trenca parcialment un enllaç, quedant l'electró lliure. Per tant, a la **BV** es crea una absència d'electró, que anomenem **forat**. En poc temps (entre 1 ms i 1  $\mu\text{s}$ ) l'electró es recombina amb aquest o un altre forat. Per tant, la conducció en un **semiconductor** s'interpreta com **mobilitat d'electrons** (als diferents nivells buits) **que hi ha a la BC i de forats a la BV** (ja que hi haurà electrons de nivells inferiors d'aquesta banda que aniran ocupant aquests forats).



● electró  
○ forat

**SC**

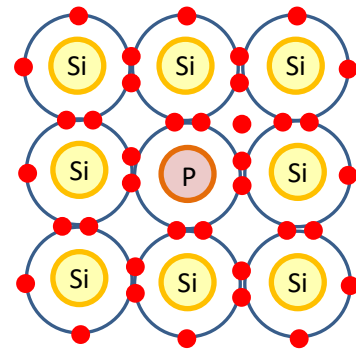
Els **semiconductors** pels que el nombre d'**electrons** és **igual** al de **forats** s'anomenen **intrínsecs**.

La **densitat electrònica** dels **semiconductors intrínsecs** és **molt menor** que la dels **conductors**:

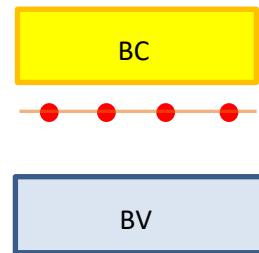
Material	Densitat electrònica
Cu	$8.4 \cdot 10^{22} \text{ elec/cm}^3$
Ge	$6 \cdot 10^{13} \text{ elec/cm}^3$
Si	$7 \cdot 10^9 \text{ elec/cm}^3$

SC  
extrín-  
secs  
tipus n

Per augmentar-la se segueix un procés de **dopatge**, consistent en substituir alguns àtoms per **impureses** (àtoms de mida semblant i valència diferent). Així, si se substitueix un àtom de Ge o Si (**valència 4**) per un de **valència 5** (P-Fòsfor, As-Arsènic, Sb-Antimoni), a la capa de valència hi haurà un **electró de més**, que estarà feblement lligat al seu àtom i que per efecte tèrmic serà **lliure**, quedant l'àtom d'**impuresa ionitzat positivament**.



Des del punt de vista de la **teoria de bandes** s'interpreta com que a prop de la **BC** apareix un conjunt de nivells energètics que **donen electrons** (tants nivells com àtoms d'impureses). Les **impureses** s'anomena **donadores**, i el material es diu **semiconductor extrínsec tipus n**. En aquest cas hi ha **més electrons que forats** i el corrent és **majoritàriament** degut a **electrons**, essent per tant, els **forats portadors minoritaris**.



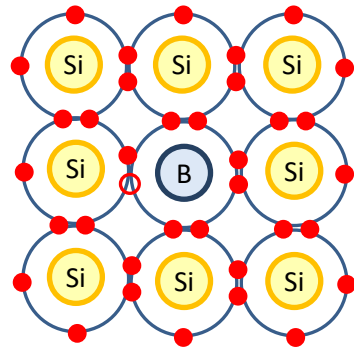
La diferència d'energia entre els nivells donadors i la BC pel cas de Si dopat amb P és 0.045 eV, amb As 0.049 eV i amb Sb 0.039 eV. Com l'energia cinètica d'un electró a 300 K és de 0.026 eV, hi haurà molts més electrons ara que pel cas del Si pur. Així, si el nivell de dopat és d'1 àtom per cada  $10^7$ , el nombre d'electrons lliures serà:

$$\rho_{dopat} = 2.33 \frac{\text{g}}{\text{cm}^3} \cdot \frac{1 \text{ mol}}{28 \text{ g}} \cdot \frac{6.022 \times 10^{23} \text{ atoms}}{\text{mol}} \cdot \frac{1 \text{ elect}}{10^7 \text{ atoms}} = 5 \times 10^{15} \text{ elect/cm}^3$$

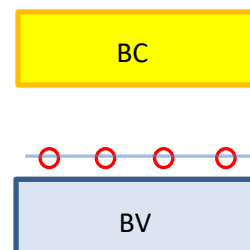
Aquesta densitat electrònica és molt menor que la del Si pur, que és  $7 \times 10^9 \text{ elect/cm}^3$

SC  
extrín-  
secs  
tipus p

Si se substitueix un àtom de Ge o Si (de **valència 4**) per un de **valència 3** (B-Bor, Al-Alumini, Ga-Gal·li), a la darrera capa hi faltaria un **electró**, i per tant tindrem un **forat de més**. Quan un electró l'ocupi l'àtom d'**impuresa**, quedarà **ionitzat negativament**.



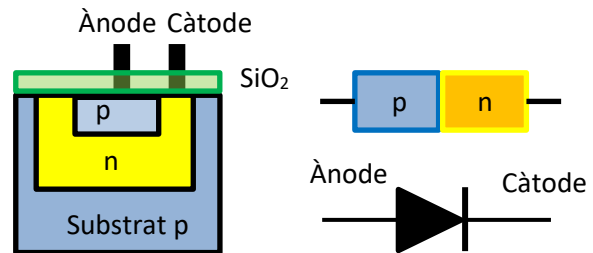
Des del punt de vista de la **teoria de bandes** s'interpreta que prop de la **BV** apareix un conjunt de nivells energètics que **accepten electrons**. Les **impureses** s'anomena **acceptores**, i el material es diu **semiconductor extrínsec tipus p**. En aquest cas hi ha **més forats que electrons** i el corrent és **majoritàriament** causat per **forats**, essent per tant, els **electrons portadors minoritaris**.



La diferència d'energia entre els nivells acceptors i la BV pel cas de Si dopat amb B és 0.045 eV, amb Al 0.057 eV i amb Ga 0.065 eV.

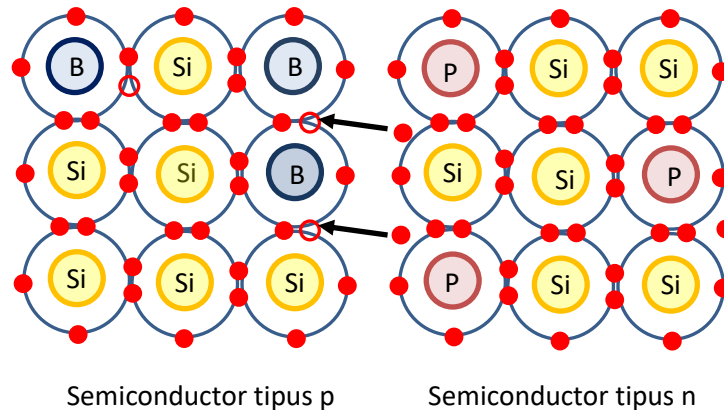
### 3.3 Díode d'unió p-n: rectificació de corrent i portes lògiques (5/2 h T i 1h P) (en realitat 2h15')

Consisteix en un sol cristall de **semiconductor** de Ge o Si dopat per un costat amb impureses acceptores (per tant, és un semiconductor **p**) i per l'altre amb donadores (per tant, és un semiconductor **n**).



**Símbol:** l'ànode o part p es representa amb una fletxa i el càtode per un segment.

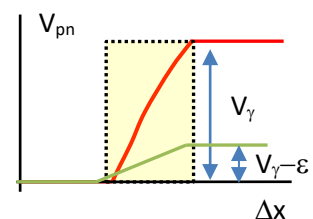
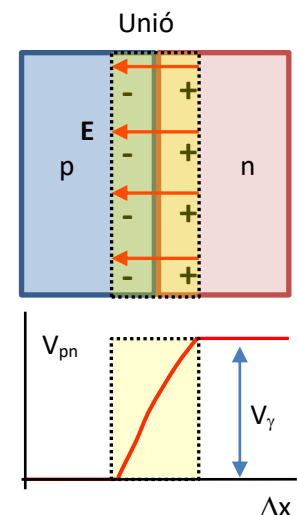
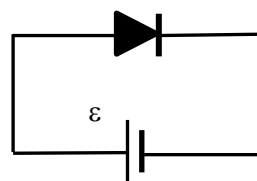
La zona on el cristall **canvia de semiconductor p a n** es diu **unió**. Al seu voltant apareix una distribució de càrrega que es crea com a resultat de la difusió d'electrons de la part n, que s'han recombinat amb forats de la part p. En fer-ho les **impureses donadores s'ionitzen positivament**, mentre que les **acceptores ho fan negativament**. Per tant, al voltant de la unió es crea un **camp elèctric** que va de la part **n** a la part **p**. Les característiques d'aquesta zona són:



1. S'anomena **zona de transició**, esgotament, buidatge o deflexió
2. La **mida** és d' $1 \mu\text{m}$ .
3. El **camp** pot valdre entre  $10^3$  i  $10^5$  V/m
4. Com el camp elèctric va de la part n a la part p, es diu que la **part n està a més potencial que la p**. La diferència de potencial s'anomena **potencial de contacte** o barrera de potencial ( $V_\gamma$ ).
5. A 300 K els valors del **potencial de contacte** pel Ge i el Si són respectivament  $V_\gamma = 0.3 \text{ V}$  i  $V_\gamma = 0.7 \text{ V}$ .

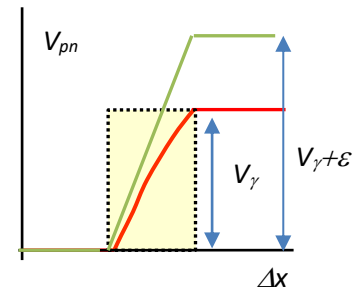
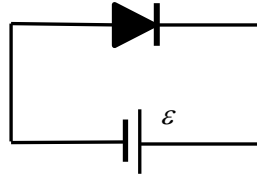
Quan un díode es connecta a una **bateria**, es diu que està **polaritzat**. Segons la connexió, el díode està en:

- **Polarització directa:** La **part p** es connecta al **pol +** de la bateria i la **part n** al **-**. D'aquesta forma es **redueix la barrera de potencial**, així com la mida de la **zona de transició**. Si el voltatge extern aplicat és  $V_\gamma$  la barrera es fa nul·la. Per **tensions més grans el díode condueix**,



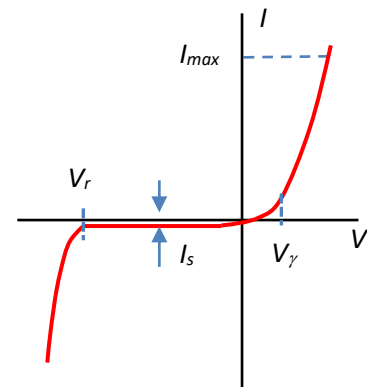
augmentant considerablement el valor de la intensitat a mida que la tensió aplicada es fa més gran.

- **Polarització inversa:** La **part p** es connecta al **pol** - de la bateria i la **part n** al **+**. D'aquesta forma la **barrera de potencial** així com la mida de la **zona de transició** augmenten, i el díode **no condueix**.



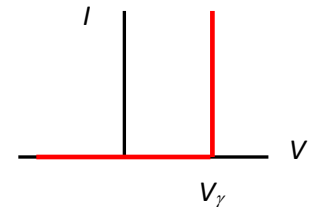
El comportament es resumeix a la **corba característica** ( $V, I$ ), on cal destacar els valors:

1.  $V_\gamma$  - **Potencial de contacte**
2.  $I_{max}$  - **Intensitat màxima** que pot circular sense que es cremi per efecte Joule
3.  $I_s$  - **Intensitat de saturació** ( $1 \mu A$ ). Els díodes de Si es caracteritzen per uns valors de  $I_s$  menors que els de Ge (ja que la densitat electrònica és menor), i per tant són més recomanables.
4.  $V_r$  - **Tensió de ruptura** en inversa (el díode es malmet per efecte allau)  $> 50 V$ .



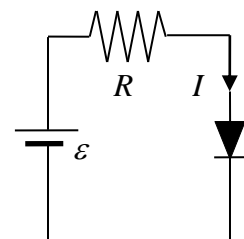
Una **aproximació** al comportament real és el del **model de díode simplificat**, pel que se suposa:

1. El díode **no condueix en polarització inversa**.
2. El díode **condueix en polarització directa** quan la **diferència de potencial** als seus extrems és més gran que  $V_\gamma$ . El valor de la **diferència de potencial** es manté **constant** en  $V_\gamma$  per qualsevol valor de la **intensitat** que circuli pel díode.



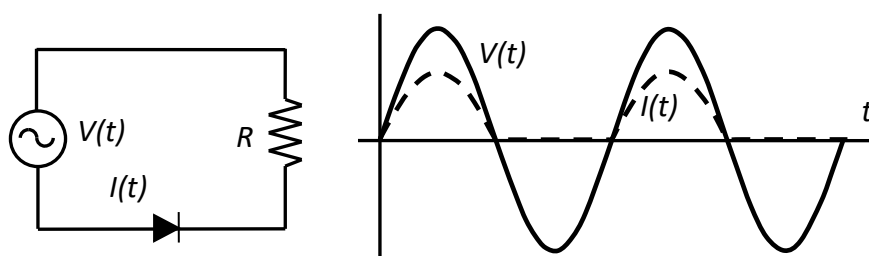
Tenint en compte aquest model, la **intensitat** que circula per un circuit sèrie format per un generador de fem  $\varepsilon$ , una resistència  $R$  i un díode en polarització directa, amb un potencial de contacte  $V_\gamma$ , és:

$$\varepsilon = RI + V_\gamma \rightarrow I = \frac{\varepsilon - V_\gamma}{R}$$



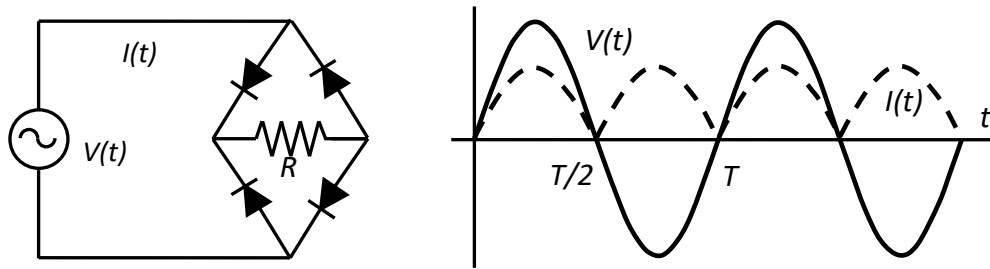
**Aplicació 1: rectificació de corrent** (conversió d'un corrent altern a un de continu)

Si es connecta un **díode** a la sortida d'un generador de corrent altern tindrem un senyal **rectificat** en **mitja ona**, ja que mentre el díode es trobi en polarització directa conduirà, mentre que en inversa no ho farà.

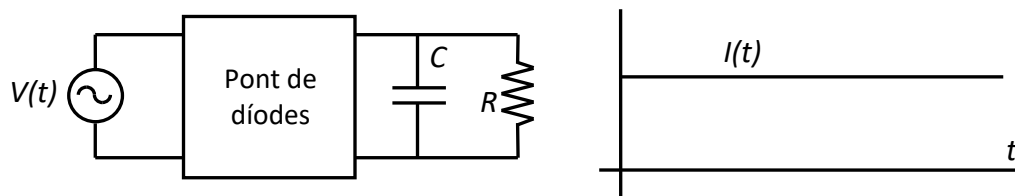




Si enlloc d'un díode utilitzem un **pont de díodes** la rectificació serà en **ona completa** (amb un rissat).



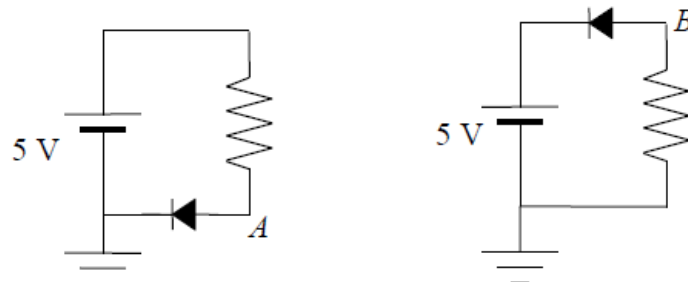
Per tenir rectificació total, a més cal connectar en paral·lel un **condensador**.



### Fer problema 2 de la col·lecció

2. La tensió llindar del díode del circuit de les figures és de 0.7 V.

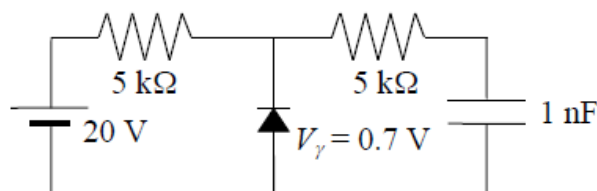
- Quina és la tensió al punt  $A$  de la figura de l'esquerra?
- I al punt  $B$  de la figura de la dreta?
- I si s'inverteixen els díodes?



### Fer problema 3 de la col·lecció

3. La tensió llindar del díode del circuit de la figura és  $V_\gamma = 0.7$  V i la capacitat del condensador és de 1 nF.

- Quina és la càrrega del condensador un cop assolit el règim estacionari?
- I si s'inverteix el díode?



A les següents adreces hi ha animacions java de rectificacions:

- <http://www.falstad.com/circuit/e-rectify.html>
- <http://www.falstad.com/circuit/e-fullrect.html>
- <http://www.falstad.com/circuit/e-fullrectf.html>

## Aplicació 2: Portes lògiques amb díodes

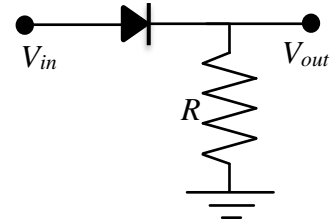
### 1. Díode com a interruptor

#### Configuració 1

Suposem que el potencial de contacte dels díodes és  $V_\gamma = 0.7 \text{ V}$ . Segons el **voltatge d'entrada** el díode estarà **polaritzat en directa** o en **inversa** i a la **sortida** tindrem un determinat voltatge.

Si  $V_{in} = 5 \text{ V}$ , llavors el díode està en **polarització directa** i  $V_{out} = 5 - V_\gamma = 5 - 0.7 = 4.3 \text{ V}$ . El corrent que passa per la resistència és:  $I = 4.3/R$ .

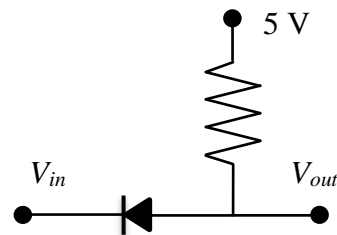
- Si  $V_{in} = 0 \text{ V}$ , llavors el díode està en **polarització inversa** i  $V_{out} = 0$ , i  $I = 0$ .



#### Configuració 2

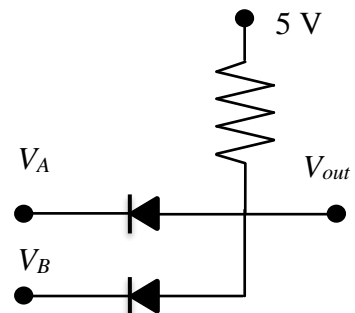
Suposarem que el **potencial de referència** és de **5 V**

- Si  $V_{in} = 0 \text{ V}$ , llavors el díode està en **polarització directa** i  $V_{out} = 0.7 \text{ V}$  i la intensitat  $I = 4.3/R$ .
- Si  $V_{in} = 5 \text{ V}$ , llavors el díode està en **polarització inversa** i  $V_{out} = 5 \text{ V}$  i la intensitat  $I = 0$ .



### 2. Porta AND amb díodes

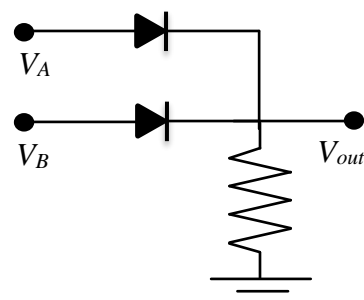
- Si  $V_A = V_B = 0$  els dos díodes estan en **polarització directa**, la intensitat no és nul·la i  $V_{out} = 0.7 \text{ V}$ .
- Si  $V_A = 0$  i  $V_B = 5 \text{ V}$  el díode **A** està en **directa** i el **B** en **inversa**, la intensitat no és nul·la i  $V_{out} = 0.7 \text{ V}$ .
- Si  $V_A = 5 \text{ V}$  i  $V_B = 0$  el díode **A** està en **inversa** i el **B** en **directa**, la intensitat no és nul·la i  $V_{out} = 0.7 \text{ V}$ .
- Si  $V_A = V_B = 5 \text{ V}$  els díodes estan en **polarització inversa**, la intensitat és nul·la i  $V_{out} = 5 \text{ V}$ .



A	B	VA	VB	Vout	OUT
0	0	0	0	0.7	0
0	1	0	5	0.7	0
1	0	5	0	0.7	0
1	1	5	5	5	1

### 3. Porta OR amb díodes

- Si  $V_A = V_B = 0$  els dos díodes estan en **inversa**  $V_{out} = 0 \text{ V}$ .
- Si  $V_A = 0$  i  $V_B = 5 \text{ V}$  el díode **A** està en **inversa** i el **B** en **directa**, la intensitat no és nul·la i  $V_{out} = 5 - V_\gamma = 4.3 \text{ V}$ .
- Si  $V_A = 5 \text{ V}$  i  $V_B = 0 \text{ V}$  el díode **A** està en **directa** i el **B** en **inversa**, la intensitat no és nul·la i  $V_{out} = 5 - V_\gamma = 4.3 \text{ V}$ .



- Si  $V_A = V_B = 5\text{ V}$  el díode es en **directa**, la intensitat no és nul·la i  $V_{out} = 5 - V_\gamma = 4.3\text{ V}$ .

A	B	$V_A$	$V_B$	$V_{out}$	OUT
0	0	0	0	0	0
0	1	0	5	4.3	1
1	0	5	0	4.3	1
1	1	5	5	4.3	1

### 3.4 Díode emissor de llum (LED) (1/2 h T) (en realitat 30'')

Quan un díode està en **polarització directa** **emet radiació**, ja que els electrons dels nivells donadors de la part n pugen a la BC, i entren fàcilment a la BC de la part p (ja que es troba en polarització directa). Allà baixen als nivells acceptors de la part p, **recombinant-se amb els forats** i, per tant, emetent llum.

En funció de la **diferència d'energia**  $\Delta E$  entre els dos nivells (el de la banda de conducció de la part p i el dels nivells acceptors de la part p; és a dir a efectes pràctics el **GAP** del semiconductor) la **frequència** de la radiació  $\nu$  i la **longitud d'ona**  $\lambda$  estan directament relacionades:

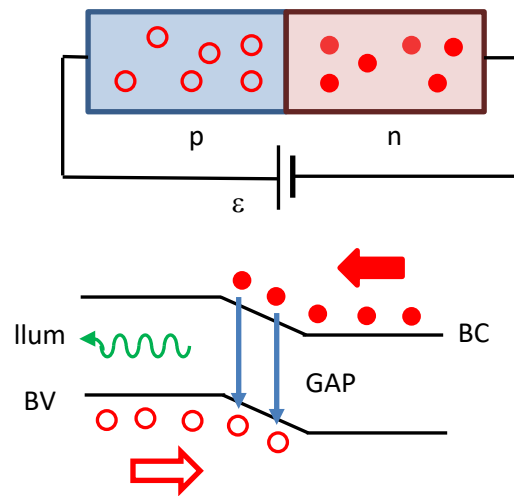
$$\nu = \frac{\Delta E}{h} \rightarrow \lambda = \frac{c}{\nu} = \frac{hc}{\Delta E}$$

On  $h = 6.626 \cdot 10^{-34}\text{ J}\cdot\text{s}$ . Pel cas del Si la llum no és visible (infraroig). Ara bé, alguns díodes de la família del Gal·li emeten radiació visible:

Material	GAP(eV)	$\lambda$ (nm)	color
Si	1.12	1108	Infraroig
InGaAlP	1.99	624	Vermell
InGaAlP	2.05	605	Taronja
GaAlAs	2.12	585	Groc
InGaAlP	2.16	575	Verd
InGaN	2.70	460	Blau

**Aplicacions:** Pantalles d'ordinadors de LED's.

<http://zeiss-campus.magnet.fsu.edu/tutorials/leddiagram/index.html>

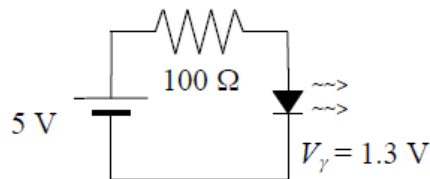


A l'adreça <http://phet.colorado.edu/en/simulation/semiconductor> hi ha una simulació on es mostra la conducció en un material p, un n i en un díode, i es pot veure com els electrons passen de la BC a la BV i per tant perquè emeten llum.

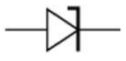
A l'adreça [https://www.electronics-tutorials.ws/diode/diode\\_8.html](https://www.electronics-tutorials.ws/diode/diode_8.html) hi ha una taula de leds de diferents colors, on s'indica la longitud d'ona, la composició i el potencial de contacte.

### Fer el problema 5 de la col·lecció

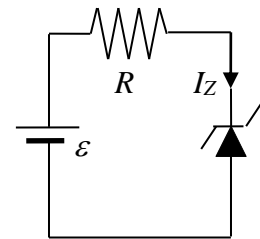
5. Quina potència consumeixen el LED i la resistència del circuit de la figura?



### 3.5 Díode Zener: limitador de tensió (1/2 h T + 1/2 h P) (en realitat 1h)

Símbol:   
Zener Diode

És un díode dissenyat per conduir en **polarització directa i inversa**. Per això es **dopa molt fortament** de forma que quan estigui en **polarització inversa** la mida de la zona de transició sigui prou petita per a produir un **camp elèctric prou intens** ( $5 \cdot 10^5$  V/cm) que arrenqui alguns electrons dels seus àtoms (**efecte Zener**). A causa de la polarització inversa els electrons es difondran per la part n cap al pol + de la pila. Pel trajecte per la zona de transició, a més, es pot produir **l'efecte allau**, consistent en què els electrons ser accelerats pel camp intens adquireixen prou **energia cinètica** per a **arrancar nous electrons en xocar** amb els **àtoms** que troben pel camí. L'efecte s'anirà magnificant i produirà un **corrent molt intens**.

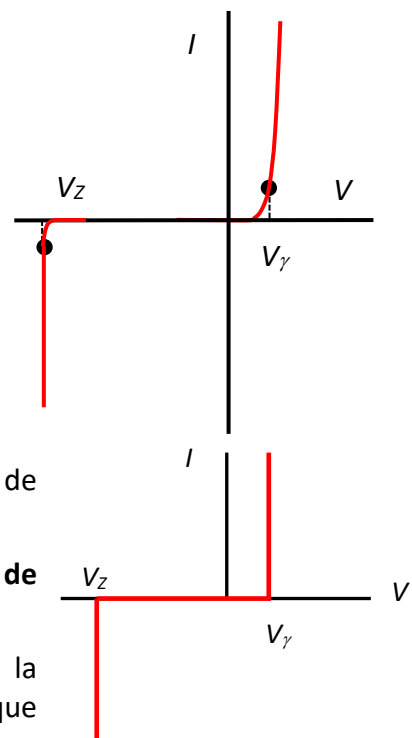


A la **corba característica** ( $V, I$ ) d'un díode Zener cal destacar:

1. El corrent en **polarització inversa** és molt **més intens** que en **directa**.
2.  $V_\gamma$  - **Potencial de contacte**
3.  $I_{max}$  - **Intensitat màxima** que hi pot circular sense que es faci malbé per efecte Joule
4.  $I_{maxZ}$  - **Intensitat màxima en polarització inversa**
5.  $V_Z$  - **Tensió Zener**. El seu valor varia amb el grau de dopatge i pot valdre entre 2 i 200 V.

Una **aproximació** al comportament real és el del **model de díode simplificat**, pel que:

1. El díode **condueix en polarització directa** quan la **diferència de potencial** als seus extrems és més gran que



$V_\gamma$ . El valor de la **diferència de potencial** es manté **constant** en  $V_\gamma$  per qualsevol valor de la **intensitat**.

2. El díode **conduïx en polarització inversa** quan la **diferència de potencial** als seus extrems és més gran que  $V_Z$ . El valor de la **diferència de potencial** es manté **constant** en  $V_Z$  per qualsevol valor de la **intensitat**.

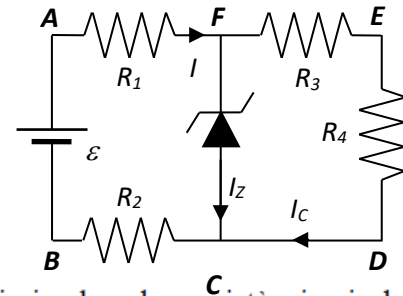
Per aquest model, la **intensitat** del corrent que circula per un circuit sèrie d'un generador de fem  $\varepsilon$ , una resistència  $R$  i un díode Zener amb un potencial de contacte  $V_\gamma$  i una tensió Zener  $V_Z$ , en polarització directa i inversa (essent  $\varepsilon > V_\gamma$  o  $\varepsilon > V_Z$ ) és:

$$\varepsilon = RI + V_\gamma \rightarrow I = \frac{\varepsilon - V_\gamma}{R}$$

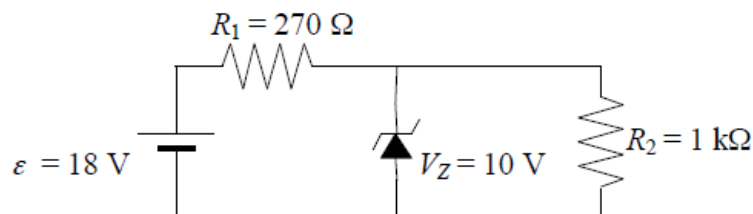
$$\varepsilon = RI + V_Z \rightarrow I = \frac{\varepsilon - V_Z}{R}$$

**Aplicacions:** Com en polarització inversa la diferència de potencial als extrems del díode Zener és molt estable, la seva principal aplicació és com a **limitador de tensió**. És a dir element que protegeix de sobretensions un circuit o una part d'un circuit. Per això es connecta el **díode Zener** en **paral·lel** al circuit o la part del circuit a protegir.

#### Fer problema 8 de la col·lecció

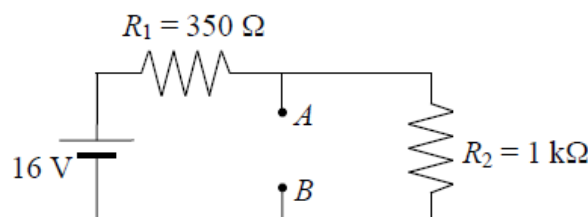


8. a) Quines són la intensitat, la tensió i la potència dissipada a les resistències i al díode del circuit de la figura?
- b) Si la tensió de la font disminueix progressivament des de 18 fins a 0 V, per a quin valor el díode deixarà de conduir?



#### Fer problema 9 de la col·lecció

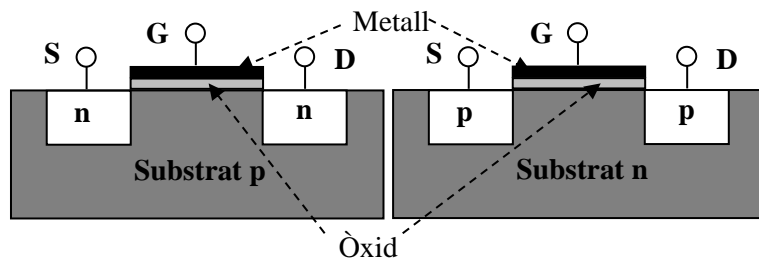
9. Calculeu la intensitat que circula per les dues resistències del circuit de la figura si entre els punts A i B hi connectem
  - a) un díode ideal ( $V_\gamma = 0$ ) amb l'ànode (zona p) connectat en el punt B,
  - b) un díode ideal però amb l'ànode connectat en el punt A,
  - c) un díode Zener amb  $V_Z = 6$  V i  $V_\gamma = 0.7$  V que té l'ànode connectat en el punt B,
  - d) el mateix díode de l'apartat c) però amb l'ànode connectat en el punt A,
  - e) un díode Zener amb  $V_Z = 12$  V i  $V_\gamma = 0.7$  V que té l'ànode connectat en el punt B.



### 3.6 Transistors MOSFET d'enriquiment. Portes lògiques (3 h T + 2h P )

Un transistor és un **dispositiu semiconductor**, amb el que es produeix un senyal de **sortida en resposta a un d'entrada**, que s'utilitza com a **commutador** i amplificador. Pel seu baix consum, petites dimensions i simplicitat de fabricació, el **MOSFET** (Metal Oxide Semiconductor Field Effect Transistor) **d'enriquiment de canal** és el tipus de transistor més utilitzat en **circuits de memòria i lògica digital**. Va ser inventat per Julius Edgar Lilienfeld, que el patentà l'any 1926. Tanmateix, malgrat les importants contribucions de científics de la talla del premi Nobel William Shockley, es van haver d'esperar més de 30 anys perquè l'invent fos realitzable. Concretament, el primer MOSFET va ser construït el 1959 per Dawon Kahng i Martin M. (John) Atalla als laboratoris Bell.

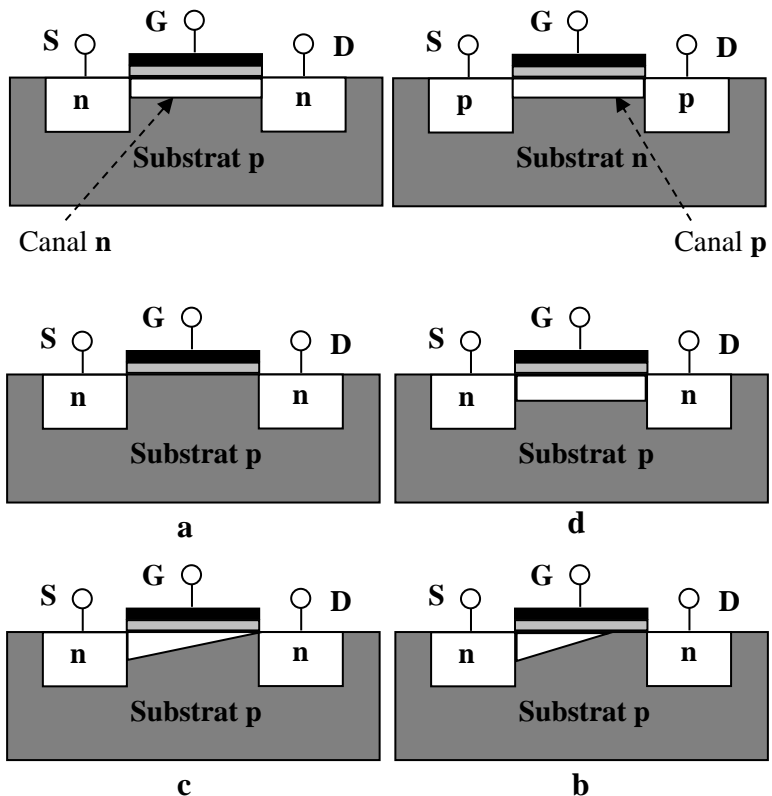
Consisteix en un **substrat de material semiconductor lleugerament dopat** (tipus "p" o "n") on, utilitzant tècniques de difusió d'impureses, s'han creat **dues zones o illes (Font S i Drenador D) fortament dopades i de tipus diferent de la del substrat** (és a dir "n" o "p"). Per sobre de l'espai entre les illes s'afegeix una superfície aïllant d'òxid, que es culmina amb una **capa metàl·lica (Porta G)**.



Depenent del tipus de dopatge els MOSFET es classifiquen en **NMOS (substrat tipus "p" i illes tipus "n")** i **PMOS (substrat tipus "n" i illes tipus "p")**.

Com el **substrat**, que generalment està al **mateix potencial que la font**, té una gran resistivitat, la **conducció** entre les dues illes només és possible si, a més d'establir una diferència de potencial entre S i D ( $V_{DS}$ ), entre G i S s'aplica una tensió ( $V_{GS}$ ) superior a un valor llindar  $V_T$ .

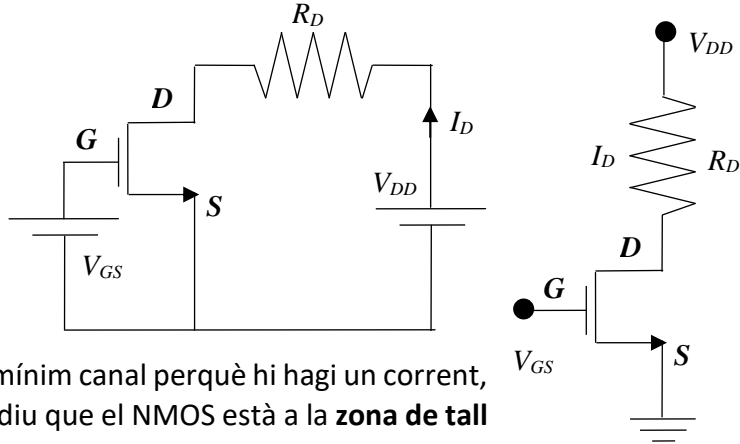
Sota la porta (G) es crea un **camp elèctric** (per això es diu transistor d'efecte de camp) prou intens perquè portadors minoritaris del substrat, i d'altres provinents de les illes, s'acumulin en aquesta regió i es creï una **zona**



**d'inversió** o canal (tipus **n** o **p**), per on circularà el corrent. A diferència dels BJT (Bipolar Junction Transistor), els MOSFET són transistors **unipolars**, ja que el corrent és degut a un sol tipus de portador: **electrons pel cas dels NMOS i forats pels PMOS**.

### 1. Transistors NMOS

Estudiarem un **NMOS** en la **configuració en font comuna**, que consisteix en un NMOS connectat a una resistència  $R_D$  i dues fonts de tensió de fem  $V_{DD}$  i  $V_{GS}$ , polaritzades de manera que  $V_{GS} > 0$  i  $V_{DS} > 0$ .



- Si  $V_{GS} < V_T$ , no es crea el mínim canal perquè hi hagi un corrent, malgrat que  $V_{DS} > 0$ , i es diu que el NMOS està a la **zona de tall** (cas "a").
- Si  $V_{GS} > V_T$  i  $V_{DS} > 0$  i  $V_{DS} < (V_{GS} - V_T) = V_{GT}$  el transistor condueix, la intensitat  $I_D$  que circula per  $R_D$  **augmenta amb  $V_{DS}$** , el NMOS **es comporta com una resistència** i es diu que està a la **zona òhmica** (cas "d").

$$I_D = \beta[V_{GT}V_{DS} - V_{DS}^2/2]$$

$\beta$  és un **paràmetre característic** del transistor, que s'expressa en  **$A/V^2$**  i que depèn de la **longitud i de l'amplada del canal**, de la **constant dielèctrica del substrat** i de la **mobilitat dels electrons** (forats en el cas del PMOS). Com la intensitat augmenta amb la tensió  $V_{DS}$ , es pot definir una **resistència del canal entre drenador i font  $r_{DS}$** :

$$r_{DS} = V_{DS}/I_D$$

Per valors no molt grans de  $V_{DS}$  la intensitat  $I_D$  es pot aproximar com  $I_D = \beta[V_{GT}V_{DS}]$ , i la **resistència es pot expressar com**:

$$r_{DS} = V_{DS}/I_D = 1/\beta V_{GT}$$

**La resistència disminueix a mesura que  $V_{GS}$  augmenta.**

- Si  $V_{GS} > V_T$  i  $V_{DS} > 0$ , i respecte del cas anterior  $V_{DS} > V_{GT}$  **continua augmentant**, molts dels electrons del canal n'aniran directament al drenador i en aquesta regió **el canal s'anirà estrenyent**. Per tensions prou altes **el canal no arribarà al drenador** (cas "b"); de manera que per molt que augmenti  $V_{DS}$ , la **intensitat es mantindrà constant**, i es diu que el transistor està a la **zona de saturació**.

$$I_D = \frac{\beta}{2} V_{GT}^2.$$

- En la situació límit (cas "c") el canal queda escanyat en D i  $V_{GD} = V_T$ . Per tant,  $V_{DS} = V_{GS} - V_{GD} = V_{GT}$ , que és la **condició de saturació mínima**, que marca la **frontera entre les zones òhmica i saturació**.

**Opcional:** deducció de les fórmules a partir del long channel model de Schockley 1952, que suposa que el canal entre S i D és prou llarg, com perquè el camp elèctric entre S i D és petit.

A la zona òhmica, si considerem que sota la porta tenim un condensador i que la diferència de potencial entre la porta i l'emissor és  $V_{GS}$ , la diferència de potencial entre la porta i el drenador serà:  $V_{GD} = V_{GS} - V_{DS}$ . El valor mitjà de la diferència de potencial del canal és:

$$\frac{V_{GS} + V_{DS}}{2} = V_{GS} + V_{DS}/2$$

Per tant la càrrega acumulada és

$$q = C(V_{GS} + \frac{V_{DS}}{2} - V_T)$$

On  $C$  és la capacitat del condensador i  $V_T$  és la tensió de tall, a partir de la que s'acumula càrrega al condensador.

La intensitat  $I_D$  que circula pel canal de longitud  $L$  a causa de la diferència de potencial  $V_{DS}$  és:

$$I_D = q/t$$

on  $t$  és el temps necessari perquè les càrregues recorrin la longitud  $L$ . Aquest temps és el quocient entre  $L$  i la velocitat de desplaçament  $v$  dels portadors

$$t = L/v$$

que està relacionada amb el camp elèctric  $E$  que hi ha entre la font i el drenador, mitjançant la mobilitat  $\mu$ :

$$v = \mu E$$

A la vegada el camp  $E$  es pot expressar en termes de la diferència de potencial i  $L$ :

$$E = V_{DS}/L$$

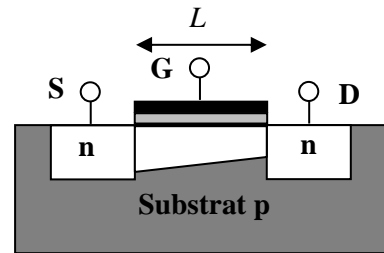
Combinant les diferents equacions tenim:

$$\begin{aligned} I_D = \frac{q}{t} &= \frac{C(V_{GS} + V_{DS}/2 - V_T)}{L/v} = \frac{\mu C}{L^2} (V_{GS} - V_T + V_{DS}/2) V_{DS} \\ &= \beta (V_{GS} - V_T + V_{DS}/2) V_{DS} \end{aligned}$$

On  $\beta$  és el paràmetre característic del transistor.

A la zona de saturació es suposa la condició de saturació mínima i es substitueix  $V_{DS}$  per  $V_{GS} - V_T$ . L'equació anterior queda:

$$I_D = \beta (V_{GS} - V_T + V_{DS}/2) V_{DS} \approx \frac{\beta (V_{GS} - V_T)(V_{GS} - V_T)}{2} = \frac{\beta}{2} (V_{GS} - V_T)^2$$

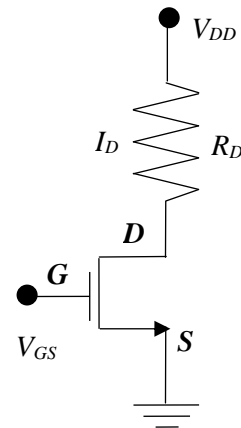
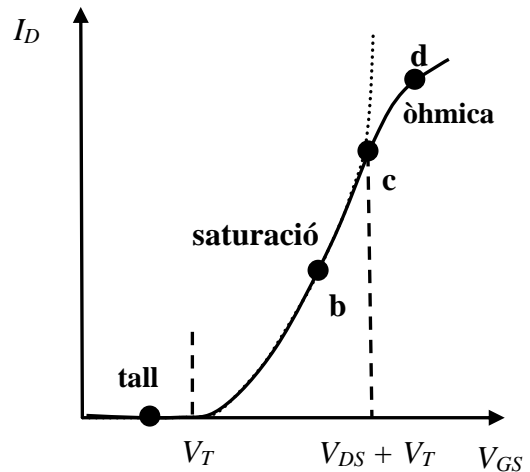
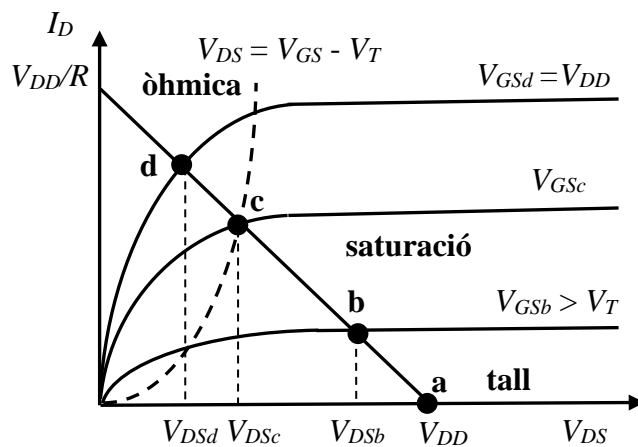




### Corbes característiques

1) la **corba característica ( $V_{GS}, I_D$ )** ens permet visualitzar les **tres zones de treball**: tall, saturació (comportament parabòlic) i òhmica (no es comporta com una paràbola).

2) la **corba característica ( $V_{DS}, I_D$ )**, on s'ha afegit la corba ( $V_{GS}, I_D$ ) desplaçada  $V_T$ , que marca la frontera entre les zones òhmica ( $V_{DS} < V_{GT}$ ) i saturació ( $V_{DS} > V_{GT}$ ). S'observa que en **saturació  $I_D$  és constant**, i que en òhmica  **$I_D$  augmenta amb  $V_{DS}$** .

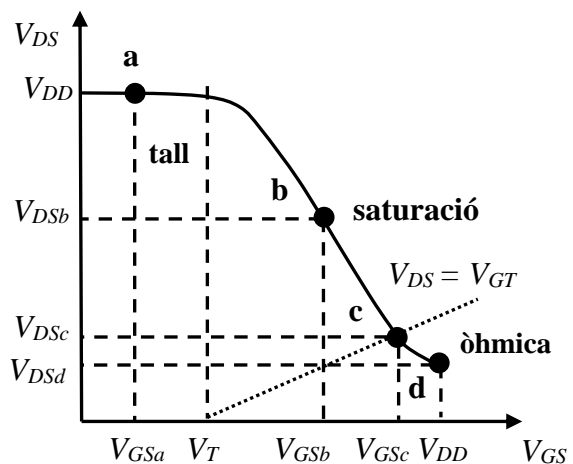


També s'ha representat la **recta de càrrega**:

$$I_D = \frac{V_{DD}}{R_D} - \frac{V_{DS}}{R_D},$$

que resulta d'aplicar la segona llei de Kirchhoff a la malla de la dreta del circuit amb una font de tensió de fem  $V_{DD}$  i una residència  $R_D$ . **Les interseccions** entre la **recta de càrrega** i les corbes característiques ( $V_{DS}, I_D$ ), pels diferents valors de  $V_{GS}$  defineixen els **punts de treball** del transistor.

3) la **característica de transferència ( $V_{DS}, V_{GS}$ )** representa la tensió de sortida  $V_{DS}$  en funció de la d'entrada  $V_{GS}$ . Com es pot observar, a la regió de **tall** ( $V_{GS} < V_T$ ) el NMOS no condueix i  $V_{DS} = V_{DD}$ . Quan està en **saturació  $V_{DS}$  disminueix a mesura que  $V_{GS}$  augmenta**, essent aquesta disminució menor a la regió òhmica. Aquest canvi de comportament queda reflectit a la figura amb un punt d'inflexió, quan la corba interseca amb la recta  $V_{DS} = V_{GS} - V_T = V_{GT}$ , que separa les zones de saturació i òhmica. El **NMOS** es



pot utilitzar com a dispositiu amplificador quan treballa en saturació, i com a **inversor** si ho fa en **tall** ( $V_{GS} = 0$ ) i **òhmica** ( $V_{GS} = V_{DD}$ ). Tanmateix, com s'indica a la figura (punt d), el fet de que  **$V_{DS}$  no s'anul·li** quan  $V_{GS} = V_{DD}$ , **limita l'eficiència dels NMOS com a dispositius inversors**.

Veure el web de la universitat de Cambridge:

<http://www-g.eng.cam.ac.uk/mmg/teaching/linearcircuits/mosfet.html>

#### Fer problema 14 de la col·lecció

14. Per un transistor NMOS d'enriquiment amb  $V_T = 2$  V circula un corrent de 1 mA quan  $V_{GS} = V_{DS} = 3$  V. Determineu:

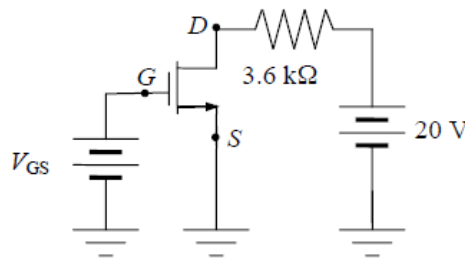
- el valor del corrent quan  $V_{GS} = 4$  V i  $V_{DS} = 5$  V
- el valor de la resistència  $r_{DS}$  quan  $V_{GS} = 4$  V

#### Fer problema 18 de la col·lecció

18. Quan  $V_{GS} = 5$  V, el MOS del circuit de la figura està en la regió de saturació i

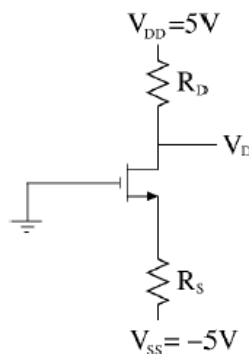
$I_D = 1$  mA. Si la seva tensió llindar és  $V_T = 1$  V, trobeu  $V_{DS}$  quan

- $V_{GS} = 0$  V,
- $V_{GS} = 5$  V.
- Si ara augmentem la resistència de drenador a 50 k $\Omega$  i mantenim  $V_{GS} = 5$  V, quan valdrà  $V_{DS}$ ?



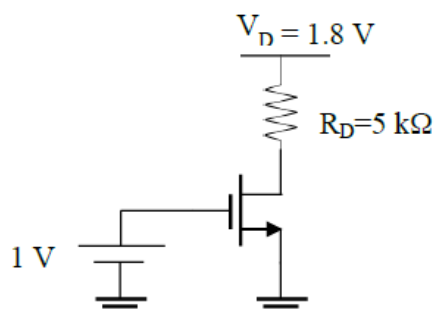
#### Fer problema 21 de la col·lecció

21. Determineu els valors de les resistències del circuit de la figura de forma que la intensitat de drenador sigui de 0.4 mA i  $V_D = 1$  V. Els paràmetres del transistor són  $V_T = 2$  V i  $\beta = 800 \mu\text{A}/\text{V}^2$ .



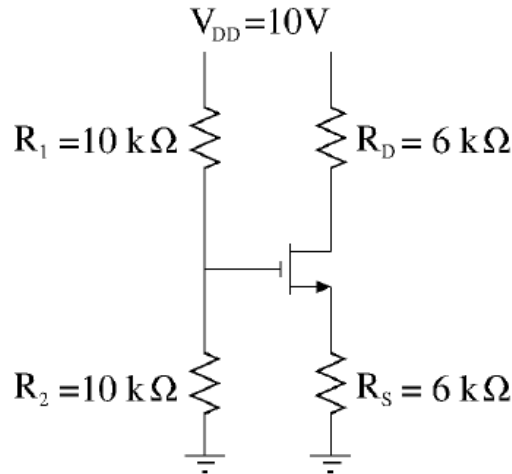
#### Fer problema 24 de la col·lecció

24. Determineu el corrent que circula pel transistor de la figura, caracteritzat per  $V_T = 0.4$  V i  $\beta = 1100 \mu\text{A}/\text{V}^2$ . Si la tensió de la porta augmenta en 10 mV, com canvia la tensió del drenador? pot haver-hi amplificació?

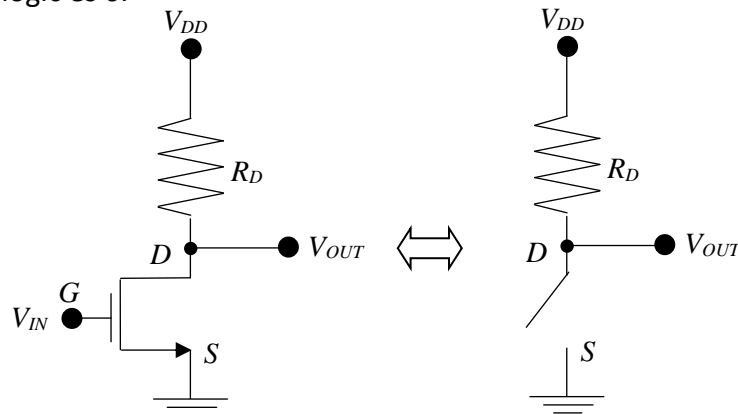
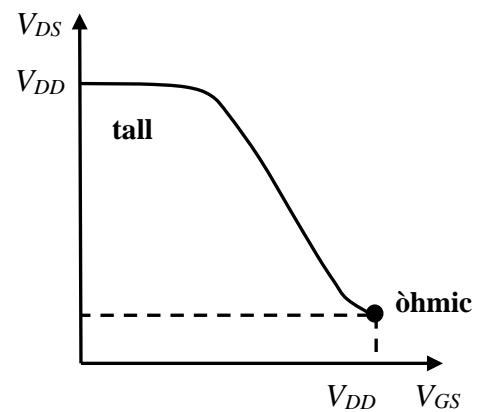


**Fer problema 26 de la col·lecció**

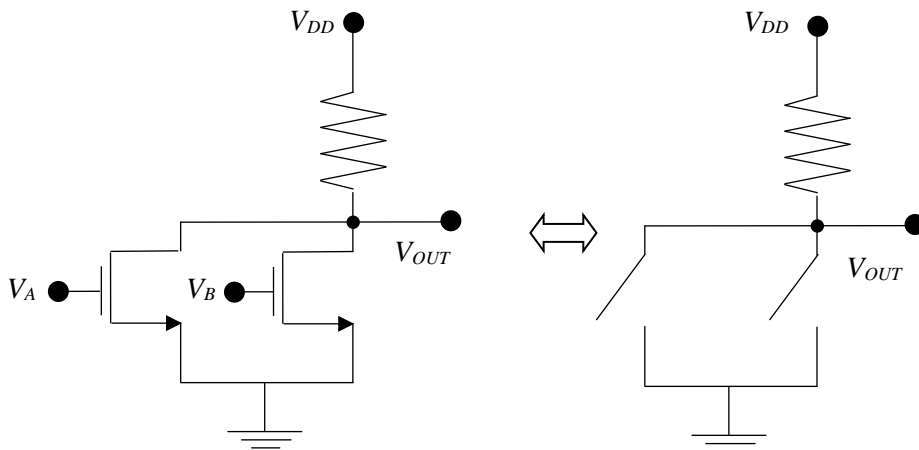
26. Analitzeu el circuit de la figura i determineu les tensions de porta, drenador i font, junt amb la intensitat de drenador. Els paràmetres del transistor són  $V_T = 1 \text{ V}$  i  $\beta = 1 \text{ mA/V}^2$ .

**Portes lògiques amb NMOS****Porta NOT**

- Si  $V_{IN} = V_{GS} = 0$ , el NMOS està en tall i es comporta com un **interruptor que obre el circuit**. Llavors  $V_{OUT} = V_{DD}$ , que correspon al valor lògic 1.
- Si  $V_{IN} = V_{GS} = V_{DD}$ , el transistor està en òhmica i es comporta com un **interruptor que tanca el circuit**, de forma que passa corrent i  $V_{OUT} = V_{DS} \sim 0$ . El valor lògic és 0.

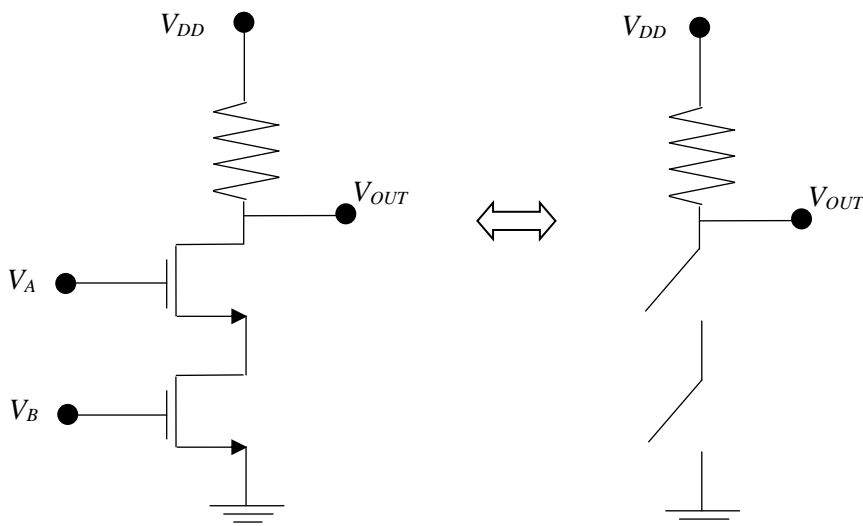
**Portes NOR i NAND**

- Si  $V_A = V_B = 0$ , els dos NMOS estan en tall. Els dos transistors es comporten com interruptors que obren el circuit i, per tant,  $V_{OUT} = V_{DD}$ . El valor lògic és, per tant, 1.
- Si  $V_A = 0$  i  $V_B = V_{DD}$ , el transistor A està en tall (interruptor obert) i el B en òhmica (interruptor tancat). En el cas de la porta NOR, a l'estar els NMOS en paral·lel, només cal que un estigui en òhmica perquè passi corrent (tanqui el circuit) i  $V_{OUT} \sim 0$ , que correspon a un valor lògic 0.

**NOR**

A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	0

En el cas de la porta NAND, com els transistors estan en sèrie, el circuit sempre estarà obert. Per tant, en cap cas hi haurà corrent i  $V_{OUT} = V_{DD}$ . El valor lògic és 1.

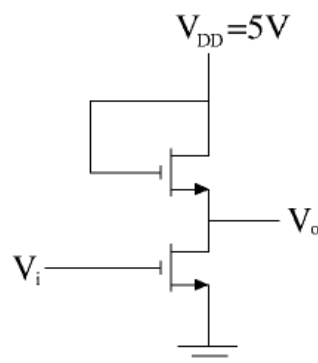
**NAND**

A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

- Si  $V_A = V_{DD}$  i  $V_B = 0$ , s'obté el mateix valor lògic del cas anterior, però amb el transistor A estant en òhmica, i el B en tall.
- Si  $V_A = V_B = V_{DD}$ , els NMOS estan en òhmica, i per tant  $V_{OUT} = 0$ . El valor lògic és 0.

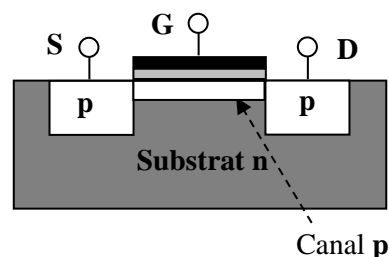
**Fer el problema 25 de la col·lecció.**

**25.** Determineu el potencial de sortida de l'inversor de la figura quan: (a) la tensió d'entrada és zero; (b) la tensió d'entrada és 5 V. Els dos transistors estan caracteritzats pels paràmetres:  $V_T = 1\text{V}$ ,  $\beta = 40 \mu\text{A/V}^2$



## 2. Transistors PMOS

A la figura es mostra l'esquema d'un transistor **PMOS** en la **configuració en font comuna**. El funcionament és igual al d'un **NMOS**, però amb **valors negatius** per les tensions:  $V_{GS}$ ,  $V_{DS}$  i  $V_T$ .

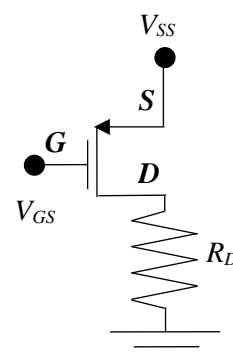


- Si  $V_{GS} > V_T$  el PMOS està a la **zona de tall**.
- Si  $V_{GS} < V_T$  i  $V_{DS} < 0$  i  $V_{DS} > V_{GT}$  el PMOS està a la **zona òhmica**.

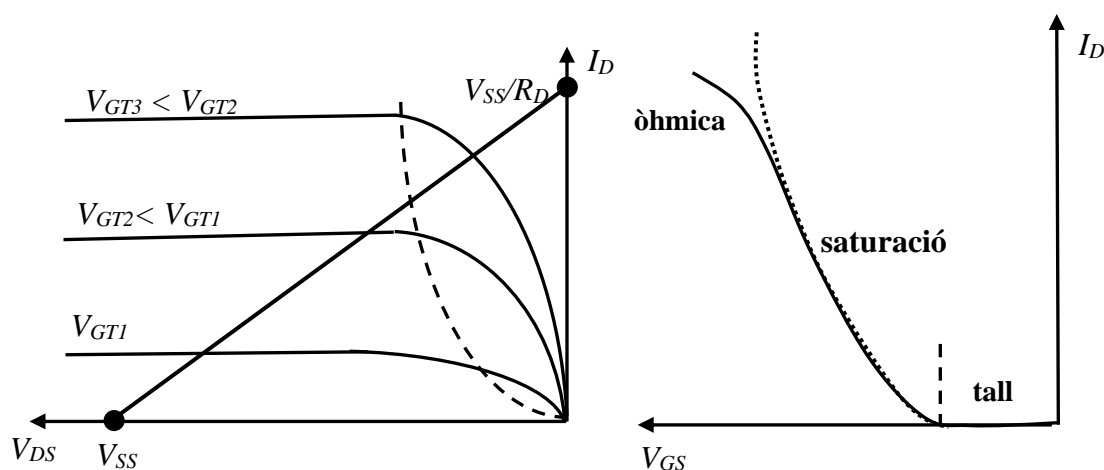
$$I_D = \beta [V_{GT} V_{DS} - V_{DS}^2/2]$$

- Si  $V_{GS} < V_T$  i  $V_{DS} < 0$ , i respecte del cas anterior  $V_{DS} < V_{GT}$  el PMOS està a la **zona de saturació**.

$$I_D = \frac{\beta}{2} V_{GT}^2.$$



Les corbes característiques pels PMOS són com les dels NMOS, però al revés.

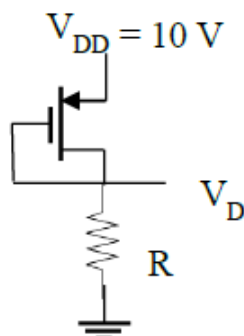
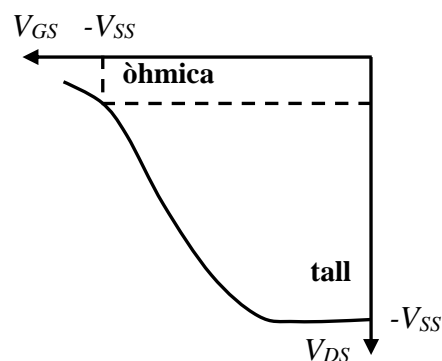


La característica de transferència es dedueix de la corba ( $V_{GS}$ ,  $I_D$ ) aplicant l'equació de la recta de càrrega. És a dir:

$$V_{SS} = R_D I_D + V_{SD} \rightarrow V_{DS} = R_D I_D - V_{SS}$$

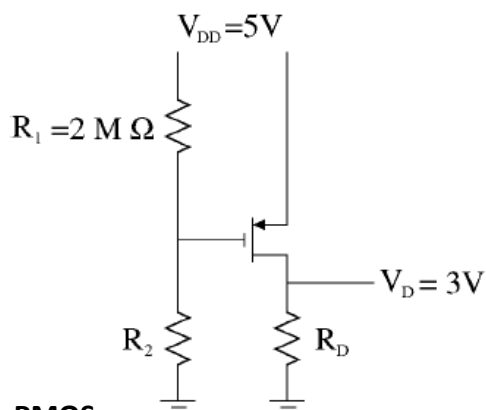
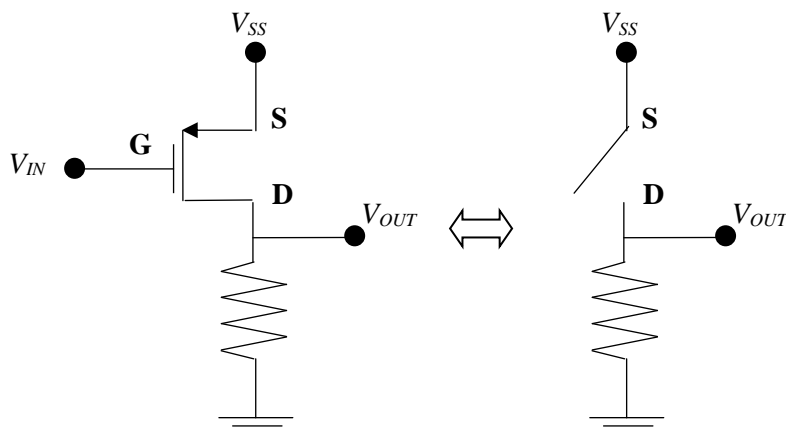
**Fer problema 28 de la col·lecció**

28. El transistor PMOS de la figura està caracteritzat per  $V_T = -2$  V. Determineu els valors de  $\beta$  i  $R$  per tal que el corrent sigui de 0.1 mA i  $V_D = 7$  V.

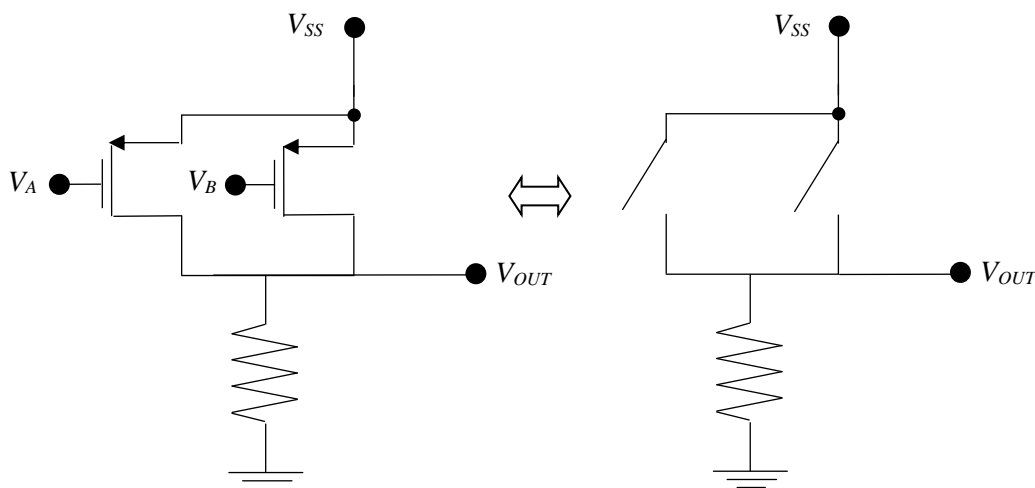


**Fer problema 29 de la col·lecció**

29. Determineu el valor de les resistències  $R_2$  i  $R_D$  de forma que el transistor de la figura operi a la regió de saturació amb una intensitat de  $0.5 \text{ mA}$  i  $V_D = 3 \text{ V}$  ( $V_T = -1 \text{ V}$  i  $\beta = 1 \text{ mA/V}^2$ ). Quin és el màxim valor possible de  $R_D$  per tal que es mantingui a la regió de saturació?

**Portes lògiques amb PMOS****Porta NOT**

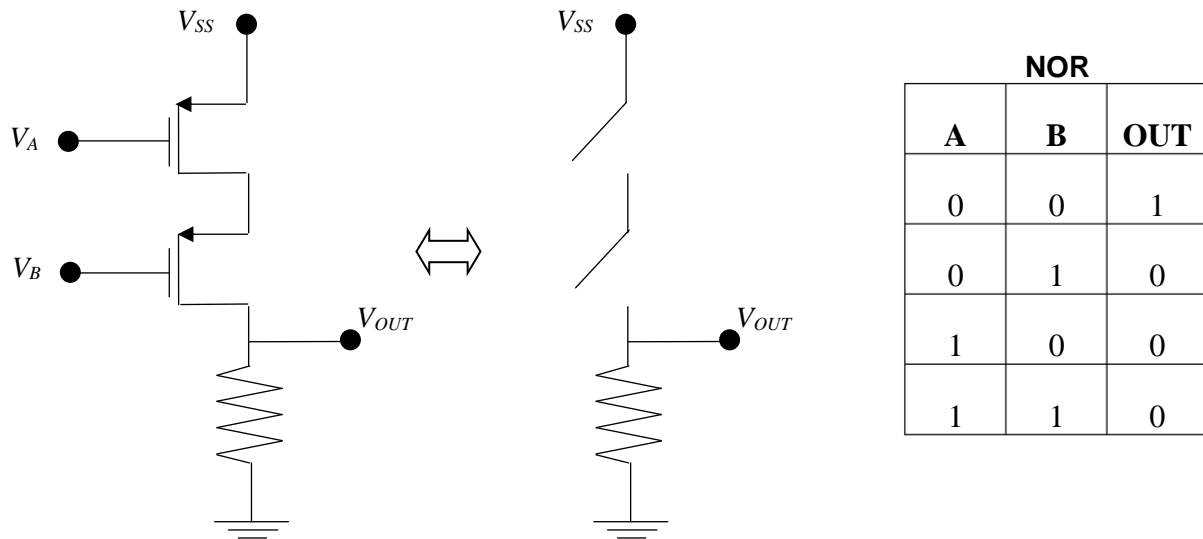
- Si  $V_{IN} = 0$ ,  $V_{GS} = V_G - V_S = -V_{SS} < V_T$ . El transistor està en òhmica i es comporta com un interruptor que **tanca el circuit**. Com es veu a la corba de la característica de transferència,  $V_{DS}$  és petita i negativa. Per tant, la tensió a la sortida és  $R_D I_D$ .  $V_{OUT} = R_D I_D = V_{SS} - V_{SD}$ . És a dir  $V_{OUT} = V_{SS} + V_{DS} \sim V_{SS}$ . Per tant, el valor lògic és 1.
- Si  $V_{IN} = V_{SS}$ ,  $V_{GS} = V_G - V_S = V_{SS} - V_{SS} = 0$ . El PMOS està en tall ( $I_D = 0$ ) i es comporta com un interruptor que **obre el circuit**. Com es veu a la característica de transferència,  $V_{DS} = -V_{SS}$ . La tensió a la sortida és:  $V_{OUT} = V_{SS} + V_{DS} = 0$  i el valor lògic és 0.

**Portes NOR i NAND (En realitat és el problema 34)****NAND**

A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

- Si  $V_A = V_B = 0$ , els dos PMOS estan en òhmica (interruptors tancats). La tensió a la sortida és  $V_{OUT} = V_{SS} + V_{DS} \sim V_{SS}$ . El valor lògic és, per tant, 1.
- Si  $V_A = 0$  i  $V_B = V_{SS}$ , el transistor A està en òhmica (interruptor tancat) i el B en tall (interruptor obert). En el cas de la porta NAND, a l'estar els PMOS en paral·lel, només cal que un estigui en òhmica (interruptor tancat) perquè  $V_{OUT} = V_{SS}$ , que correspon a un valor lògic 1.

En el cas de la porta NOR com els transistors estan en sèrie, el circuit està obert, no hi haurà corrent i la tensió a la sortida serà 0. El valor lògic serà, per tant, 0.

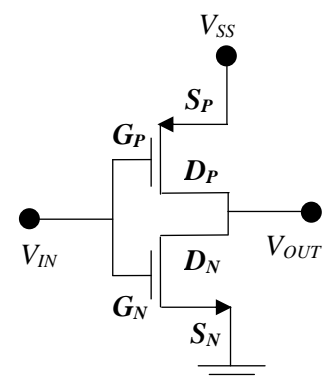


- Si  $V_A = V_{SS}$  i  $V_B = 0$ , s'obté el mateix valor lògic del cas anterior, però amb el transistor A estant en tall i el B en òhmica.
- Si  $V_A = V_B = V_{SS}$ , els PMOS estan en tall, i per tant  $V_{OUT} = 0$ . El valor lògic és, per tant, 0.

### 3.7 Inversor CMOS (1 h T)

La **Complementary Metall Oxide Semiconductor (CMOS)** és una tecnologia per construir circuits integrats basada en l'ús de transistors **NMOS** i **PMOS**. Va ser patentada per Frank Wanlass el 1967, i degut a la facilitat de **miniaturització, alta immunitat al soroll i baix consum**, s'utilitza per fabricar microprocessadors, microcontroladors, **memòries SRAM, circuits de lògica digital**, etc.

Un inversor CMOS. Està format per un **NMOS** i un **PMOS** amb **les portes ( $G_P$  i  $G_N$ ) i els drenadors ( $D_P$  i  $D_N$ ) connectats**. Prenent com a referència la font del NMOS ( $S_N$ ), la font del PMOS ( $S_P$ ) està a un potencial  $V_{DD}$ , el senyal d'entrada, que s'introdueix per les portes, a  $V_{IN}$ , i el de sortida, que es recull als drenadors, a  $V_{OUT}$ . Si varia  $V_{IN}$ , s'observa:



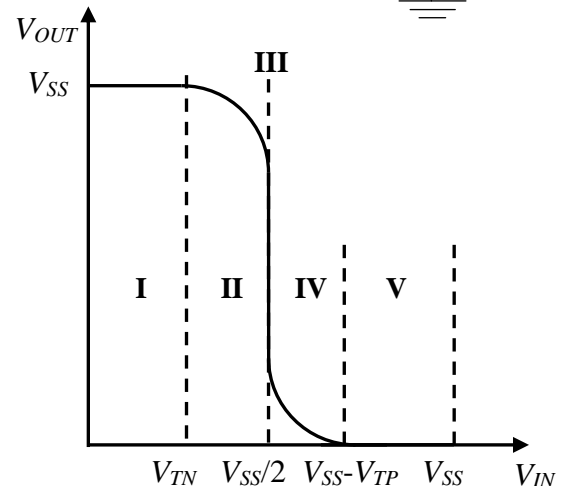
- Si  $V_{IN} = 0$ , per una banda  $V_{GNSN} < V_T$ , el **NMOS està en tall**. És com si l'**interruptor de baix estigués obert**. D'altra banda,  $V_{SPGP} = V_{SS}$  i el **PMOS està en òhmica**. És com si l'**interruptor de dalt estigués tancat**. Per tant,  $V_{OUT} = V_{SS}$ .

- Si  $V_{IN} = V_{SS}$ , per una banda  $V_{GNSN} = V_{SS}$ , i el **NMOS** està en òhmica. És com si l'interruptor de baix estigués tancat. D'altra banda,  $V_{SPGP} = 0$ , el **PMOS** està en tall. És com si l'interruptor de dalt estigués obert. Per tant,  $V_{OUT} = 0$ .

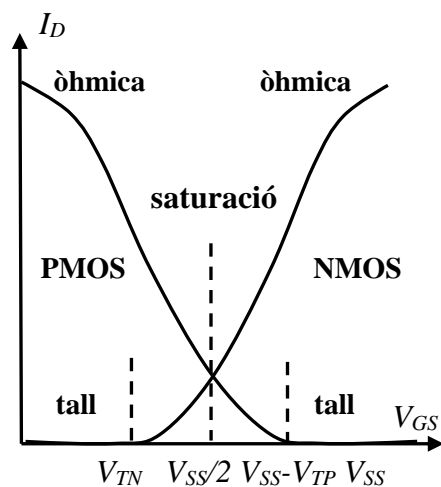
Observem també que el **PMOS** i el **NMOS** actuen de forma **complementària (CMOS)**: quan un està en tall l'altre està en saturació. És a dir quan un interruptor està obert l'altre està tancat.

La **característica de transferència** del inversor es mostra a la figura. La

**regió I** correspon a  $V_{IN} < V_{TN}$ , on el NMOS està en **tall** ( $V_{TN}$  és la seva tensió de tall) i el PMOS en òhmica. A la **regió II**  $V_{IN} > V_{TN}$ , el **NMOS** està en **saturació** i el **PMOS** en òhmica. A la **regió III** els **dos transistors** estan en **saturació**,  $V_{IN} = V_{SS}/2$  i  $V_{OUT}$  disminueix de forma abrupta. A la **regió IV** es verifica  $V_{SS}/2 < V_{IN} < V_{SS} - V_{TP}$ , el **NMOS** està en òhmica i el **PMOS** en **saturació** ( $V_{TP}$  és la tensió de tall del PMOS). A la **regió V** es compleix que  $V_{IN} > V_{SS} - V_{TP}$ , el **NMOS** està en òhmica i el **PMOS** en **tall**.

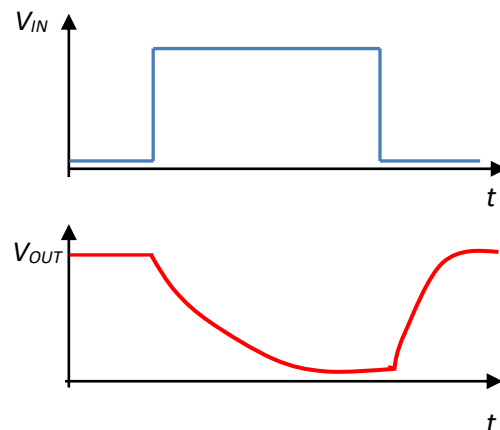


Respecte del NMOS, com que a partir de  $V_{IN} = V_{SS} - V_{TP}$  tant la intensitat com  $V_{OUT}$  s'anul·len, i per  $V_{IN} < V_{TN}$  la intensitat es nul·la i  $V_{OUT} = V_{SS}$ , l'inversor **CMOS** és un dispositiu ideal per ser utilitzat com a **commutador**. A més, en aquestes situacions, **no es dissipa energia per efecte Joule**. Per intentar explicar les diferents zones s'inclou una figura amb les corbes característiques ( $V_{GS}$ ,  $I_D$ ) d'un NMOS i un PMOS connectats a una resistència en configuració en font comuna. Salvant les distàncies, ja que en un cas la resistència és fixa, i en el cas d'un CMOS les resistències són variables, ens podem fer una idea de l'origen de les 5 zones que es descriuen a la característica de transferència.



**3.8 Retard i potència en circuits digitals (1 h T + 30' P** . La demostració es fa al problema 31, però no cal resoldre'l)

A la figura es comparen els senyals **d'entrada i sortida d'un inversor CMOS**. S'observa que la **resposta no és instantània**. El **retard (delay)** és degut a l'existència de **condensadors** en les diferents parts del transistor que triguen un temps a carregar-se i descarregar-se. Aquests

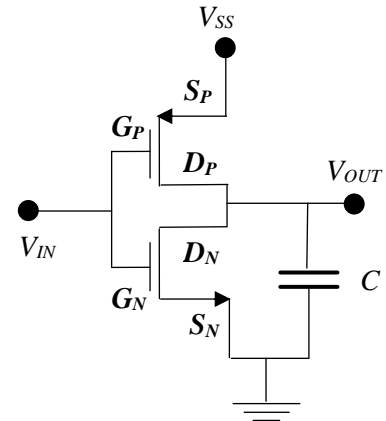




corrents fan que els transistors **consumeixin energia**, que condicionen el rendiment del transistor, i que cal **minimitzar**.

Les capacitats estan associades a **les portes, a les connexions**, i també als emissors i els drenadors, i són de l'ordre de **1 fF**.

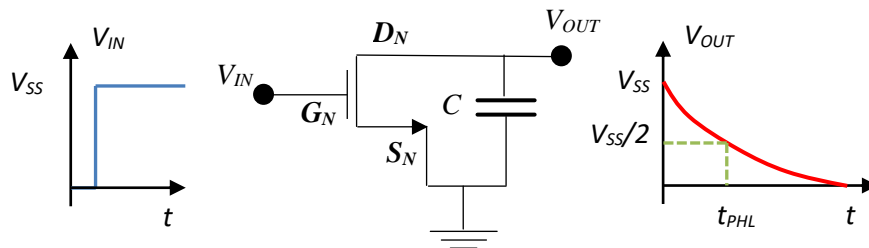
Per modelar el retard se suposa que a continuació del CMOS hi ha un condensador de **capacitat C**, que inclou les capacitats del sistema. En funció de si el senyal d'entrada puja (passa de 0 a  $V_{DD}$ ) o baixa (cas contrari baixada) tenim comportaments diferents.



Per la **pujada** el PMOS passa de conduir ( $V_{IN} = 0$ ) a no conduir ( $V_{IN} = V_{SS}$ ), mentre que el NMOS passa de no conduir a conduir. És a dir a la sortida passem de  $V_{OUT} = V_{SS}$  a 0. Com el **NMOS passa a conduir la descarrega del condensador es fa a través del NMOS**. El temps de descarrega (**propagation delay  $t_{PHL}$** ), que es defineix com el temps que triga a passar de  $V_{SS}$  a  $V_{SS}/2$ , és:

$$t_{PHL} = 1.7C / \beta_N V_{SS},$$

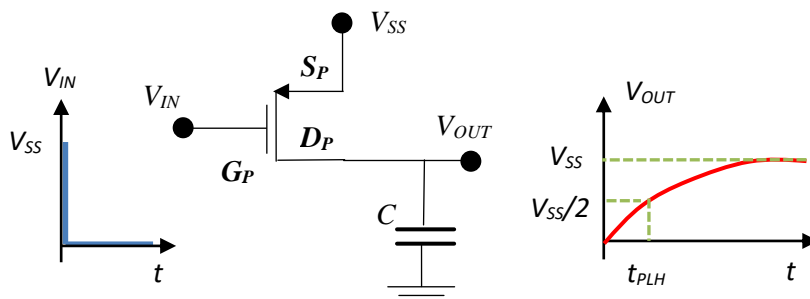
on  $\beta_N$  és el paràmetre del NMOS



Per la **baixada** el PMOS passa de no conduir ( $V_{IN} = V_{SS}$ ) a conduir ( $V_{IN} = 0$ ), mentre que el NMOS passa de conduir a no conduir. És a dir, a la sortida passem de  $V_{OUT} = 0$  a  $V_{SS}$ . Com el **PMOS passa a conduir la càrrega del condensador es fa a través del PMOS**. El temps de càrrega (**propagation delay  $t_{PLH}$** ), que es defineix com el temps que triga a passar de 0 a  $V_{SS}/2$ , és:

$$t_{PLH} = 1.7C / \beta_P V_{SS},$$

on  $\beta_P$  és el paràmetre del PMOS.



El temps total de retard (propagation delay) és la mitjana d'ambdós temps:  $t_P = (t_{PLH} + t_{PHL})/2$ . La tensió varia en el temps de forma anàloga a un circuit RC. Així en les etapes de pujada i baixada tenim:

$$V(t) = V_{SS} \left[ 1 - e^{-\frac{t}{\tau}} \right] \text{ pujada}$$

$$V(t) = V_{SS} e^{-t/\tau} \text{ baixada}$$

essent la constant de temps  $\tau = t_p / \ln(2)$ .

L'inversor CMOS **no consumeix energia** en **ESTÀTICA** (quan està als estats 1 i 0), però **sí que ho fa quan els condensadors es carreguen o es descarreguen (DINÀMICA)**. L'energia acumulada per un condensador de capacitat  $C$  que està a una diferència de potencial  $V$  és:  $1/2 CV^2$ . En el cas d'un condensador que fa **un cicle complet de càrrega i descarrega** a una tensió  $V_{SS}$ , la **variació d'energia** és:  $1/2 CV_{SS}^2 + 1/2 CV_{SS}^2 = CV_{SS}^2$ . Com la potència és  $P = U/t$ , la potència dissipada en un període  $T$  és:

$$P = \frac{U}{T} = fU = fCV_{SS}^2.$$

És obvi que com **menor** sigui el **time delay ( $t_p$ ) més gran** podrà ser la **frequència** de treball  $f$  del circuit. Ara bé per la fórmula anterior, més gran serà la potència consumida. Per valorar **l'eficiència de la tecnologia** d'un circuit s'introdueix el **delay-power product (DP producte retard-potència)**, que és una mesura de **l'energia dissipada en un cicle**:

$$DP = t_p P.$$

Com menor sigui **DP** millor és la tecnologia.

#### Fer problema 32 de la col·lecció

**32.** La capacitat de càrrega efectiva d'un inversor CMOS és de 70 fF, i està connectat a una tensió  $V_{DD} = 5$  V. Els paràmetres corresponents al NMOS i PMOS són:  $\beta_P = \beta_N = 0.1$  mA/V<sup>2</sup>,  $V_{TN} = 1$  V,  $V_{TP} = -1$  V. Determineu:

- el valor dels temps de retràs  $t_{PHL}$ ,  $t_{PLH}$  i  $t_p$ .
- si s'augmenta la capacitat en 0.1 pF, com canviaran els temps de retràs
- la potència dinàmica que dissipa en aquest cas si el rellotge va a una freqüència de 100 MHz?
- si l'entrada passa sobtadament de 0 a 5 V, el temps que trigarà la sortida a baixar a 0.1 V assumint el comportament típic d'un circuit RC ( $t_p = \tau \ln 2$ ).

#### Fer problema 33 de la col·lecció

**33.** Un inversor CMOS en un circuit VLSI opera a una tensió de font de 5 V i està caracteritzat per  $\beta_P = \beta_N = 0.04$  mA/V<sup>2</sup>, i  $V_{TN} = 1$  V,  $V_{TP} = -1$  V. Si la capacitat de càrrega és de 0.1 pF, determineu:

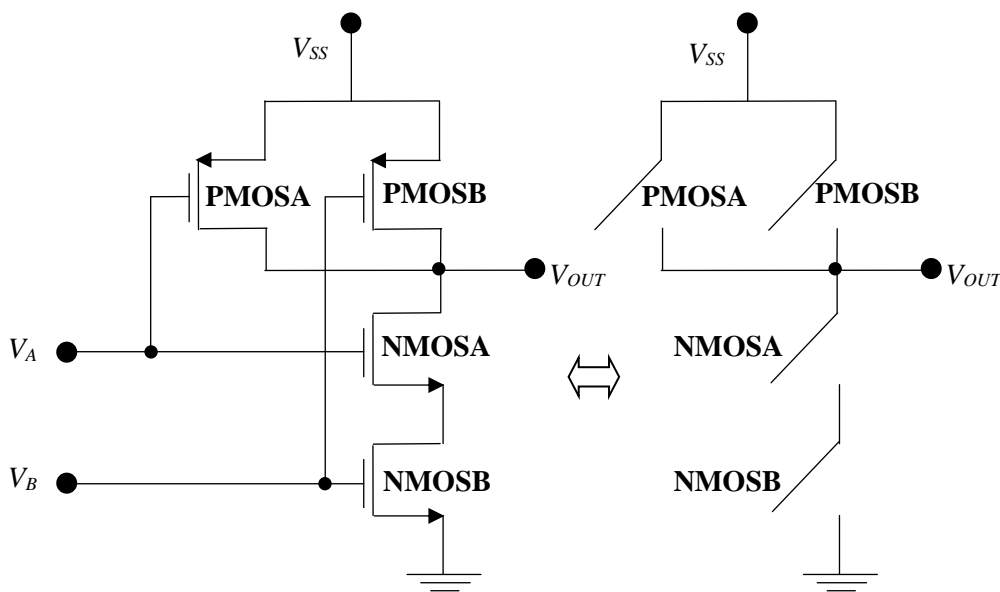
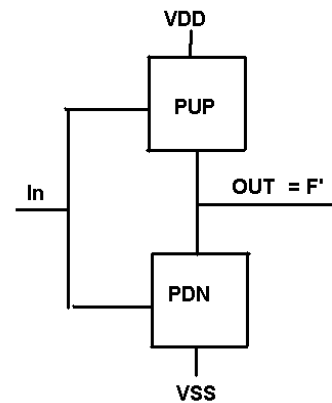
- els temps de retràs.
- si l'entrada passa sobtadament de 5 V a 0V, el temps que triga la sortida per arribar a 4.8 V, assumint el comportament típic d'un circuit RC ( $t_p = \tau \ln 2$ ).

### 3.9 Lògica CMOS (1 h T + 30' P) (en realitat 3h)

Observem que pel cas de l'inversor CMOS, quan  $V_{IN} = 0$  el transistor PMOS fa pujar la tensió a la sortida  $V_{OUT} = V_{SS}$ , en el llenguatge dels CMOS es diu que el **PMOS és un PULL UP** (tanca el circuit per dalt). Per contra, quan  $V_{IN} = V_{SS}$  el transistor NMOS fa baixar la tensió a la sortida  $V_{OUT} = 0$ , i es diu que el **NMOS és un PULL DOWN** (tanca el circuit per baix). Observem també que el PMOS i NMOS actuen de forma **complementària**: quan

un està en tall l'altre està en saturació. És a dir quan un interruptor està obert l'altre està tancat.

Els circuits de lògica CMOS consisteixen en una xarxa de transistors PMOS (PULL UP) i NMOS (PULL DOWN), que treballen de forma complementària. A les figures es mostren els esquemes i les taules de veritat corresponents a les funcions lògiques **NAND** i **NOR** construïdes amb **dos** transistors **PMOS** (PMOSA i PMOSB) i **dos** NMOS (NMOSA i NMOSB). Com en el cas de l'inversor CMOS, les portes dels PMOSA i NMOSA, i les dels PMOSB i NMOSB estan connectades, i és per on s'introdueixen els senyals d'entrada. En funció de les tensions  $V_A$  i  $V_B$  aplicades a aquestes, a la sortida tenim:

**NAND**

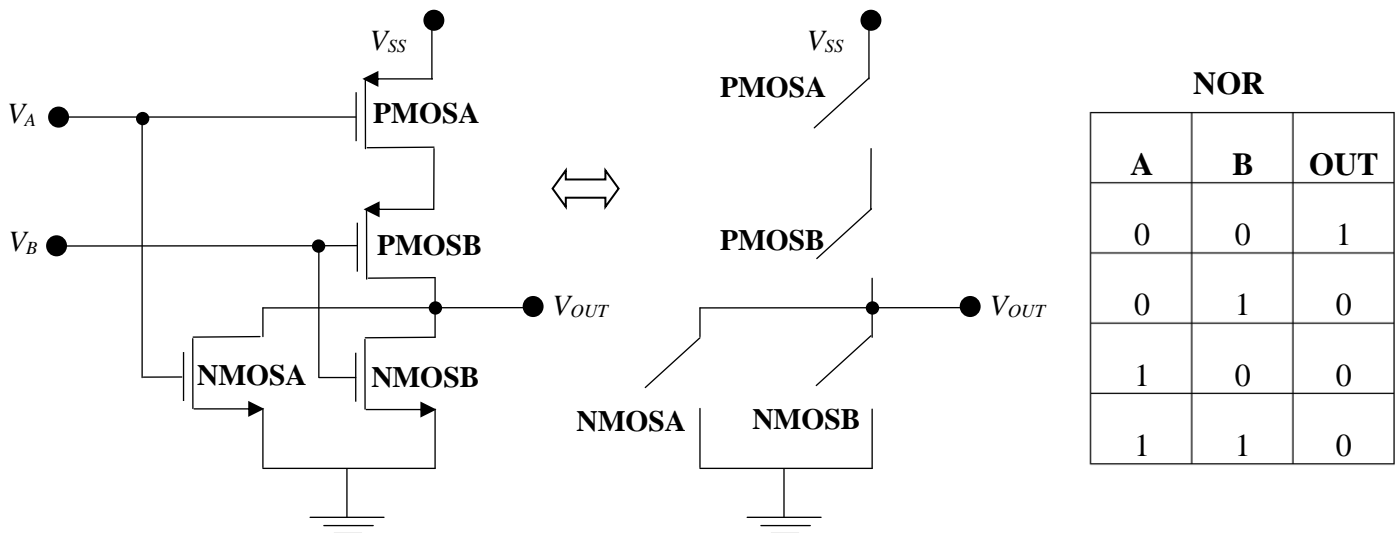
A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

- Si  $V_A = V_B = 0$ , els NMOS estan en tall (interruptors oberts) i els PMOS en òhmica (interruptors tancats), i per tant  $V_{OUT} = V_{SS}$ . El valor lògic és, per tant, 1.
- Si  $V_A = 0$  i  $V_B = V_{DD}$ , el transistor NMOSA està en tall (interruptor obert), el PMOSA en òhmica (interruptor tancat), el NMOSB en òhmica (interruptor tancat) i el PMOSB en tall (interruptor obert). En el cas de la porta NAND, a l'estar els PMOS en paral·lel i els NMOS en sèrie, només cal que un dels PMOS estigui en òhmica (interruptor tancat) perquè  $V_{OUT} = V_{SS}$ , que correspon a un valor lògic 1.
- Observem com es verifica  $\bar{A} + \bar{B} = \overline{A \cdot B}$

Pel cas de la porta NOR, com els PMOS estan en sèrie i els NMOS en paral·lel, només cal que hi hagi un NMOS en tall perquè  $V_{OUT} = 0$ , que correspon a un valor lògic 0.

- Si  $V_A = V_{SS}$  i  $V_B = 0$ , s'obté el mateix valor lògic del cas anterior, però amb el transistor NMOSA estant en òhmica (interruptor tancat), el PMOSA en tall (interruptor obert), el NMOSB en tall (interruptor obert) i el PMOSB en òhmica (interruptor tancat).
- Si  $V_A = V_B = V_{SS}$ , els NMOS estan en òhmica (interruptors tancats) i els PMOS en tall (interruptors oberts), i per tant  $V_{OUT} = 0$ . El valor lògic és, per tant, 0.

- Observem com es verifica  $\overline{A + B} = \bar{A} \cdot \bar{B}$



Per tenir les portes lògiques **AND** i **OR** només cal negar les funcions lògiques anteriors connectant un CMOS a continuació dels muntatges anteriors.

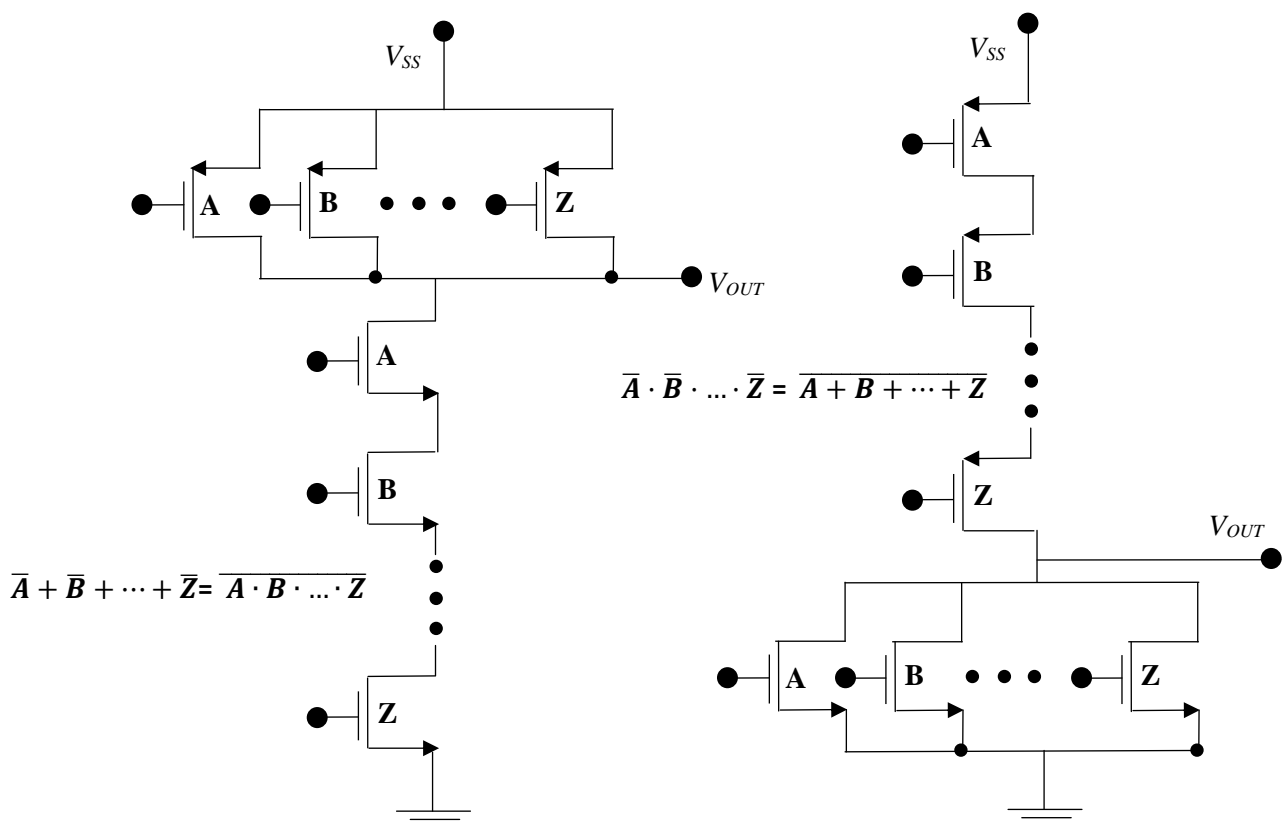
### Fer problema 37 de la col·lecció

#### 37. Construïu una porta AND i una OR utilitzant lògica CMOS.

Per resoldre problemes més complexos són molt útils les lleis de Morgan. La primera diu que el producte de n variables globalment negades és igual a la suma de les n variables negades individualment:

$$\overline{A \cdot B \cdot \dots \cdot Z} = \bar{A} + \bar{B} + \dots + \bar{Z}$$

Com sabem un CMOS és un inversor. Per tant, cada entrada en un CMOS està negada. Per tant, per implementar: **No(A) + No(B) + ... + No(Z)**, els transistors de la part **PMOS** s'associen en **paral·lel**, mentre que els de la part **NMOS** en **sèrie**.



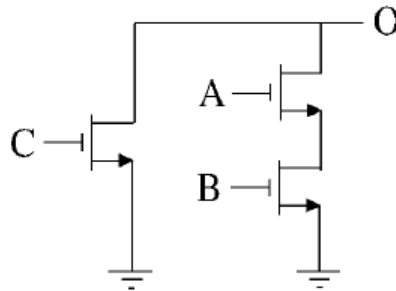
La segona llei de Morgan diu que la suma de  $n$  variables globalment negades és igual al producte de les  $n$  variables negades individualment:

$$\overline{A + B + \dots + Z} = \bar{A} \cdot \bar{B} \cdot \dots \cdot \bar{Z}$$

Per implementar:  $\text{No}(\mathbf{A}) \cdot \text{No}(\mathbf{B}) \cdot \dots \cdot \text{No}(\mathbf{Z})$ , els transistors de la part **PMOS** s'associen en **sèrie**, mentre que els de la part **NMOS** en **paral·lel**.

**Fer problema 38 de la col·lecció**

38. Determineu el circuit PULL-UP corresponent al PULL-DOWN del circuit de la figura i la funció lògica que implementa el circuit CMOS resultant.



**Fer problema 39 de la col·lecció**

39. Construïu, amb lògica CMOS, el circuit que implementa  $A+B+C$ , i la modificació que cal per obtenir  $A+B+C$ .

**Fer problema 40 de la col·lecció**

40. Feu un esquema del circuit CMOS que implementa la funció lògica  $\overline{A(B+CD)}$ .

