

本节内容

中央处理器

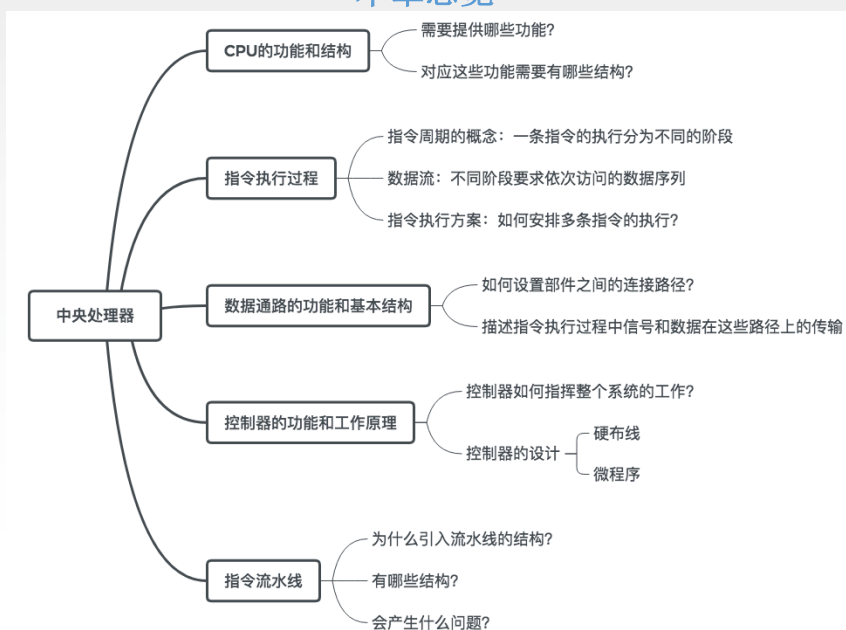
数据通路

单总线结构

王道考研/CSKAOYAN.COM

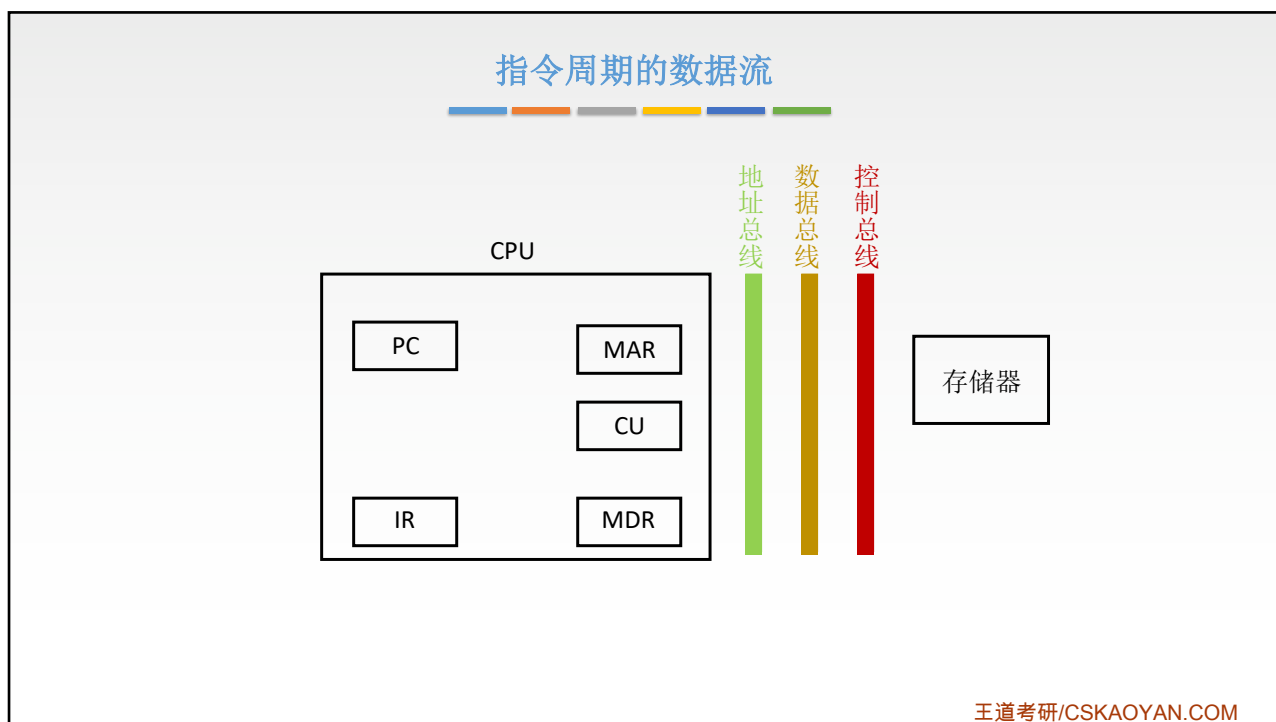
1

本章总览

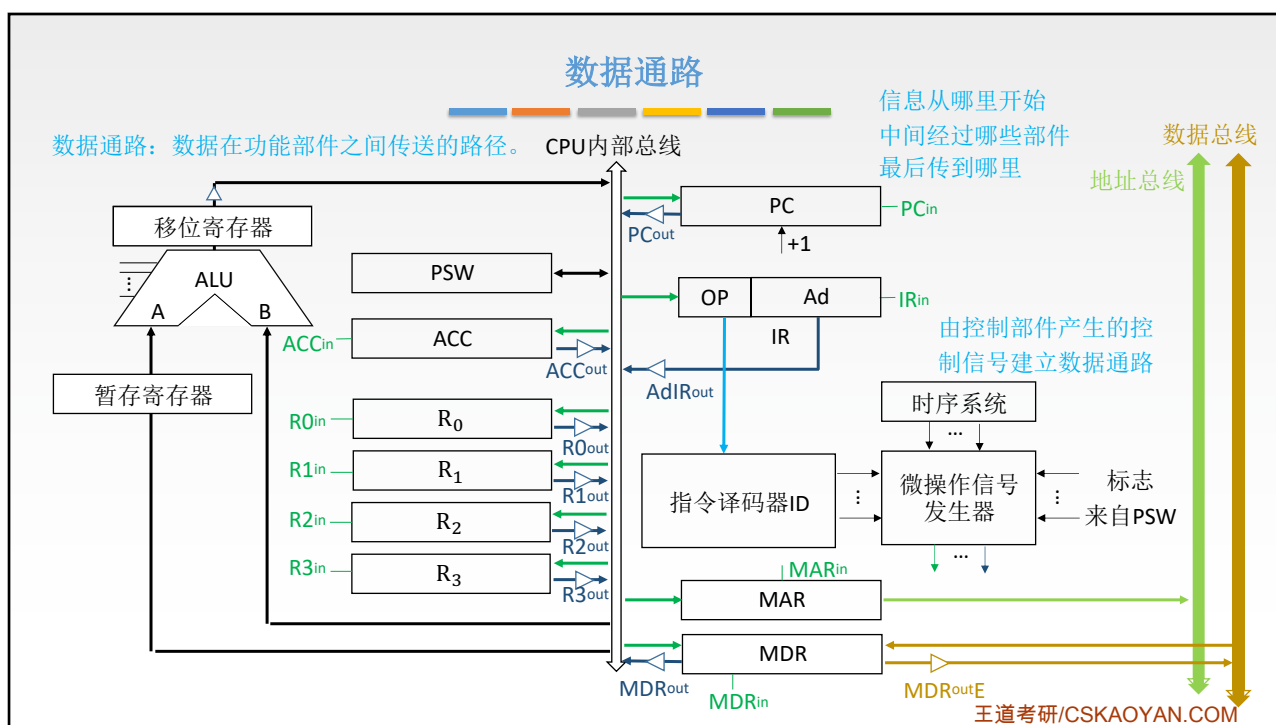


王道考研/CSKAOYAN.COM

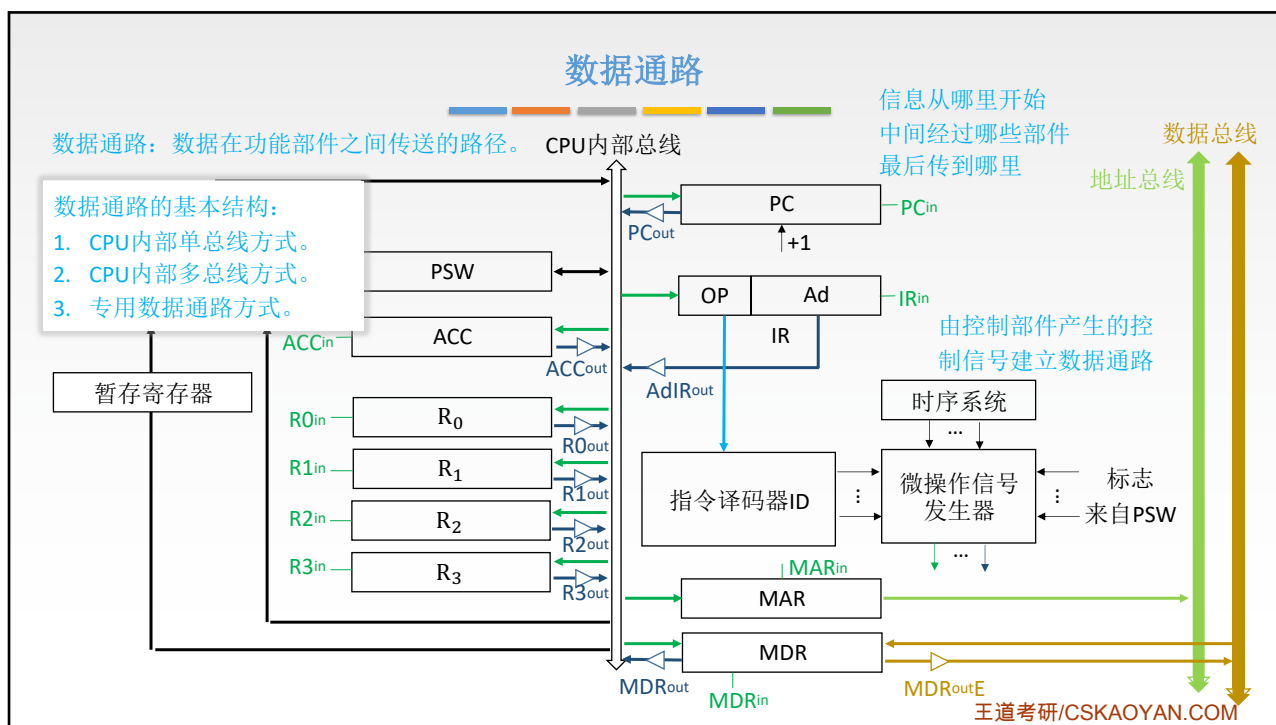
2



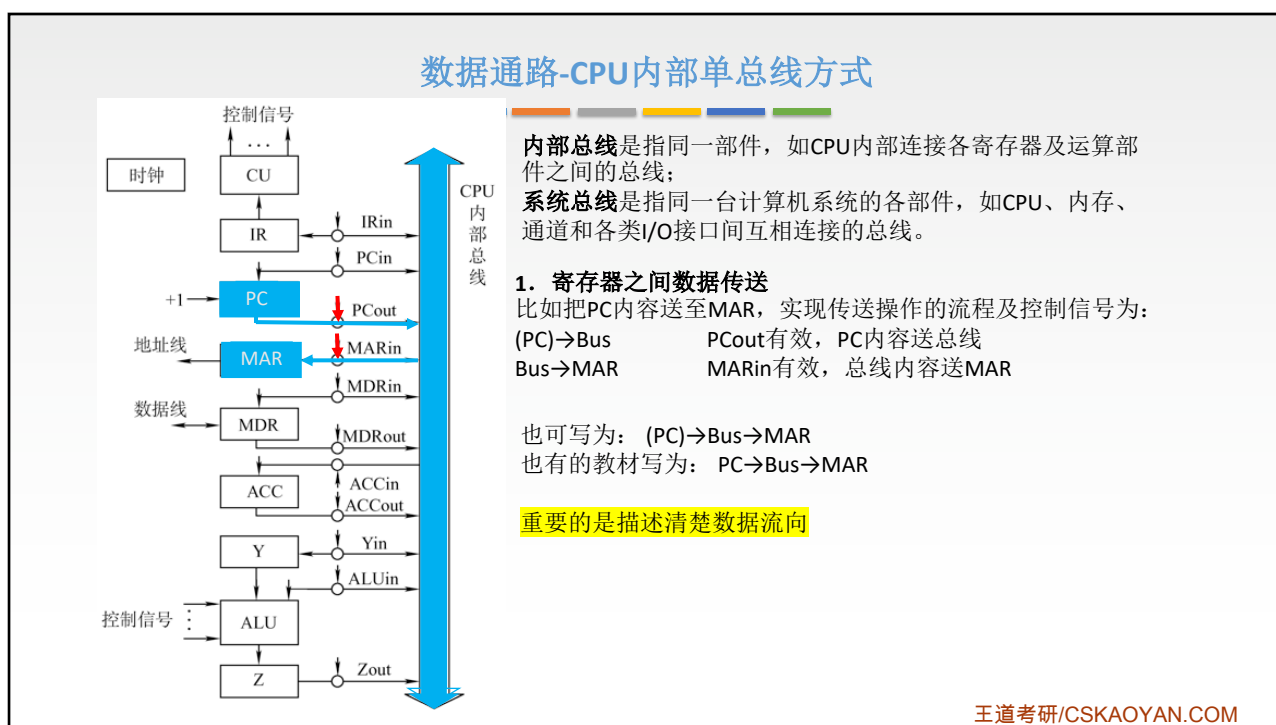
3



4

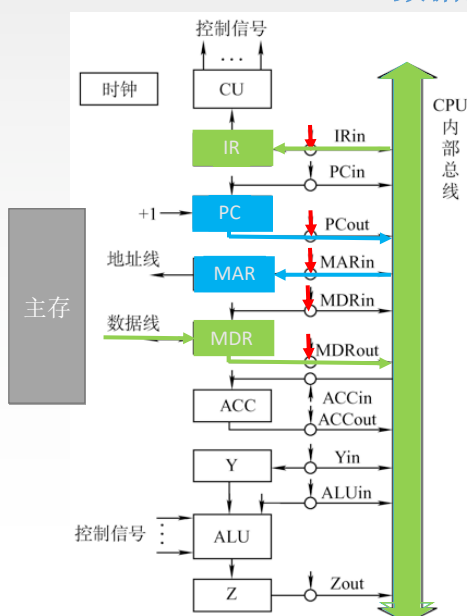


5



6

数据通路-CPU内部单总线方式



内部总线是指同一部件，如CPU内部连接各寄存器及运算部件之间的总线；

系统总线是指同一台计算机系统的各部件，如CPU、内存、通道和各类I/O接口间互相连接的总线。

1. 寄存器之间数据传送

比如把PC内容送至MAR，实现传送操作的流程及控制信号为：

(PC)→Bus PCOut有效，PC内容送总线

Bus→MAR MARIn有效，总线内容送MAR

2. 主存与CPU之间的数据传送

比如CPU从主存读取指令，实现传送操作的流程及控制信号为：

(PC)→Bus→MAR PCOut和MARIn有效，现行指令地址→MAR

1→R CU发读命令(通过控制总线发出，图中未画出)

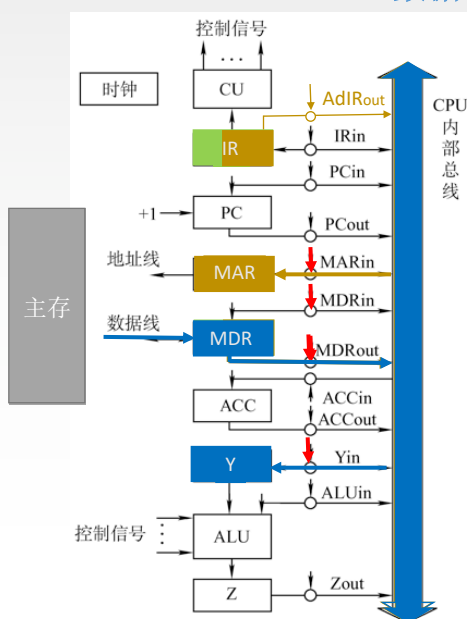
MEM(MAR)→MDR MDRIn有效

MDR→Bus→IR MDROut和IRIn有效，现行指令→IR

王道考研/CSKAOYAN.COM

7

数据通路-CPU内部单总线方式



1. 寄存器之间数据传送

比如把PC内容送至MAR，实现传送操作的流程及控制信号为：

(PC)→Bus PCOut有效，PC内容送总线

Bus→MAR MARIn有效，总线内容送MAR

2. 主存与CPU之间的数据传送

比如CPU从主存读取指令，实现传送操作的流程及控制信号为：

(PC)→Bus→MAR PCOut和MARIn有效，现行指令地址→MAR

1→R CU发读命令(通过控制总线发出，图中未画出)

MEM(MAR)→MDR MDRIn有效

MDR→Bus→IR MDROut和IRIn有效，现行指令→IR

3. 执行算术或逻辑运算

比如一条加法指令，微操作序列及控制信号为：

Ad(IR)→Bus→MAR MDROut和MARIn有效 或AdIRout和MARIn有效

1→R CU发读命令

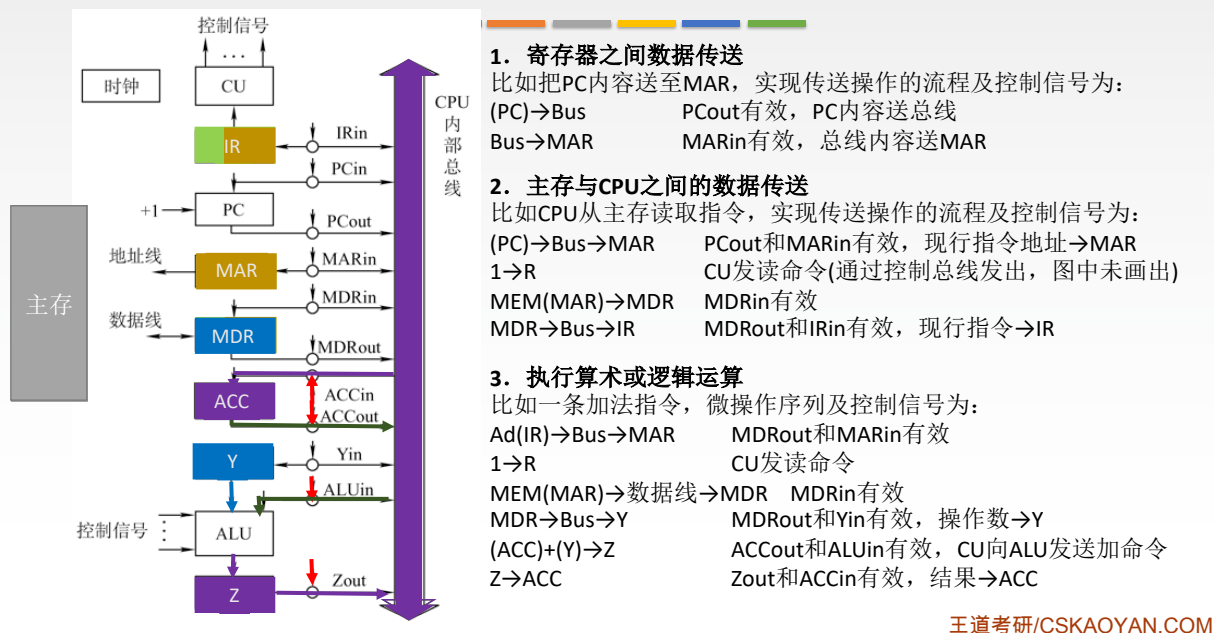
MEM(MAR)→数据线→MDR MDRIn有效

MDR→Bus→Y MDROut和Yin有效，操作数→Y

王道考研/CSKAOYAN.COM

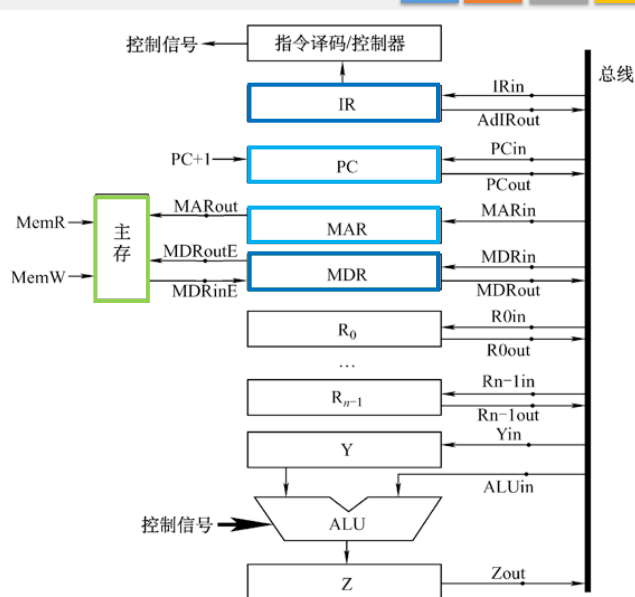
8

数据通路-CPU内部单总线方式



9

CPU内部单总线方式-例题



设有如图所示的单总线结构, 分析指令
 ADD (R0), R1 的指令流程和控制信号。

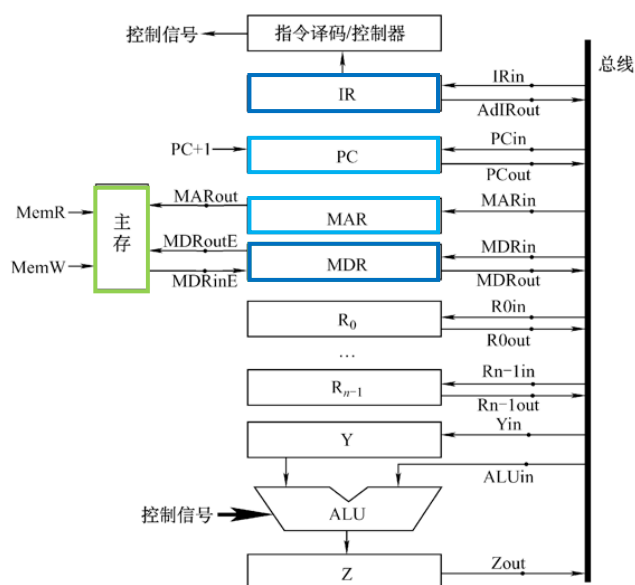
- 分析指令功能和指令周期
 功能: $((R0)) + (R1) \rightarrow (R0)$
 取指周期、间址周期、执行周期
- 写出各阶段的指令流程
 取指周期: 公共操作

时序	微操作	有效控制信号
1	(PC)→MAR	PCout, MARin
2	M(MAR)→MDR	MemR, MARout, MDRinE
3	(MDR)→IR	MDRout, IRin
4	指令译码	-
5	(PC)+1→PC	-

王道考研/CSKAOYAN.COM

10

CPU内部单总线方式-例题



设有如图所示的单总线结构，分析指令
ADD (R0), R1 的指令流程和控制信号。

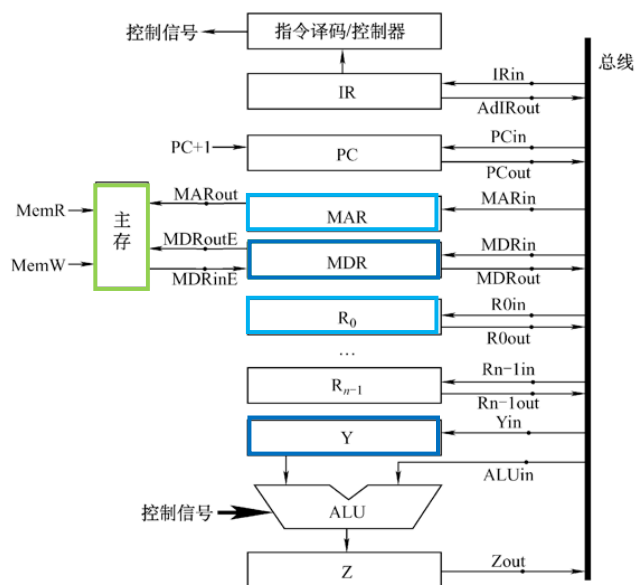
1. 分析指令功能和指令周期
功能: $((R0))+(R1) \rightarrow (R0)$
取指周期、间址周期、执行周期
2. 写出各阶段的指令流程
取指周期: 公共操作

时序	微操作	有效控制信号
1	$(PC) \rightarrow MAR$	PCout, MARin
2	$M(MAR) \rightarrow MDR$ $(PC)+1 \rightarrow PC$	MemR, MARout, MDRinE, MDRin
3	$(MDR) \rightarrow IR$	MDRout, IRin
4	指令译码	-

王道考研/CSKAOYAN.COM

11

CPU内部单总线方式-例题



设有如图所示的单总线结构，分析指令
ADD (R0), R1 的指令流程和控制信号。

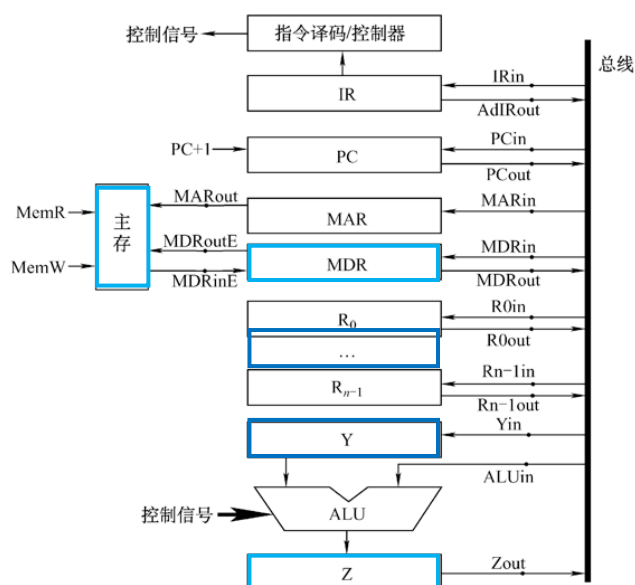
1. 分析指令功能和指令周期
功能: $((R0))+(R1) \rightarrow (R0)$
取指周期、间址周期、执行周期
2. 写出各阶段的指令流程
间址周期: 完成取数操作, 被加数在主存中, 加数已经放在寄存器R1中。

时序	微操作	有效控制信号
1	$(R0) \rightarrow MAR$	R0out, MARin
2	$M(MAR) \rightarrow MDR$	MemR, MARout, MDRinE, MDRin
3	$(MDR) \rightarrow Y$	MDRout, Yin

王道考研/CSKAOYAN.COM

12

CPU内部单总线方式-例题



设有如图所示的单总线结构，分析指令 ADD (R0), R1 的指令流程和控制信号。

1. 分析指令功能和指令周期
功能: $((R0))+(R1) \rightarrow (R0)$
取指周期、间址周期、执行周期

2. 写出各阶段的指令流程
执行周期: 完成取数操作, 被加数在主存中, 加数已经放在寄存器R1中。

时序	微操作	有效控制信号
1	$(R1)+(Y) \rightarrow Z$	R1out, ALUin, CU向ALU发ADD控制信号
2	$(Z) \rightarrow \text{MDR}$	Zout, MDRin
3	$(\text{MDR}) \rightarrow \text{M}(\text{MAR})$	MemW, MDRoutE, MARout

王道考研/CSKAOYAN.COM

13

本节回顾



王道考研/CSKAOYAN.COM

14