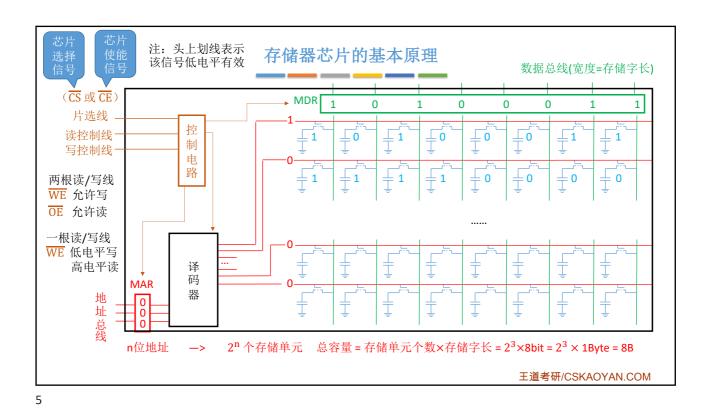
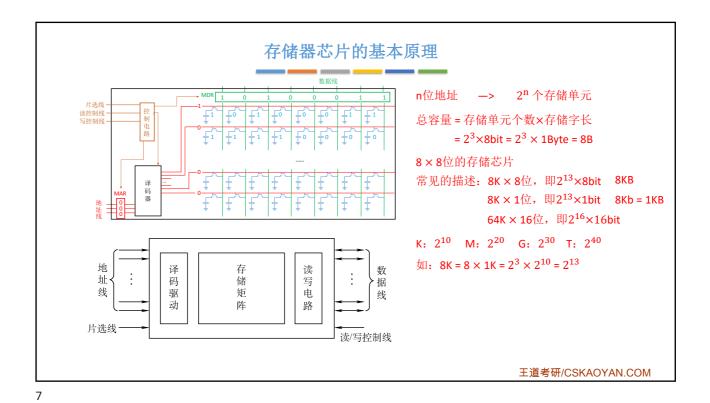


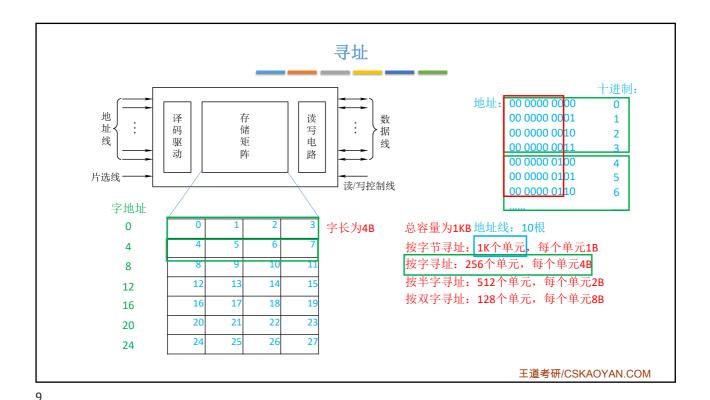
和CPU连接 存储器芯片的基本原理 数据总线(宽度=存储字长) 字选线 MDR 1 0 0 0 0 1 地址寄存器 数据寄存器 储体 ₽o ₽o ₽° <u></u> 0 $\frac{1}{2}$ 0 时序控制逻辑 和CPU 连接 译 码 MAR 器 地址 ŏ 总线 n位地址 2^n 个存储单元 总容量 = 存储单元个数×存储字长 = $2^3 \times 8bit$ = $2^3 \times 1Byte$ = 8B 王道考研/CSKAOYAN.COM



存储器芯片的基本原理 个内存条可能包含 多块存储芯片 地 译 存 读 结合上图再思考"片选线"的作用 数 址 码 储 写 据 左图的每根线都会对应一个金属引脚 线 驱 矩 电 线 (另外,还有供电引脚、接地引脚) 动 路 片选线 fiffiffi 读/写控制线 王道考研/CSKAOYAN.COM



寻址 十进制: 地址: 00 0000 0000 0 地 读 00 0000 0001 数 址 码 写 据 00 0000 0010 驱 矩 电 线 00 0000 0011 3 动 路 00 0000 0100 00 0000 0101 片选线 5 读/写控制线 00 0000 0110 6 总容量为1KB地址线: 10根 字长为4B 按字节寻址: 1K个单元, 每个单元1B 按字寻址: 256个单元,每个单元4B 按半字寻址: 512个单元,每个单元2B 按双字寻址: 128个单元,每个单元8B 王道考研/CSKAOYAN.COM



本节回顾 MOS管,作为通电"开关" 基本元件 $\overline{-}$ 电容,存储电荷(即存储二进制0/1) 译码驱动电路 😑 译码器将地址信号转化为字选通线的高低电平 由多个存储单元构成,每个存 储单元又由多个存储元构成 存储矩阵 (存储体) Θ 主存储器 的基本组 存储芯片的结构 读写电路 每次读/写一个存储字 ▶ 地址线、数据线、片选线、读写控制线(可能分 开两根,也可能只有一根) 现代计算机通常按字节编址(每个字节),即每个字节对应一个地址 寻址 😑 按字节寻址、按字寻址、按半字寻址、按双字寻址 王道考研/CSKAOYAN.COM