



第三章

集成门电路与触发器





集成**门电路**和**触发器**等逻辑器件是实现数字系统功能的物质基础。

随着微电子技术的发展，人们把实现各种逻辑功能的元器件及其连线都集中制造在同一块半导体材料小片上，并封装在一个壳体中，通过引线与外界联系，即构成所谓的**集成电路块**，通常又称为**集成电路芯片**。

采用集成电路进行数字系统设计的**优点**：

可靠性高、可维性好、功耗低、成本低等优点，可以大大简化设计和调试过程。





本章知识要点:

- 半导体器件的开关特性;
- 逻辑门电路的功能、外部特性及使用方法;
- 常用触发器的功能、触发方式与外部工作特性。





3.1 数字集成电路的分类

数字集成电路通常按照所用**半导体器件的不同**或者根据集成**规模的大小**进行分类。

一、根据所采用的半导体器件进行分类

根据所采用的半导体器件，数字集成电路可以分为**两大类**。

1.双极型集成电路：采用双极型半导体器件作为元件。主要特点是**速度快、负载能力强，但功耗较大、集成度较低**。

2.单极型集成电路(又称为MOS集成电路)：采用金属-氧化物半导体场效应管(Metal Oxide Semiconductor Field Effect Transister)作为元件。主要特点是**结构简单、制造方便、集成度高、功耗低，但速度较慢**。





双极型集成电路又可进一步可分为：

TTL(Transistor Transistor Logic)电路(晶体管-晶体管逻辑)；

ECL(Emitter Coupled Logic)电路(射极耦合逻辑)；

I²L(Integrated Injection Logic)电路(集成注入逻辑)。

↓

TTL电路的“性能价格比”最佳，应用最广泛。

MOS集成电路又可进一步分为：

PMOS(P-channel Metel Oxide Semiconductor)；

NMOS(N-channel Metel Oxide Semiconductor)；

CMOS(Complement Metal Oxide Semiconductor)。

↓

CMOS电路应用较普遍，因为它不但适用于通用逻辑电路的设计，而且综合性能最好。





二、根据集成电路规模的大小进行分类

通常根据一片集成电路芯片上包含的逻辑门个数或元件个数，分为 SSI、MSI、LSI、VLSI。

1. SSI (Small Scale Integration) 小规模集成电路:

逻辑门数小于10 门(或元件数小于100个);

2. MSI (Medium Scale Integration) 中规模集成电路:

逻辑门数为10 门~99 门(或元件数100个~999个);

3. LSI (Large Scale Integration) 大规模集成电路:

逻辑门数为100 门~9999 门(或元件数1000个~99999个);

4. VLSI (Very Large Scale Integration) 超大规模集成电路:

逻辑门数大于10000 门(或元件数大于100000个)。





3.2 半导体器件的开关特性

数字电路中的晶体二极管、三极管和MOS管等器件一般是以开关方式运用的，其工作状态相当于相当于开关的“接通”与“断开”。

数子系统中的半导体器件运用在开关频率十分高的电路中(通常开关状态变化的速度可高达每秒百万次数量级甚至千万次数量级)，研究这些器件的开关特性时，不仅要研究它们的**静止特性**，而且还要分析它们的**动态特性**。

3.2.1 晶体二极管的开关特性

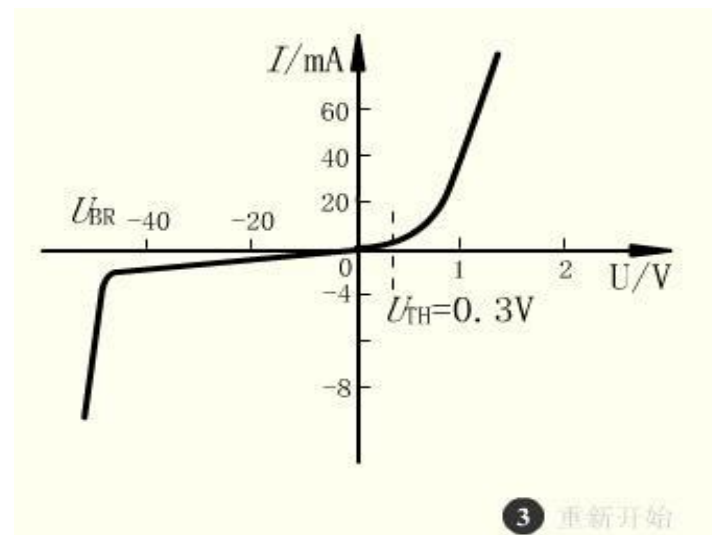
一、静态特性

静态特性是指二极管在导通和截止两种稳定状态下的特性。





典型二极管的静态特性曲线 (又称伏安特性曲线):



1. 正向特性

门槛电压 (V_{TH}): 使二极管开始导通的正向电压, 又称为阈值电压 (一般锗管约0.1V, 硅管约0.5V)。

★**正向电压 $V_D \leq V_{TH}$** : 二极管截止, 电阻很大、正向电流 I_F 接近于 0, 二极管类似于开关的断开状态;

★**正向电压 $V_D = V_{TH}$** : 二极管开始导通, 正向电流 I_F 开始上升;

★**正向电压 $V_D > V_{TH}$ (一般锗管为0.3V, 硅管为0.7V)**: 二极管充分导通, 电阻很小, 正向电流 I_F 急剧增加, 二极管类似于开关的接通状态。使二极管充分导通的电压为**导通电压**, 用 V_F 表示。





2. 反向特性

二极管在反向电压 V_R 作用下，处于截止状态，反向电阻很大，反向电流 I_R 很小（将其称为**反向饱和电流**，用 I_S 表示，通常可忽略不计），**二极管的状态类似于开关断开**。而且反向电压在一定范围内变化基本不引起反向电流的变化。

注意事项：

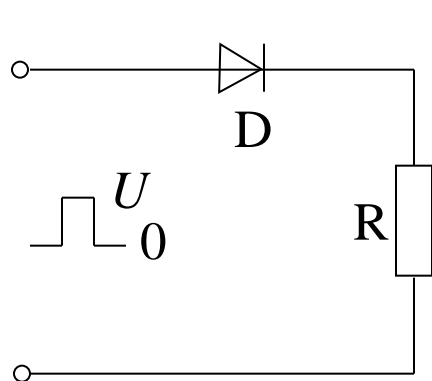
- 正向导通时可能因电流过大而导致二极管烧坏。组成实际电路时通常要串接一只电阻 R ，以限制二极管的正向电流；
- 反向电压超过某个极限值时，将使反向电流 I_R 突然猛增，致使二极管被击穿（通常将该反向电压极限值称为**反向击穿电压 V_{BR}** ），一般不允许反向电压超过此值。



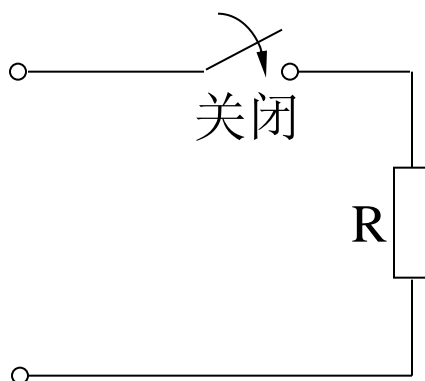


由于二极管的单向导电性，所以在数字电路中经常把它当作开关使用。

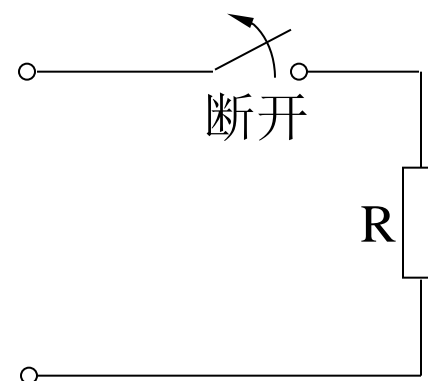
二极管组成的开关电路图如图（a）所示。二极管导通状态下的等效电路如图(b)所示，截止状态下的等效电路如图(c)所示，图中忽略了二极管的正向压降。



(a)



(b)



(c)

二极管开关电路及其等效电路





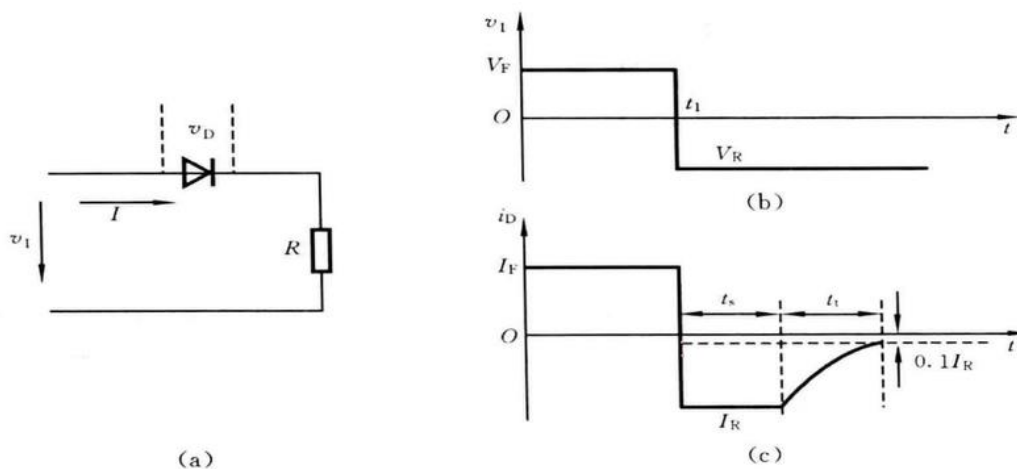
二、 动态特性

二极管的动态特性是指二极管在导通与截止两种状态转换过程中的特性，它表现在完成两种状态之间的转换需要一定的时间。为此，引入了反向恢复时间和开通时间的概念。

1. 反向恢复时间

反向恢复时间：二极管从正向导通到反向截止所需要的时间称为反向恢复时间。

反向恢复时间 $t_{re} = \text{存储时间 } t_s + \text{渡越时间 } t_t$





2. 开通时间

开通时间：二极管从反向截止到正向导通的时间称为开通时间。

二极管的开通时间很短，对开关速度影响很小，相对反向恢复时间而言几乎可以忽略不计。

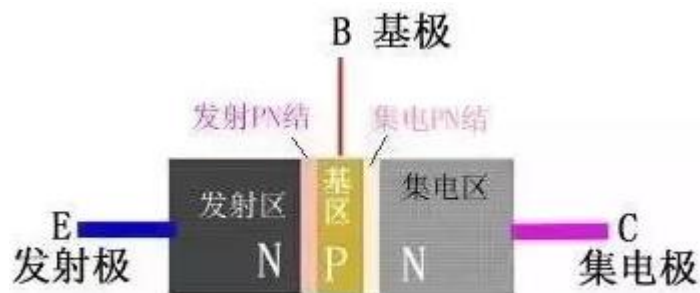




3.2.2 晶体三极管的开关特性

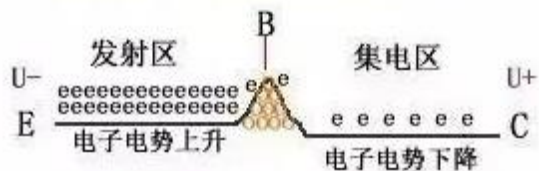
一、静态特性

晶体三极管由集电结和发射结两个PN结构成。根据两个PN结的偏置极性，三极管有**截止**、**放大**、**饱和**3种工作状态。



(a)

当集电极C与发射极E之间加上电压时



刚开始, 会有极少量发射区电子会流到集电区, 但基区势堆仍然挡住绝大多数的发射区电子流到集电区

(c)

当集\射\基极间没有外加电压时



发射区浓厚的电子被基区势堆挡住不能流到集电区

(b)

当集-射极加上电压同时, 在基极加一正电压



大量发射区电子被吸引上基区势堆顶部, 电子会自动会跌入到势堆集电区一侧, 由此产生源源不断的电流.

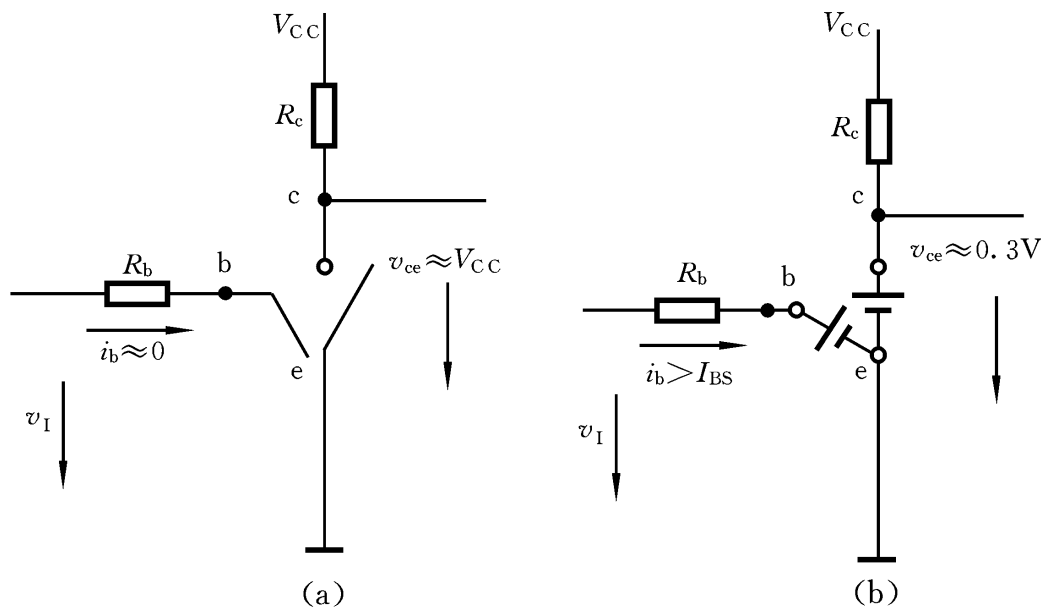
(d)





在数字逻辑电路中，三极管相当于一个由基极信号控制的无触点开关，其作用对应于触点开关的“闭合”与“断开”。

电路在三极管**截止**与**饱和**状态下的等效电路如下：



晶体三极管在**截止**与**饱和**这两种稳态下的特性称为三极管的静态开关特性。

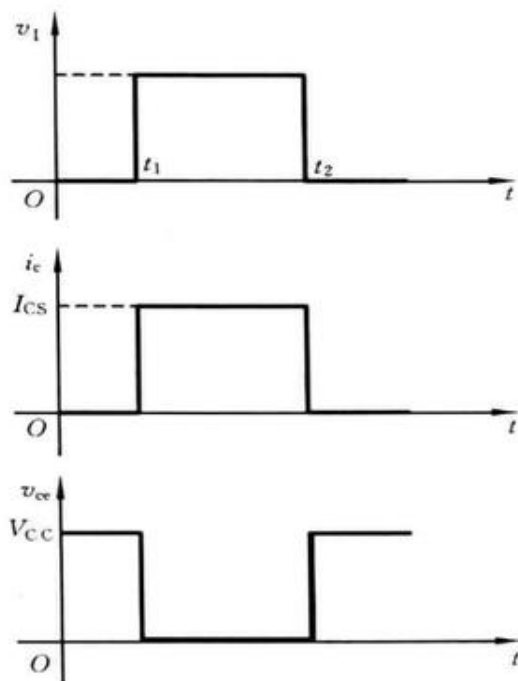




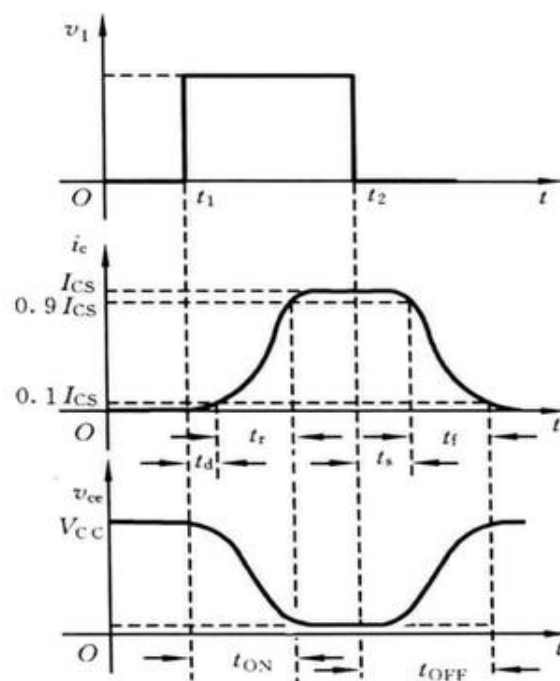
二、动态特性

晶体三极管在饱和与截止两种状态转换过程中具有的特性称为三极管的动态特性。

三极管的开关过程和二极管一样，管子内部也存在着电荷的建立与消失过程。因此，两种状态的转换也需要一定的时间才能完成。



(a)



(b)





1. 开通时间 (t_{on})

开通时间：三极管从截止状态到饱和状态所需要的时间。

$$\text{时间 } t_{on} = \text{延迟时间 } t_d + \text{上升时间 } t_r$$

2. 关闭时间 (t_{off})

关闭时间：三极管从饱和状态到截止状态所需要的时间。

$$\text{关闭时间 } t_{off} = \text{存储时间 } t_s + \text{下降时间 } t_f$$

开通时间 t_{on} 和关闭时间 t_{off} 是影响电路工作速度的主要因素。





3.2.3 MOS管的开关特性

一、静态特性

MOS管作为开关元件，同样是工作在截止或导通两种状态。**MOS管是电压控制元件，主要由栅源电压 v_{GS} 决定其工作状态。**

工作特性如下：

当 $v_{GS} < \text{开启电压 } V_{TN}$ 时： MOS管工作在截止区，MOS管处于“断开”状态；

当 $V_{DS} \geq V_{GS} - V_{TN}$ 时： MOS管工作在导通区，MOS管处于“接通”状态。

参考资料：<https://zhuanlan.zhihu.com/p/526321267>





二、动态特性

MOS管本身导通和截止时电荷积累和消散的时间很小。

动态特性主要取决于电路中杂散电容充、放电所需的时间。

为了提高MOS器件的工作速度，引入了CMOS电路。

在CMOS电路中，由于充电电路和放电电路都是低阻电路，因此，其充、放电过程都比较快，从而使CMOS电路有较高的开关速度。





3.3 逻辑门电路

实现基本逻辑运算和常用复合逻辑运算的逻辑器件统称为逻辑门电路，它们是组成数字系统的基本单元电路。

学习时应重点掌握集成逻辑门电路的功能和外部特性，以及器件的使用方法。对其内部结构和工作原理只要求作一般了解。





3.3.1 TTL 集成逻辑门电路

TTL(Transistor Transistor Logic)电路是晶体管-晶体管逻辑电路的简称。

TTL电路的功耗大、线路较复杂，使其集成度受到一定的限制，故广泛应用于中小规模逻辑电路中。

下面，对几种常见TTL门电路进行介绍，重点讨论TTL与非门。



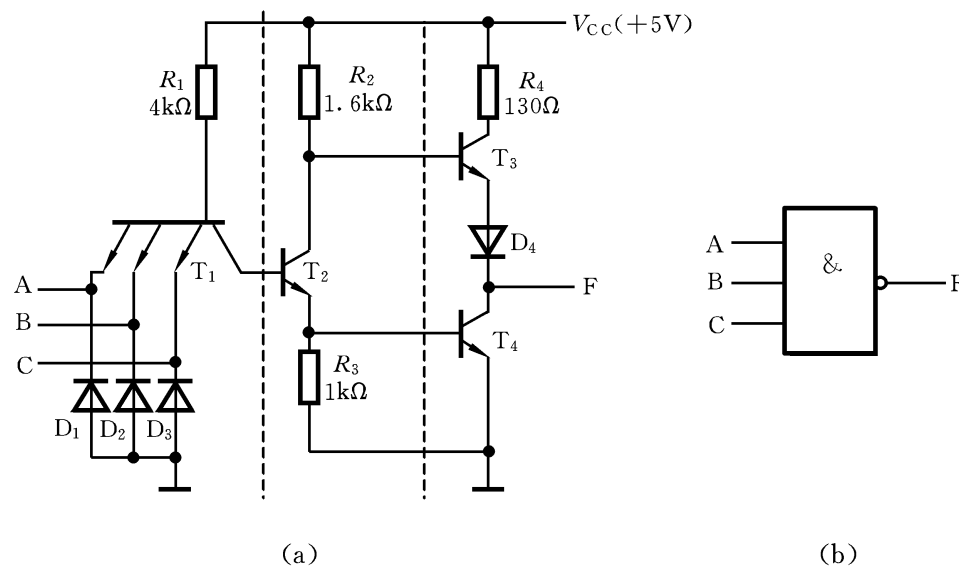


一、典型TTL与非门

1. 电路结构及工作原理

(1) 电路结构

典型TTL与非门电路图及相应逻辑符号如右图所示。



该电路可按图中虚线划分为三部分：

- 输入级**——由多发射极晶体管 T_1 和电阻 R_1 组成；
- 中间级**——由晶体管 T_2 和电阻 R_2 、 R_3 组成；
- 输出级**——由晶体管 T_3 、 T_4 、 D_4 和电阻 R_4 组成。

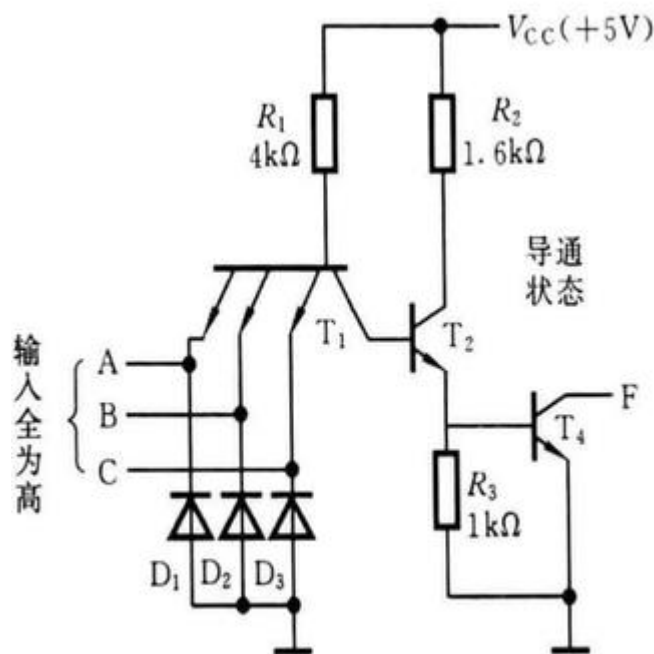


(2) 工作原理

逻辑功能分析如下：

※ **输入端全部接高电平(3.6V):** 电源 V_{cc} 通过 R_1 和 T_1 的集电结向 T_2 提供足够的基极电流, 使 T_2 饱和导通。 T_2 的发射极电流在 R_3 上产生的压降又使 T_4 饱和导通, 输出为低电平($\approx 0.3V$)。

实现了“输入全高，输出为低”的逻辑关系。



(a)

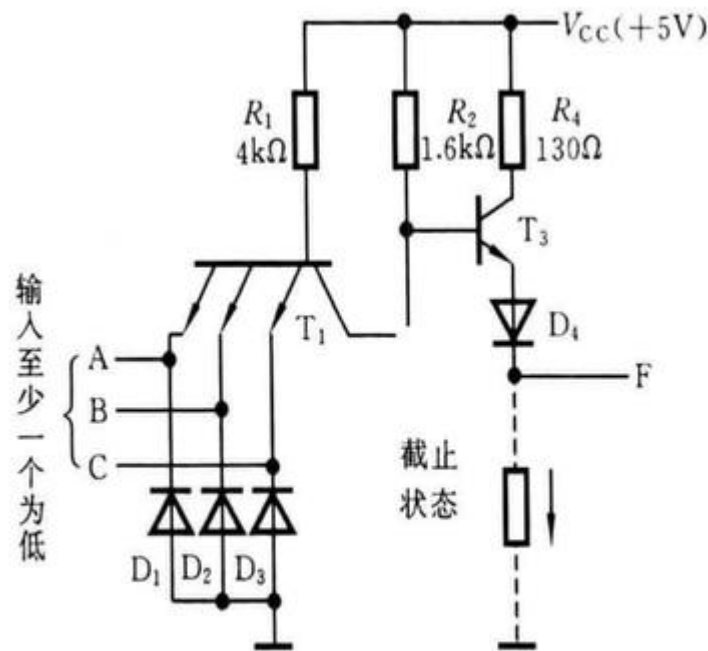




(2) 工作原理

※当有输入端接低电平(**0.3V**)时：输入端接低电平的发射结导通，使 T_1 的基极电位 $V_{b1}=0.3V+0.7V=1V$ 。该电压作用于 T_1 的集电结和 T_2 、 T_4 的发射结上，不可能使 T_2 和 T_4 导通。由于 T_2 截止，电源 V_{CC} 通过 R_2 驱动 T_3 和 D_4 管，使之工作在导通状态，电路输出为高电平($\approx 3.6V$)。

实现了“输入有低，
输出为高”的逻辑功能。



(b)





归纳：当输入A、B、C均为高电平时，输出为低电平($\approx 0V$)；当A、B、C中至少有一个为低电平时，输出为高电平($\approx 3.6V$)。输出与输入之间为“与非”逻辑，即

$$F = \overline{ABC}$$





2. 主要外部特性参数

TTL与非门的主要外部特性参数有输出逻辑电平、开门电平、关门电平、扇入系数、扇出系数、平均传输时延和空载功耗等。

- (1) 输出高电平 V_{OH} ：指至少有一个输入端接低电平时的输出电平。 V_{OH} 的典型值是3.6V。
- (2) 输出低电平 V_{OL} ：输出低电平 V_{OL} 是指输入全为高电平时的输出电平。 V_{OL} 的典型值是0.3V。
- (3) 开门电平 V_{ON} ：确保与非门输出为低电平时所允许的**最小输入高电平**，它表示使与非门开通的输入高电平最小值。 V_{ON} 的产品典型值为1.5V, 规范值为 $V_{ON} \leq 1.8V$ 。





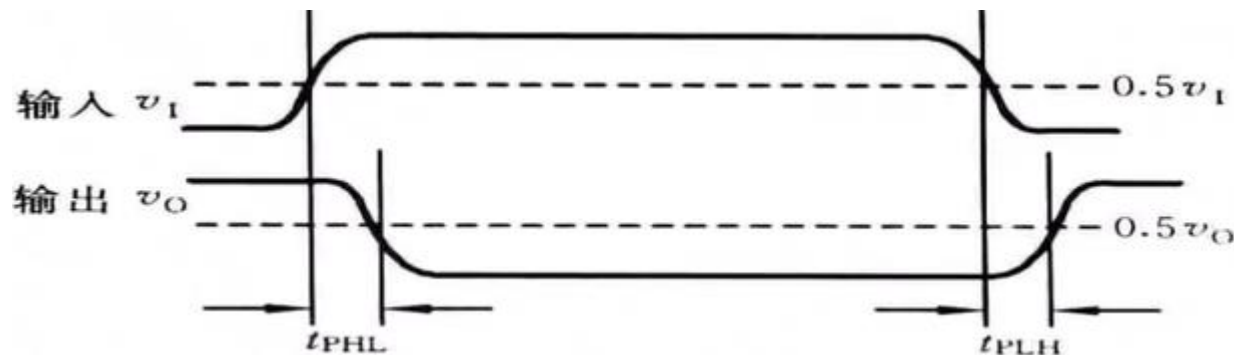
- (4) 关门电平 V_{OFF} ：确保与非门输出为高电平所允许的**最大输入低电平**，表示使与非门关断的输入低电平最大值。 V_{OFF} 的产品典型值为1.3V, 规范值 $V_{OFF} \geq 0.8V$ 。
- (5) 扇入系数 N_i ：指与非门允许的输入端数目。
- (6) 扇出系数 N_o ：指与非门输出端连接同类门的最多个数。
- (7) 输入短路电流 I_{is} ：指当与非门的某一个输入端接地而其余输入端悬空时，流过接地输入端的电流。
- (8) 高电平输入电流 I_{iH} ：指某一输入端接高电平，而其他输入端接地时，流入高电平输入端的电流，又称为输入漏电流。





(9) 平均传输延迟时间 t_{pd} : 指一个矩形波信号从与非门输入端传到与非门输出端(反相输出)所延迟的时间。通常将从输入波上沿中点到输出波下沿中点的时间延迟称为**导通延迟时间 t_{PHL}** ; 从输入波下沿中点到输出波上沿中点的时间延迟称为**截止延迟时间 t_{PLH}** 。

平均延迟时间为: $t_{pd} = (t_{PHL} + t_{PLH})/2$





(10) 空载功耗P: 指与非门空载时电源总电流 I_{CC} 和电源电压 V_{CC} 的乘积。输出为低电平时的功耗称为空载导通功耗 P_{ON} ，输出为高电平时的功耗称为空载截止功耗 P_{OFF} 。

平均功耗为: $P = (P_{ON} + P_{OFF})/2$

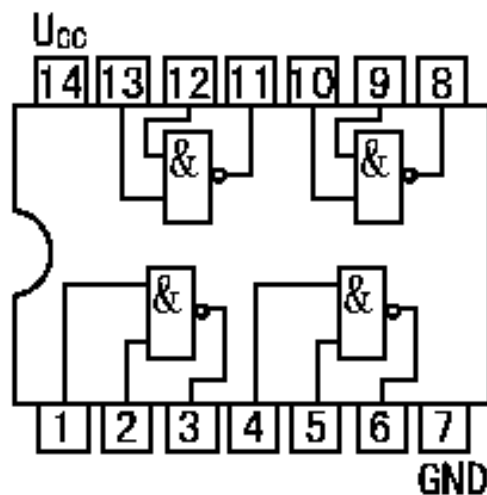




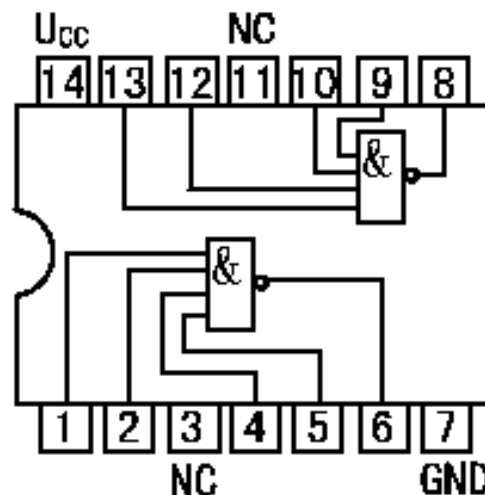
3. TTL与非门集成电路芯片

TTL与非门集成电路芯片种类很多，常用的TTL与非门集成电路芯片有7400和7420等。

7400的引脚分配图如图(a)所示；7420的引脚分配图如图(b)所示。



(a)



(b)

TTL7400、7420引脚图



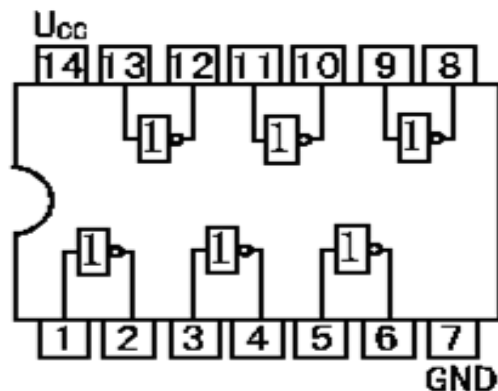


二、其他功能的TTL门电路

集成TTL门电路还有与门、或门、非门、或非门、与或非门、异或门等不同功能的产品。此外，还有两种特殊门电路——集电极开路门(OC门)和三态门(TS门)。

1. 几种常用的TTL门电路

(1) 非门



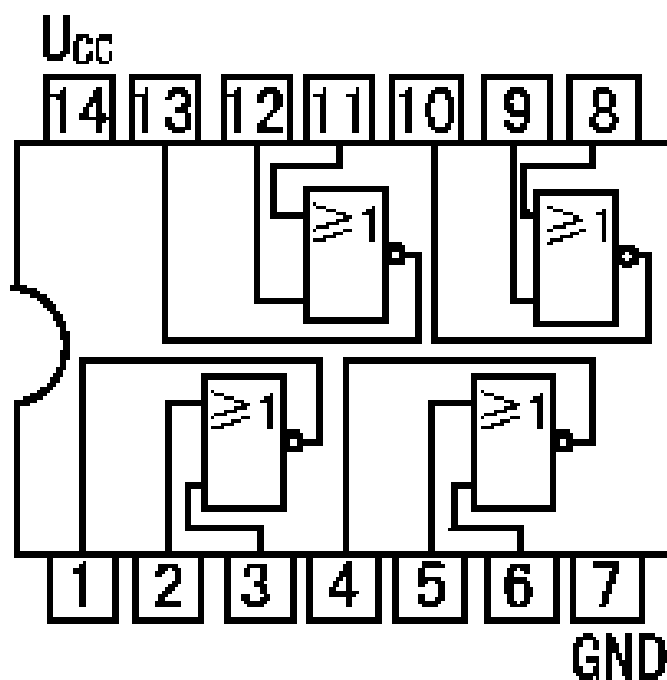
六反相器7404





(2) 或非门

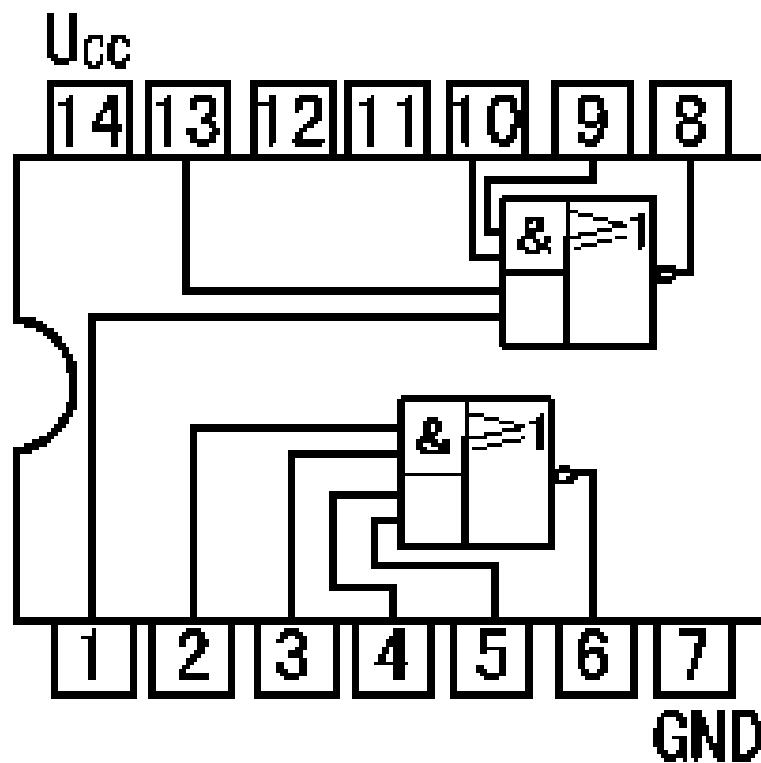
常用的TTL或非门集成电路芯片有2输入4或非门7402等。
7402的引脚分配图如下图所示。





(3) 与或非门

常用的TTL与或非门集成电路芯片7451的引脚排列图如下图所示。



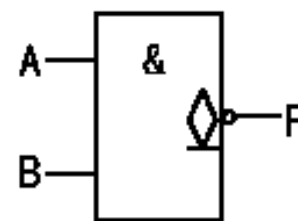
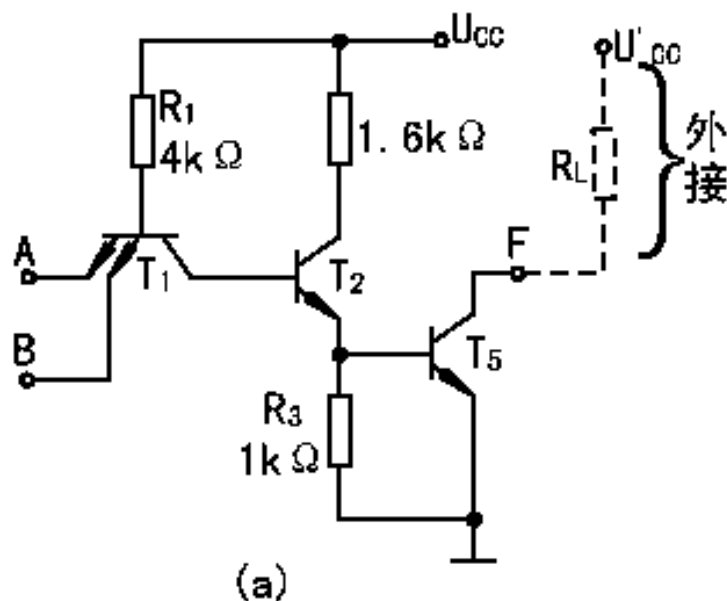


2. 两种特殊的门电路

(1) 集电极开路门(OC门)

集电极开路门(Open Collector Gate) 是一种输出端可以直接相互连接的特殊逻辑门，简称OC门。

图给出了一个集电极开路与非门的电路结构图和逻辑符号。



(a) 集电极开路与非门的电路结构图 (b) 集电极开路与非门的逻辑符号





注意！集电极开路与非门只有在外接负载电阻 R_L 和电源 U'_{CC} 后才能正常工作。

集电极开路与非门在计算机中应用很广泛，可以用它实现"线与"逻辑、电平转换以及直接驱动发光二极管、干簧继电器等。





(2) 三态输出门(TS门)

三态输出门有三种输出状态：**输出高电平**、**输出低电平**和**高阻状态**，前两种状态为工作状态，后一种状态为禁止状态。简称三态门(Three state Gate)、TS门等。

注意！三态门不是指具有三种逻辑值。

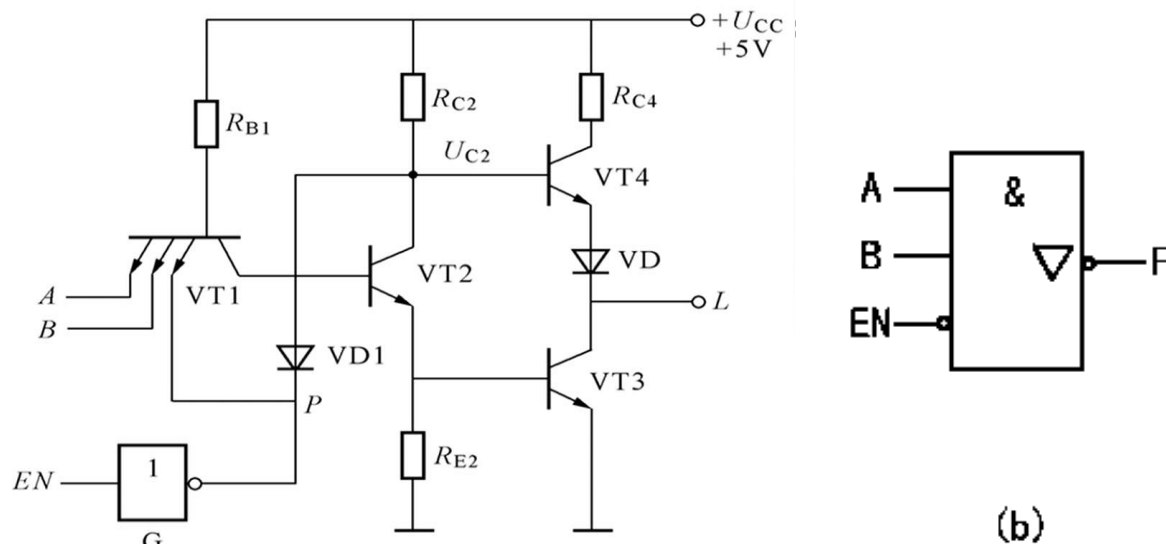
如何使电路处在工作状态和禁止状态？

通过外加控制信号！





例如：



三态输出与非门电路结构图和逻辑符号

该电路逻辑功能如下：

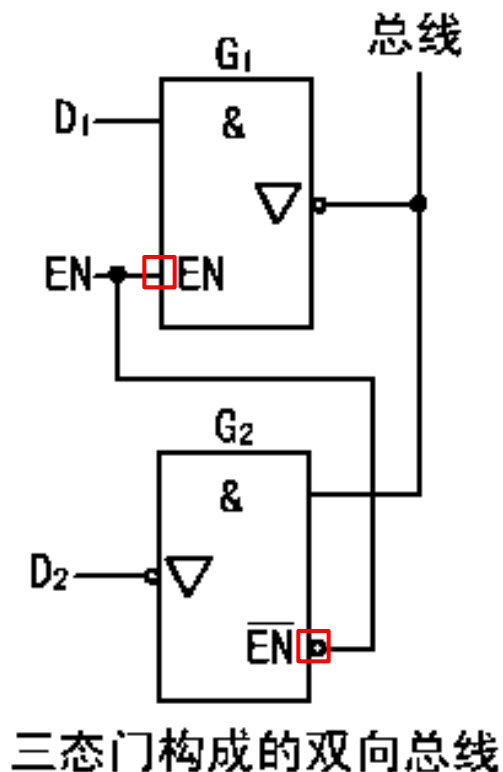
EN=0: 二极管D反偏，此时电路功能与一般与非门无区别，输出 $F = \overline{A \cdot B}$ ；

EN=1: 一方面因为 T_1 有一个输入端为低， T_1 的基极电位变为1V，使 T_2 、 T_3 截止。另一方面由于二极管导通，迫使 T_4 的基极电位(1V)变低，致使 T_4 也截止。输出F便被悬空，即处于高阻状态(电阻值极大)。





三态门常用于总线传输控制。如下图所示，用两种不同控制输入的三态门可构成的双向总线。



图中：

EN=1时： G_1 工作， G_2 处于高阻状态，数据 D_1 被取反后送至总线；

EN=0时： G_2 工作， G_1 处于高阻状态，总线上的数据被取反后送到数据端 D_2 。

实现了数据的分时双向传送。





3.3.2 CMOS集成逻辑门电路

MOS型集成门电路的主要优点：制造工艺简单、集成度高、功耗小、抗干扰能力强等；主要缺点：速度相对TTL电路较低。

MOS门电路有三种类型：

使用P沟道管的**PMOS**电路；

使用N沟道管的**NMOS**电路；

同时使用PMOS管和NMOS管的**CMOS**电路。

相比之下，**CMOS**电路性能更优，是当前应用较普遍的逻辑电路之一。下面，仅讨论CMOS集成逻辑门。

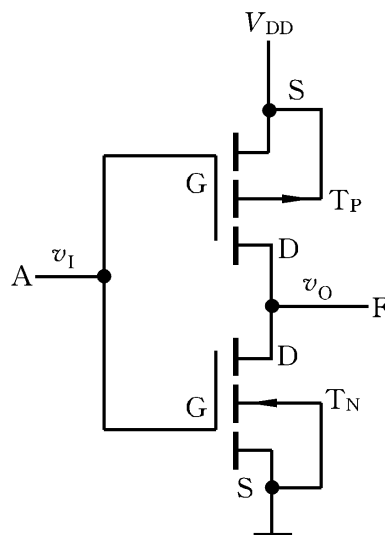




一、CMOS反相器

由一个N沟道增强型MOS管 T_N 和一个P沟道增强型MOS管 T_P 组成的CMOS反相器如下图所示。

电路正常工作条件： V_{DD} 大于 T_N 管开启电压 V_{TN} 和 T_P 管开启电压 V_{TP} 的绝对值之和，即 $V_{DD} > V_{TN} + |V_{TP}|$ 。



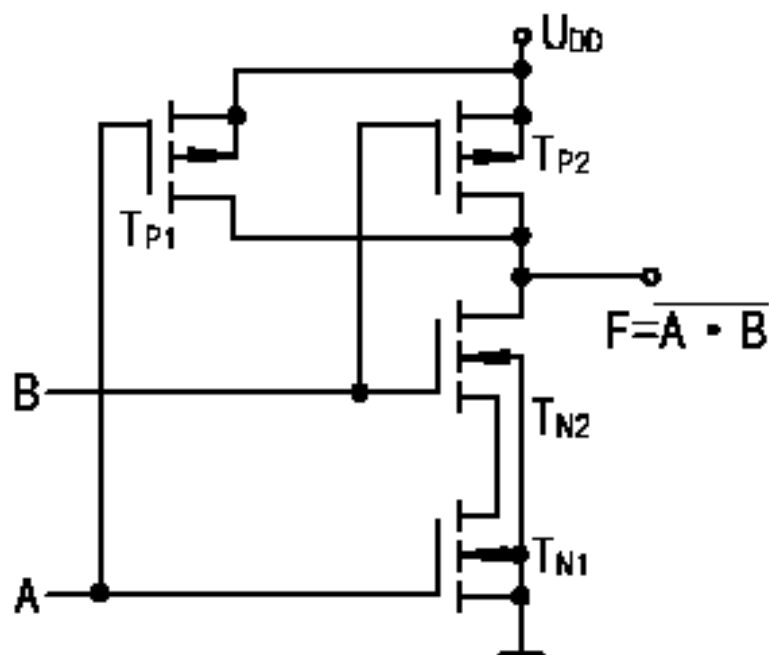
工作原理： $v_i=0V$ ， T_N 截止， T_P 导通， $v_o \approx V_{DD}$ 为高电平； $v_i = V_{DD}$ ， T_N 导通， T_P 截止， $v_o \approx 0V$ 。实现了"非"的逻辑功能。





二、CMOS与非门

由两个串联的NMOS管和两个并联的PMOS管构成的两输入端的CMOS与非门电路如下图所示。



与非门电路

工作原理:

当输入A、B均为高电平时， T_{N1} 和 T_{N2} 导通， T_{P1} 和 T_{P2} 截止，输出端F为低电平；

当输入A、B中至少有一个为低电平时，对应的 T_{N1} 和 T_{N2} 中至少有一个截止， T_{P1} 和 T_{P2} 中至少有一个导通，输出F为高电平。

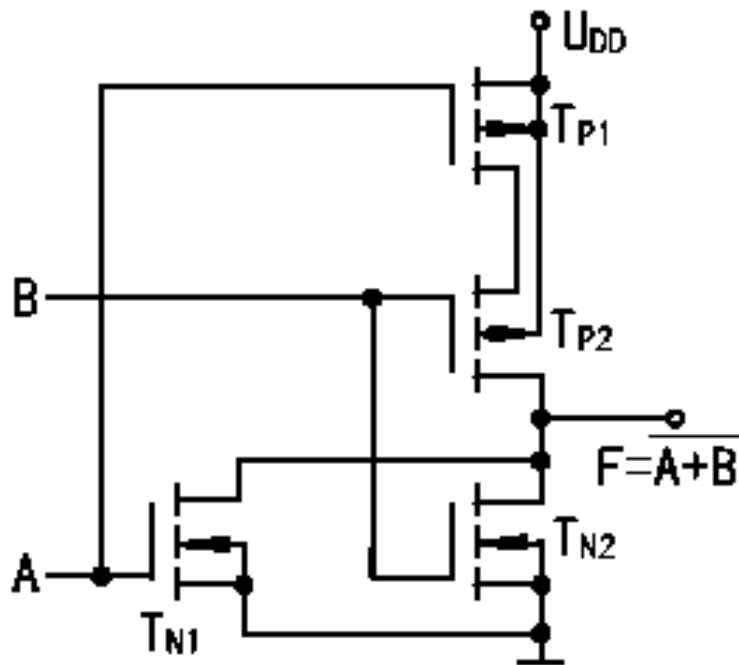
该电路实现了“与非”逻辑功能。





三、CMOS或非门

由两个并联的NMOS管和两个串联的PMOS管构成一个两个输入端的CMOS或非门电路如下图所示。每个输入端连接到一个NMOS管和一个PMOS管的栅极。



或非门电路

工作原理：

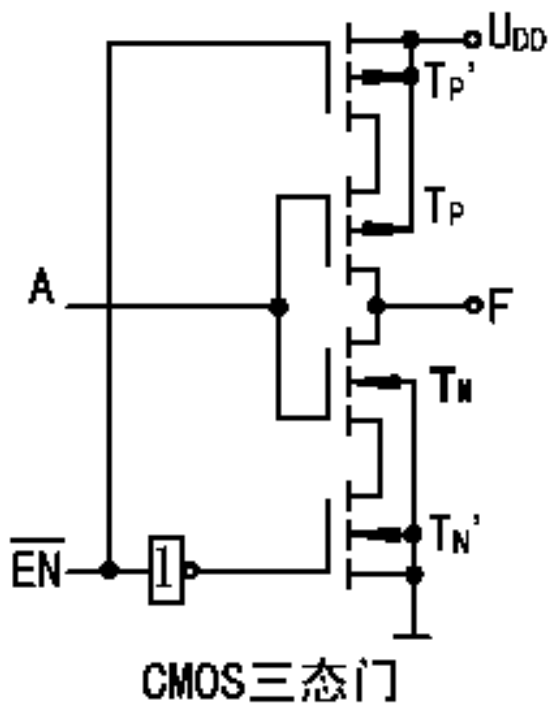
当输入A、B均为低电平时， T_{N1} 和 T_{N2} 截止， T_{P1} 和 T_{P2} 导通，输出F为高电平；

当输入端A、B中至少有一个为高电平时，则对应的 T_{N1} 、 T_{N2} 中便至少有一个导通， T_{P1} 、 T_{P2} 中便至少有一个截止，使输出F为低电平。

该电路实现了“或非”逻辑功能。



四、CMOS三态门



EN=1 : T'_N 和 T'_P 同时截止，输出F呈高阻状态；

EN = 0 : T'_N 和 T'_P 同时导通，非门正常工作，实现 $F = \overline{A}$ 的功能。





3.3.3 正逻辑和负逻辑

前面讨论各种逻辑门电路的逻辑功能时，约定用高电平表示逻辑1、低电平表示逻辑0。事实上，既可以规定用高电平表示逻辑1、低电平表示逻辑0，也可以规定用高电平表示逻辑0，低电平表示逻辑1。这就引出了正逻辑和负逻辑的概念。

正逻辑： 用高电平表示逻辑1，低电平表示逻辑0。

负逻辑： 用高电平表示逻辑0，低电平表示逻辑1。





前面讨论各种逻辑门电路时，都是按照正逻辑规定来定义其逻辑功能的。

在本课程中，若无特殊说明，约定按正逻辑讨论问题，所有门电路的符号均按正逻辑表示。





3.4 触 发 器

在数字系统中，为了构造实现各种功能的逻辑电路，除了需要实现逻辑运算的逻辑门之外，还需要有能够保存信息的逻辑器件。**触发器是一种具有记忆功能的电子器件。**

触发器能用来存储一位二进制信息。集成触发器的种类很多，分类方法也各不相同，但就其结构而言，**都是由逻辑门加上适当的反馈线耦合而成。**





触发器的特点:

☆ 有两个互补的输出端 Q 和 \overline{Q} 。

☆ 有两个稳定状态。通常将 $Q = 1$ 和 $\overline{Q} = 0$ 称为“1”状态，而把 $Q = 0$ 和 $\overline{Q} = 1$ 称为“0”状态。当输入信号不发生变化时，触发器状态稳定不变。

☆ 在一定输入信号作用下，触发器可以从一个稳定状态转移到另一个稳定状态。





现态与次态的概念：

现态:输入信号作用前的状态，记作 Q^n 和 \overline{Q}^n ，一般简记为 Q 和 \overline{Q} ；

次态:输入信号作用后的状态，记作 Q^{n+1} 和 \overline{Q}^{n+1} 。

显然，次态是现态和输入的函数。



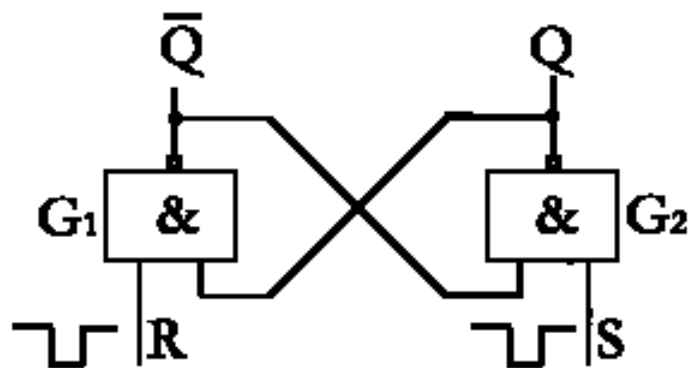


3.4.1 基本R-S触发器

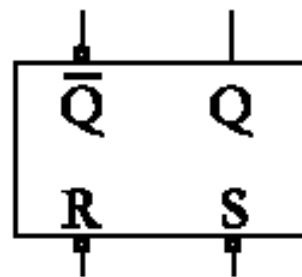
基本R-S触发器是直接复位-置位触发器的简称，由于它是构成各种功能触发器的基本部件，故称为基本R-S触发器。

一、用与非门构成的基本R-S触发器

1.组成：由两个与非门交叉耦合构成，其逻辑图和逻辑符号分别如下图 (a) 和 (b) 所示。



(a)



(b)

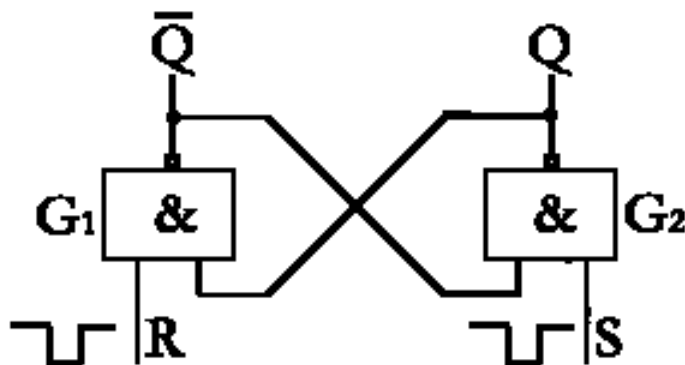
由与非门构成的 R-S 触发器

图中，**R称为置0端或者复位端，S称为置1端或置位端**；逻辑符号输入端加的小圆圈表示低电平或负脉冲有效。





2. 工作原理



- (1) 若 $R=1, S=1$, 则触发器保持原来状态不变;
- (2) 若 $R=1, S=0$, 则触发器置为1状态;
- (3) 若 $R=0, S=1$, 则触发器置为0状态;
- (4) 不允许出现 $R=0, S=0$ 。





3. 逻辑功能及其描述

触发器的逻辑功能常用**功能表**、**状态表**、**状态图**、**次态方程**和**激励表**进行描述

由与非门构成的R-S触发器的逻辑功能如下表所示。

基本R-S触发器功能表

RS	Q^{n+1}	功能说明
0 0	d	不定
0 1	0	置 0
1 0	1	置 1
1 1	Q	不变

表中"d"表示触发器次态不确定。该表又称为**次态真值表**。

表 3.14 与非门构成的基本
R-S 触发器状态表

现 态 Q	次态 Q^{n+1}			
	RS=00	RS=01	RS=11	RS=10
0	d	0	0	1
1	d	0	1	1





若把触发器次态 Q^{n+1} 表示成现态 Q 和输入 R 、 S 的函数，则卡诺图如下：

RS					
Q		00	01	11	10
	0	d	0	0	1
	1	d	0	1	1

由与非门构成的R-S
触发器的次态卡诺图

用卡诺图化简后，可得到该触发器的次态方程：

$$Q^{n+1} = \bar{S} + RQ$$

因为 R 、 S 不允许同时为0，所以输入必须满足约束条件：

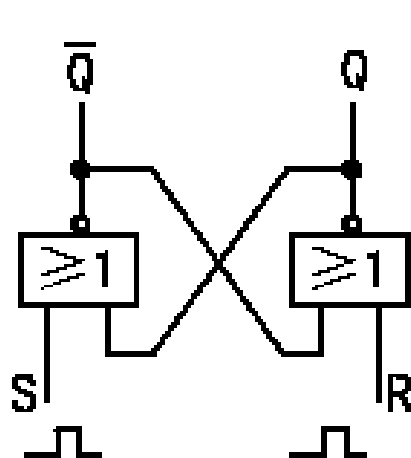
$$R + S = 1 \quad (\text{约束方程})$$



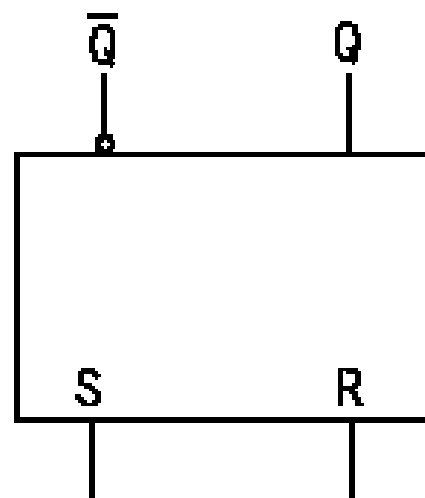


二、用或非门构成的基本R-S触发器

1. 组成：由两个或非门交叉耦合组成，其逻辑图和逻辑符号分别如图(a)和图(b)所示。



(a)



(b)

或非门构成的R-S触发器

该电路的输入是正脉冲或高电平有效，故逻辑符号的输入端不加小圆圈。





2. 逻辑功能

下表给出了由或非门构成的R-S触发器的逻辑功能。

基本R-S触发器功能表

RS	Q^{n+1}	功能说明
0 0	Q	不变
0 1	1	置 1
1 0	0	置 0
1 1	d	不定

次态方程和约束方程如下：

$$Q^{n+1} = S + \bar{R}Q \quad (\text{次态方程})$$

$$R \cdot S = 0 \quad (\text{约束方程})$$

基本R-S触发器的**优点是结构简单**。它不仅可作为记忆元件独立使用，而且由于它具有直接复位、置位功能，因而被作为各种性能完善的触发器的基本组成部分。**但由于R、S之间的约束关系，以及不能进行定时控制，使它的使用受到一定限制。**





3.4.2 几种常用的时钟控制触发器

具有时钟脉冲控制的触发器称为“**时钟控制触发器**”或者“**定时触发器**”。

时钟脉冲控制触发器的工作特点：

由时钟脉冲确定状态转换的时刻(即何时转换?)；

由输入信号确定触发器状态转换的方向(即如何转换?)。

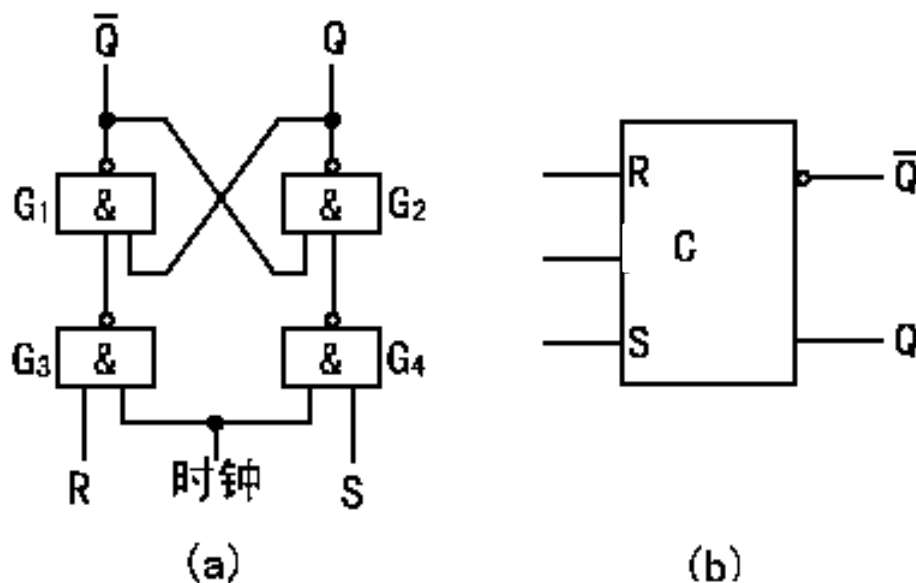
下面介绍四种最常用的时钟控制触发器。





一、 时钟控制R-S触发器

时钟控制R-S触发器的逻辑图和逻辑符号如图(a)、 (b) 所示。



时钟控制R-S触发器

1. 组成:

由四个与非门构成。其中，与非门 G_1 、 G_2 构成基本R-S触发器；与非门 G_3 、 G_4 组成控制电路，通常称为控制门。





2. 工作原理

● 当时钟脉冲没有到来（即 $C=0$ ）时，不管 R 、 S 端为何值，两个控制门的输出均为1，触发器状态保持不变。

● 当时钟脉冲到来（即 $C=1$ ）时，输入端 R 、 S 的值 可以通过控制门作用于上面的基本 R - S 触发器。

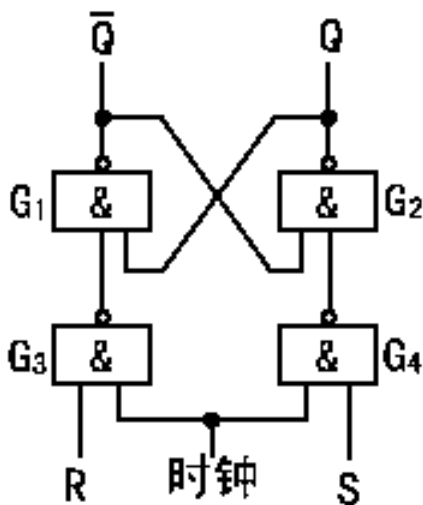
具体如下：

$R=0, S=0$: 控制门 G_3 、 G_4 的输出均为1，触发器状态保持不变；

$R=0, S=1$: 控制门 G_3 、 G_4 的输出分别为1和0，触发器状态置成1状态；

$R=1, S=0$: 控制门 G_3 、 G_4 的输出分别为0和1，触发器状态置成0状态；

$R=1, S=1$: 控制门 G_3 、 G_4 的输出均为0，触发器状态不确定，这是不允许的。





由分析可知：时钟控制R-S触发器的工作过程是由时钟信号C和输入信号R、S共同作用的；时钟C控制转换时间，输入R和S确定转换后的状态。

3. 逻辑功能

时钟控制R-S触发器的功能表、次态方程和约束条件与由或非门构成的R-S触发器相同。

在时钟控制触发器中，时钟信号C是一种固定的时间基准，通常不作为输入信号列入表中。对触发器功能进行描述时，均只考虑时钟作用($C=1$)时的情况。

注意！ 时钟控制R-S触发器虽然解决了对触发器工作进行定时控制的问题，而且具有结构简单等优点，但依然存在如下不足：

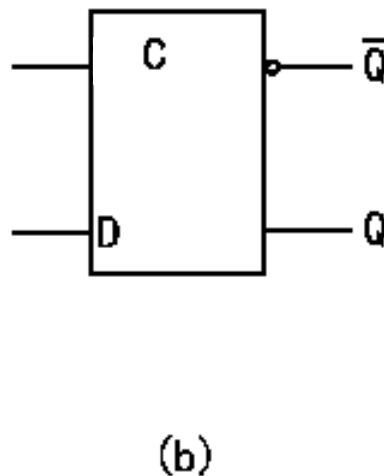
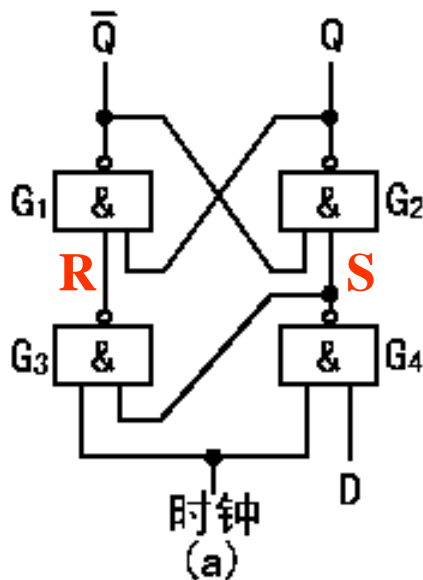
- 输入信号依然存在约束条件，即R、S不能同时为1；





二、D触发器

对时钟控制R-S触发器的控制电路稍加修改，使之变成如下图(a)所示的形式，这样便形成了只有一个输入端的D触发器。其逻辑符号如图 (b)所示。



D触发器的逻辑图和逻辑符号

修改后，控制电路在时钟脉冲作用期间($C=1$ 时)，将输入信号D转换成一对互补信号送至基本R-S触发器的两个输入端，使基本R-S触发器的两个输入信号只可能是01或者10两种组合，从而消除了状态不确定现象，解决了对输入的约束问题。

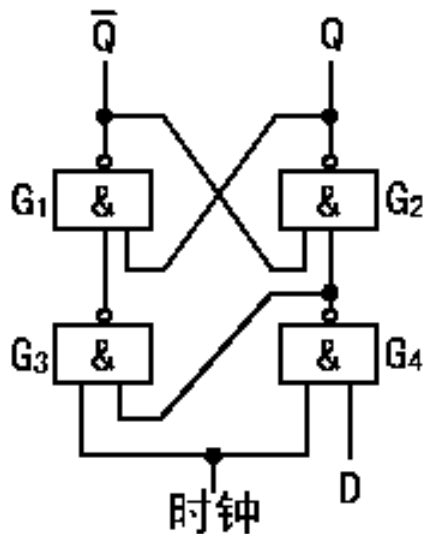




工作原理如下：

当无时钟脉冲作用（即 $C=0$ ）时，控制电路被封锁，无论 D 为何值，与非门 G_3 、 G_4 输出均为1，触发器状态保持不变。

当时钟脉冲作用（即 $C=1$ ）时，若 $D=0$ ，则门 G_4 输出为1，门 G_3 输出为0，触发器状态被置0；若 $D=1$ ，则门 G_4 输出为0，门 G_3 输出为1，触发器状态被置1。



在时钟作用时，D触发器状态的变化仅取决于输入信号 D ，而与现态无关。其次态方程为

$$Q^{(n+1)} = D$$

D触发器的逻辑功能如右表所示。

D 触发器功能表

D	Q^{n+1}
0	0
1	1

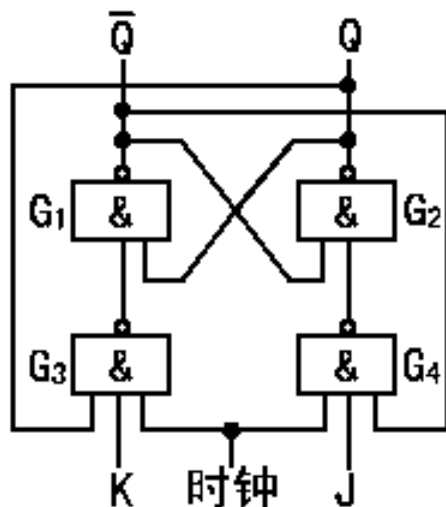




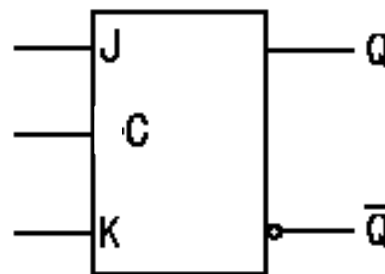
三、J-K 触发器

在时钟控制R-S触发器中增加两条反馈线，将触发器的输出 Q 和 \bar{Q} 交叉反馈到两个控制门的输入端，并把原来的输入端S改成J，R改成K，即可改进成J-K触发器。

J-K触发器的逻辑图和逻辑符号如下图所示。



(a)



(b)

J-K触发器的逻辑图和逻辑符号

该触发器利用触发器两个输出端信号始终互补的特点，有效地解决了时钟控制R-S触发器在时钟脉冲作用期间两个输入同时为1将导致触发器状态不确定的问题。





J-K触发器的工作原理如下：

(1) 无时钟脉冲 ($C=0$)时，触发器保持原来状态不变。

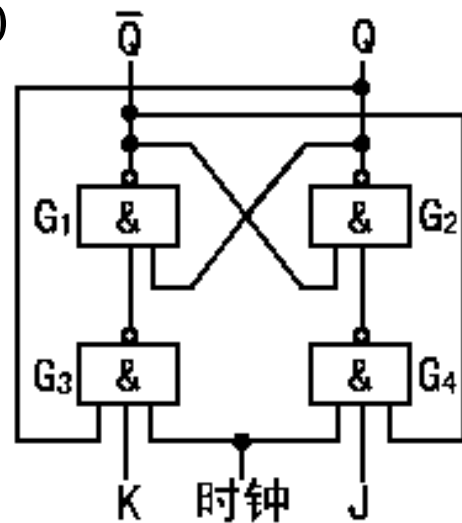
(2) 时钟脉冲作用($C=1$)时，与J、K相关。

① $J=0, K=0$ ：触发器状态不变。

② $J=0, K=1$ ：若原来处于0状态，触发器保持0状态不变；若原来处于1状态，触发器状态置成0。即 **$JK=01$ 时，触发器次态一定为0状态。**

③ $J=1, K=0$ ：若原来处于0状态，触发器状态置成1；若原来处于1状态，触发器保持1态不变。即 **$JK=10$ 时，触发器次态一定为1状态。**

④ $J=1, K=1$ ：若原来处于0状态，触发器置成1 状态；若原来处于1状态，触发器置成0状态。 即 **$JK=11$ 时，触发器的次态与现态相反。**





归纳起来，J-K触发器的功能表如下表所示。

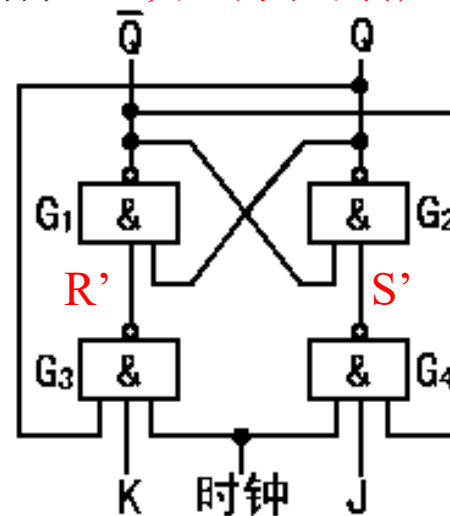
J-K触发器功能表

J K	Q^{n+1}	功能说明
0 0	Q	不变
0 1	0	置 0
1 0	1	置 1
1 1	\overline{Q}	翻转

次态方程为

$$Q^{n+1} = J\overline{Q} + \overline{K}Q$$

补充：次态方程的推导



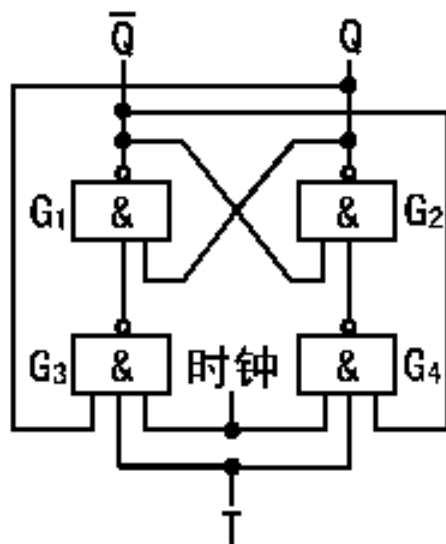
上述J-K触发器结构简单，且具有较强的逻辑功能，但依然存在“空翻”现象。为进一步解决“空翻”问题，实际中广泛采用主从J-K触发器。



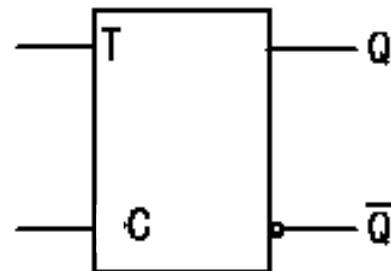


四、T 触发器

T触发器又称为计数触发器。如果把J-K触发器的两个输入端J和K连接起来，并把连接在一起的输入端用符号T表示，就构成了T触发器。相应的逻辑图和逻辑符号分别如图(a)和图(b)所示。



(a)



(b)

T触发器的逻辑图和逻辑符号





T触发器的逻辑功能可直接由J-K触发器的次态方程导出。J-K触发器的次态方程为

$$Q^{(n+1)} = J\bar{Q} + \bar{K}Q$$

将该方程中的J和K均用T代替后，即可得到T触发器的次态方程：

$$Q^{(n+1)} = T\bar{Q} + \bar{T}Q$$

根据次态方程，可列出T触发器的功能表如下表所示。

T触发器功能表

T	Q^{n+1}	功能说明
0	Q	不 变
1	\bar{Q}	翻 转

功能：

当T=0时，触发器状态
保持不变；

当T=1时，在时钟脉冲
作用下状态翻转，相当于一
位二进制计数器。





上述由四个逻辑门构成的触发器存在空翻问题，所谓“**空翻**”是指在同一个人时钟脉冲作用期间触发器状态发生两次或两次以上变化的现象。

补充：**JK**触发器的空翻实例

引起空翻的原因是什么？

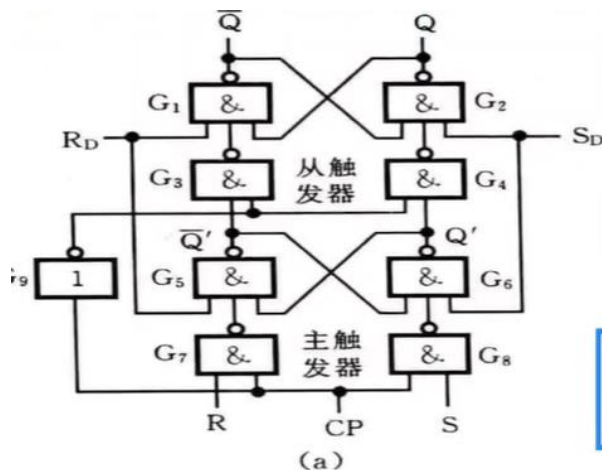
因为在时钟脉冲作用期间，输入信号直接控制着触发器状态的变化。即当时钟C为1时，输入信号R、S发生变化，触发器状态会跟着变化，从而使得一个时钟脉冲作用期间引起多次翻转。



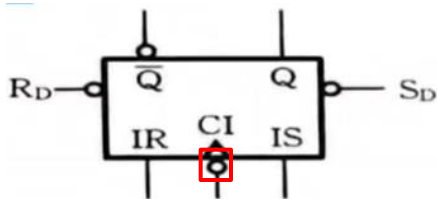


为了克服“空翻”现象，实际数字电路中使用的集成T触发器通常采用**主从式结构**或者**维持阻塞结构**。它们除了在性能方面的改进外，逻辑功能与上述触发器完全相同。

主从R-S触发器的工作原理如下：



- S_D 和 R_D 为直接置1端和直接清0端，低电平有效，平时为高电平。
- $CP=0$ ，主触发器锁定，从触发器工作
- $CP=1$ ，主触发器工作，从触发器锁定



下降沿触发

补充：主从R-S触发器的波形图P87





- 无钟控触发器：输出实时计算
- 钟控触发器：在工作状态下实时计算
- 主从触发器：时钟下降沿瞬间计算

上面介绍了四种不同类型的时钟控制触发器，这些触发器之间可以进行逻辑功能的转换。

一般来说，在原触发器的输入端加上一定的转换逻辑电路，就可以构成具有新的逻辑功能的触发器。有关转换方法可参见教材中有关部分。

