



第四章

组合逻辑电路





本章知识要点：



- ※ 组合逻辑电路**分析**和**设计**的基本方法；
- ※ 组合逻辑电路设计中的几个实际问题；
- ※ 组合逻辑电路中的**竞争与险象**问题。



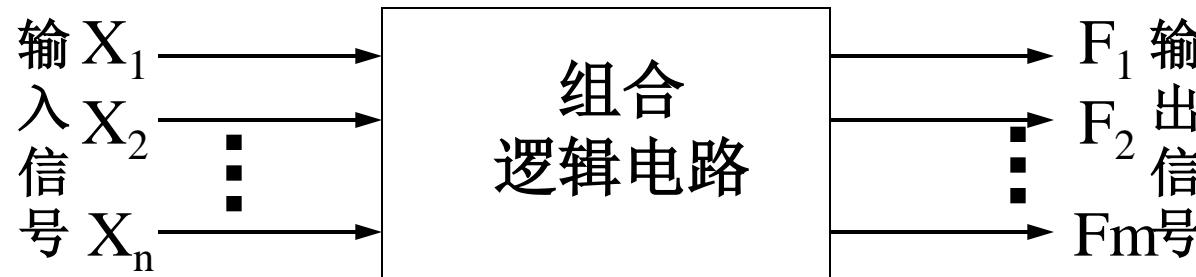


4. 1 基本概念

一、定义

若逻辑电路在任何时刻产生的稳定输出值仅仅取决于该时刻各输入值的组合，而与过去的输入值无关，则称为组合逻辑电路。

二、结构





三、描述

可用一组逻辑函数表达式进行描述其逻辑功能，函数表达式可表示为

$$F_i = f_i(X_1, X_2, \dots, X_n) \quad i = 1, 2, \dots, m$$

四、特点

组合电路具有两个特点：

- ① 由逻辑门电路组成，不包含任何记忆元件；
- ② 信号是单向传输的，不存在反馈回路。





4.2 组合逻辑电路分析

所谓逻辑电路分析，是指对一个给定的逻辑电路，找出其输出与输入之间的逻辑关系。

一、分析的一般步骤

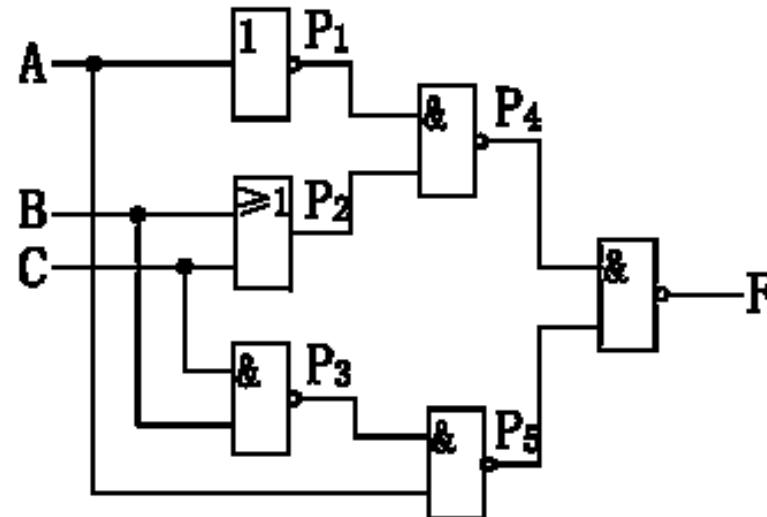
1. 根据逻辑电路图写出输出函数表达式
2. 化简输出函数表达式
3. 列出输出函数真值表
4. 功能评述与评价





二、分析举例

例 分析下图所示组合逻辑电路。



解 ① 根据逻辑电路图写出输出函数表达式

$$P_1 = \overline{A} \quad P_2 = B + C \quad P_3 = \overline{B \cdot C}$$

$$P_4 = \overline{P_1 \cdot P_2} = \overline{\overline{A}(B + C)} \quad P_5 = \overline{A \cdot P_3} = \overline{\overline{A}\overline{B \cdot C}}$$

$$F = \overline{P_4 \cdot P_5} = \overline{\overline{\overline{A}(B + C)} \cdot \overline{\overline{A}\overline{B \cdot C}}}$$





② 化简输出函数表达式

用代数法对输出函数F的表达式化简如下：

$$\begin{aligned} F &= \overline{P_4 \cdot P_5} = \overline{\overline{A}(B+C)} \cdot \overline{ABC} \\ &= \overline{A}(B+C) + A\overline{BC} \\ &= \overline{AB} + \overline{AC} + A\overline{B} + A\overline{C} \\ &= A \oplus B + A \oplus C \end{aligned}$$

③ 列出真值表

该函数的真值表如下：

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

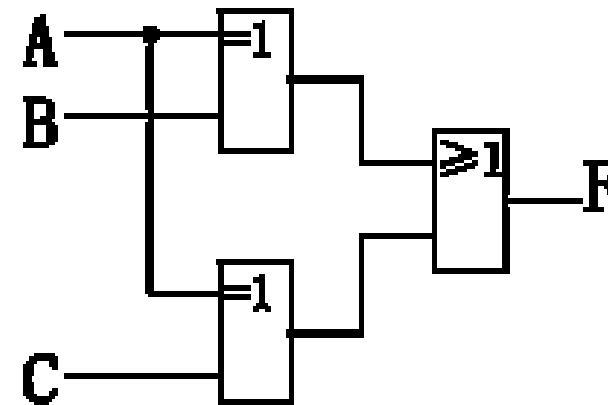




④ 功能评述

由真值表可知，该电路具有检查输入信号取值是否一致的逻辑功能，一旦输出为1，则表明输入不一致。通常称该电路为“**不一致电路**”。

由分析可知，该电路的设计方案并不是最简的。根据化简后的输出函数表达式，可采用异或门和或门画出实现给定功能的逻辑电路图如下图所示。



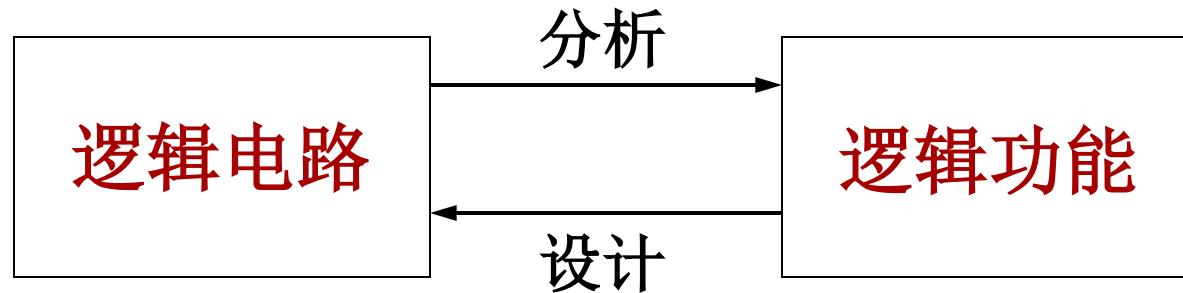
习题： 5-2





4.3 组合逻辑电路设计

根据问题要求完成的逻辑功能，求出在特定条件下实现给定功能的逻辑电路，称为**逻辑设计**，又叫做**逻辑综合**。



4.3.1 设计方法概述

由于实际应用中提出的各种设计要求一般是以文字形式描述的，所以，逻辑设计的首要任务是将文字描述的设计要求抽象为一种逻辑关系。对于组合逻辑电路，即抽象出描述问题的逻辑表达式。





设计的一般过程：

1. 建立给定问题的逻辑描述

这一步的关键是弄清楚电路的输入和输出，建立输入和输出之间的逻辑关系，得到描述给定问题的逻辑表达式。求逻辑表达式有两种常用方法，即真值表法和分析法。

2. 求出逻辑函数的最简表达式

为了使逻辑电路中包含的逻辑门最少且连线最少，要对逻辑表达式进行化简，求出描述设计问题的最简表达式。

3. 选择逻辑门类型并将逻辑函数转换成相应形式

根据简化后的逻辑表达式及问题的具体要求，选择合适的逻辑门，并将逻辑表达式转换成与所选逻辑门对应的形式。

4. 画出逻辑电路图

根据实际问题的难易程度和设计者熟练程度，有时可跳过其中的某些步骤。设计过程可视具体情况灵活掌握。





4.3.2 设计举例

例 设计一个三变量“多数表决电路”。

解 分析：“多数表决电路”是按照少数服从多数的原则对某项决议进行表决，确定是否通过。

令 逻辑变量A、B、C —— 分别代表参加表决的3个成员，并约定逻辑变量取值为0表示反对，取值为1表示赞成；

逻辑函数 F—— 表示表决结果。F取值为0表示决议被否定，F取值为1表示决议通过。

按照少数服从多数的原则可知，函数和变量的关系是：当3个变量A、B、C中有2个或2个以上取值为1时，函数F的值为1，其他情况下函数F的值为0。





① 建立给定问题的逻辑描述

假定采用“真值表法”，可作出真值表如下表所示。

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

由真值表可写出函数F的最小项表达式为

$$F(A,B,C) = \sum m(3,5,6,7)$$





② 求出逻辑函数的最简表达式

作出函数 $F(A,B,C) = \sum m(3,5,6,7)$ 的卡诺图如下图所示。

		A	B	00	01	11	10
		C	0	0	1	0	0
0	0	0	0	1	1	0	0
	1	0	1	1	1	1	1

用卡诺图化简后得到函数的最简“与-或”表达式为

$$F(A, B, C) = AB + AC + BC$$

③ 选择逻辑门类型并进行逻辑函数变换

假定采用与非门构成实现给定功能的电路，则应将上述表达式变换成“与非-与非”表达式。即

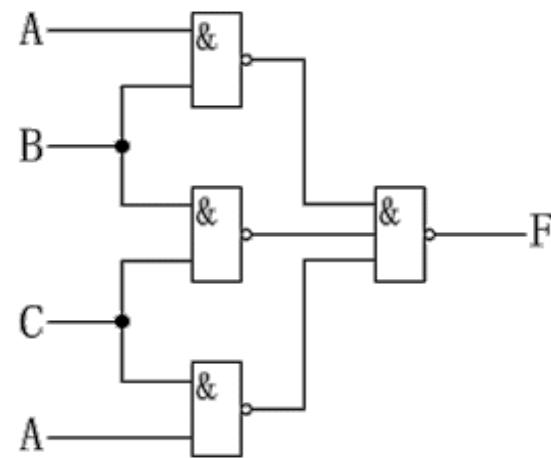
$$F(A, B, C) = \overline{\overline{AB} + \overline{AC} + \overline{BC}} = \overline{\overline{AB} \cdot \overline{AC} \cdot \overline{BC}}$$





④ 画出逻辑电路图

由函数的“与非-与非”表达式，可画出实现给定功能的逻辑电路图如下图所示。



本例采用的是“真值表法”，真值表法的优点是规整、清晰；缺点是不方便，尤其当变量较多时十分麻烦。





4.3.3 设计中几个实际问题的处理

一、包含无关条件的组合逻辑电路设计

在某些实际问题中，常常由于输入变量之间存在的相互制约或问题的某种特殊限定等，使得逻辑函数与输入变量的某些取值组合无关，通常把这类问题称为与包含无关条件的逻辑问题；描述这类问题的逻辑函数称为包含无关条件的逻辑函数。

无关最小项的概念：由于输入变量之间存在的相互制约或问题的某种特殊限定，使输出函数与某些变量取值无关，这些输入取值组合对应的最小项称为无关最小项，简称为无关项或者任意项。





当采用“最小项之和”表达式描述一个包含无关条件的逻辑问题时，函数表达式中是否包含无关项，以及对无关项是令其值为1还是为0，并不影响函数的实际逻辑功能。

注意：在化简这类逻辑函数时，利无关项用随意性往往可以使逻辑函数得到更好地简化，从而使设计的电路达到更简！





例 设计一个组合逻辑电路，用于判别以余3码表示的1位十进制数是否为合数。

解 设输入变量为ABCD，输出函数为F，当ABCD表示的十进制数为合数(4、6、8、9)时，输出F为1，否则F为0。

因为按照余3码的编码规则，ABCD的取值组合不允许为0000、0001、0010、1101、1110、1111，故该问题为包含无关条件的逻辑问题，与上述6种取值组合对应的最小项为无关项，即在这些取值组合下输出函数F的值可以随意指定为1或者为0，通常记为“d”。





根据分析，可建立描述该问题的真值表如下表所示。

A	B	C	D	F	A	B	C	D	F
0	0	0	0	d	1	0	0	0	0
0	0	0	1	d	1	0	0	1	1
0	0	1	0	d	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	d
0	1	1	0	0	1	1	1	0	d
0	1	1	1	1	1	1	1	1	d

由真值表可写出F 的逻辑表达式为

$$F(A,B,C,D) = \sum m(7,9,11,12) + \sum d(0,1,2,13,14,15)$$





► 若不考虑无关项，则函数F的卡诺图如下图所示。

		AB	00	01	11	10
		CD	00	01	11	10
AB	CD	00	d	0	1	0
		01	d	0	d	1
		11	0	1	d	1
		10	d	0	d	0

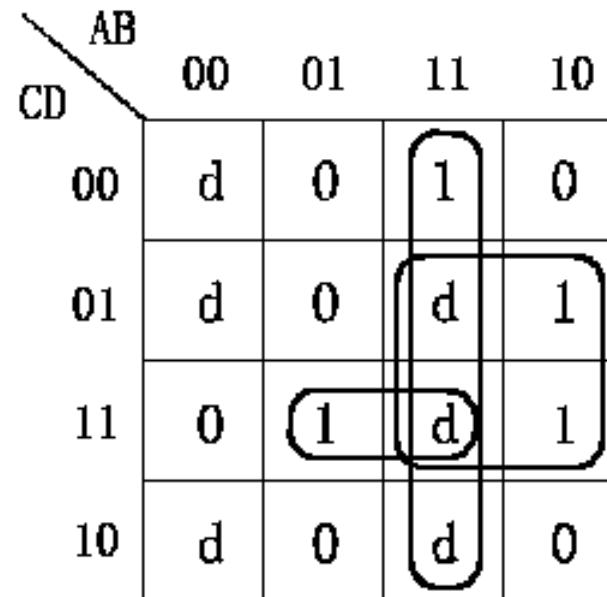
合并卡诺图上的1方格，可得到化简后的逻辑表达式为

$$F(A, B, C, D) = A\bar{B}D + ABC \cdot \bar{D} + \bar{A}BCD$$





► 若考虑无关项，则函数F的卡诺图下图所示。



根据合并的需要将卡诺图中的无关项d(13, 14, 15)当成1处理，而把d(0,1,2)当成0处理，可得到化简后的逻辑表达式为

$$F(A, B, C, D) = AB + AD + BCD$$

显然，后一个表达式比前一个表达式更简单。

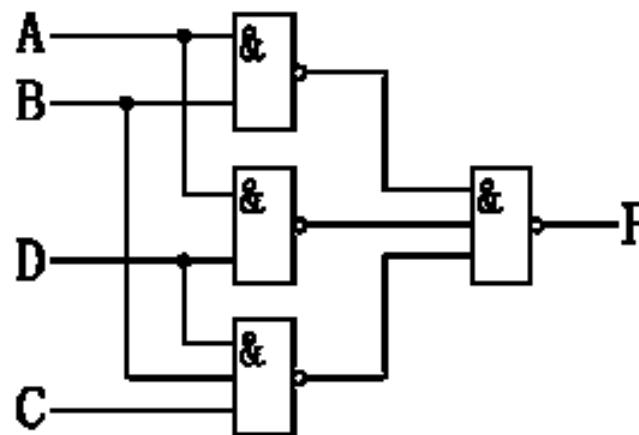




假定采用与非门组成实现给定逻辑功能的电路，可将F的最简表达式变换为“与非-与非”表达式：

$$F(A, B, C, D) = \overline{\overline{AB + AD + BCD}} = \overline{\overline{AB} \cdot \overline{AD} \cdot \overline{BCD}}$$

相应的逻辑电路图如下图所示。



由此可见，设计包含无关条件的组合逻辑电路时，恰当地利用无关项进行函数化简，通常可使设计出来的电路更简单。

习题：6-2





二、多输出函数的组合逻辑电路设计

实际问题中，大量存在着由同一组输入变量产生多个输出函数的问题，实现这类问题的组合逻辑电路称为**多输出函数的组合逻辑电路**。多输出组合电路达到最简的关键是在函数化简时找出各输出函数的**公用项**，使之在逻辑电路中实现对**逻辑门的“共享”**，从而达到电路整体结构最简。

例 设计一个全加器（逻辑门自选）。

解 全加器：能对两个1位二进制数及来自低位的“进位”进行相加，产生本位“和”及向高位“进位”的逻辑电路。

全加器可用于实现两个n位数相加。

显然，全加器有3个输入变量，2个输出函数。





设：被加数、加数及来自低位的“进位”分别用变量 A_i 、 B_i 及 C_{i-1} 表示，相加产生的“和”及“进位”用 S_i 和 C_i 表示。

根据二进制加法运算法则可列出全加器的真值表如下表所示。

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由真值表可写出输出函数表达式：

$$S_i(A_i, B_i, C_{i-1}) = \sum m(1, 2, 4, 7)$$

$$C_i(A_i, B_i, C_{i-1}) = \sum m(3, 5, 6, 7)$$





假定采用卡诺图化简上述函数，则可作出相应卡诺图如下图所示。

		A_iB_i	00	01	11	10	
		C_{i-1}	0	0	1	0	1
			1	1	0	1	0
			0	0	1	0	1
			1	1	0	1	0

S_i

		A_iB_i	00	01	11	10	
		C_{i-1}	0	0	0	1	0
			1	0	1	1	1
			0	0	0	1	0
			1	0	1	1	1

C_i

经化简后的输出函数表达式为

$$S_i = \overline{A_i} \cdot \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C}_{i-1} + A_i \overline{B_i} \cdot \overline{C}_{i-1} + A_i B_i C_{i-1}$$

$$C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

其中， S_i 的标准“与-或”式即最简“与-或”式。

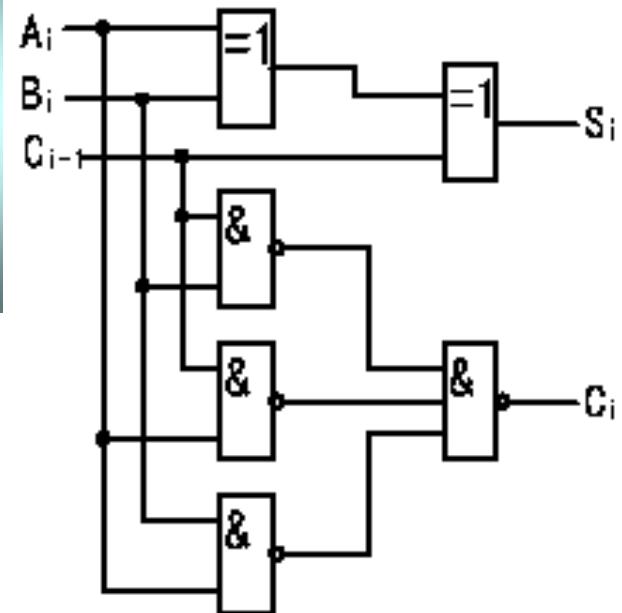




当采用异或门和与非门构成实现给定功能的电路时，可分别对表达式作如下变换：

$$\begin{aligned}S_i &= \overline{A_i} \cdot \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \cdot \overline{C_{i-1}} + A_i B_i C_{i-1} \\&= \overline{A_i} (\overline{B_i} C_{i-1} + B_i \overline{C_{i-1}}) + A_i (\overline{B_i} \cdot \overline{C_{i-1}} + B_i C_{i-1}) \\&= \overline{A_i} (B_i \oplus C_{i-1}) + A_i (\overline{B_i} \oplus \overline{C_{i-1}}) \\&= A_i \oplus B_i \oplus C_{i-1}\end{aligned}$$

$$\begin{aligned}C_i &= A_i B_i + A_i C_{i-1} + B_i C_{i-1} \\&= \overline{\overline{A_i} \overline{B_i}} \cdot \overline{\overline{A_i} \overline{C_{i-1}}} \cdot \overline{\overline{B_i} \overline{C_{i-1}}}\end{aligned}$$



相应的逻辑电路图如右图所示。

该电路就单个函数而言， A_i 、 C_i 均已达到最简，但从整体考虑则并非最简。





当按多输出函数组合电路进行设计时，可对函数 C_i 作如下变换：

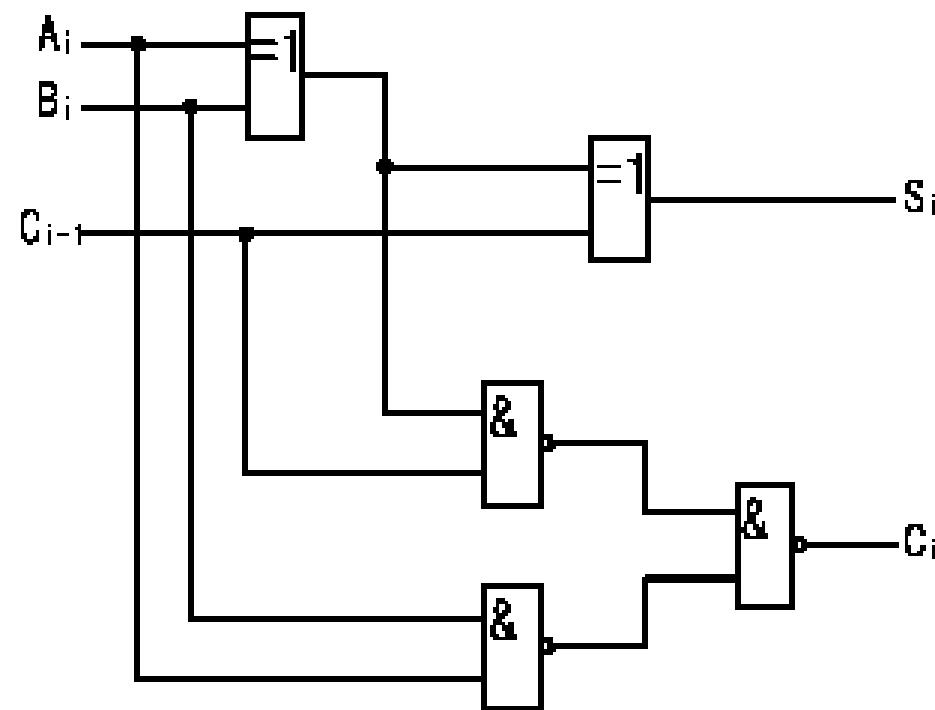
$$\begin{aligned}C_i &= \overline{A_i}B_iC_{i-1} + A_i\overline{B_i}C_{i-1} + A_iB_i\overline{C_{i-1}} + A_iB_iC_{i-1} \\&= (\overline{A_i}B_i + A_i\overline{B_i})C_{i-1} + A_iB_i(\overline{C_{i-1}} + C_{i-1}) \\&= (A_i \oplus B_i)C_{i-1} + A_iB_i \\&= \overline{(A_i \oplus B_i)C_{i-1}} \cdot \overline{A_iB_i}\end{aligned}$$

经变换后， S_i ($S_i = A_i \oplus B_i \oplus C_{i-1}$) 和 C_i 的逻辑表达式中有公用项 $A_i \oplus B_i$ 。





经变换后，组成电路时可令其共享同一个异或门，从而使整体得到进一步简化，其逻辑电路图如下图所示。





三、无反变量提供的组合逻辑电路设计

在某些问题的设计中，为了减少各部件之间的连线，在逻辑电路的输入端只提供原变量，不提供反变量。设计这类电路时，若直截用非门将原变量转换成相应的反变量，则处理结果往往是不经济的。因此，通常进行适当的变换，以便尽可能减少非门数量。





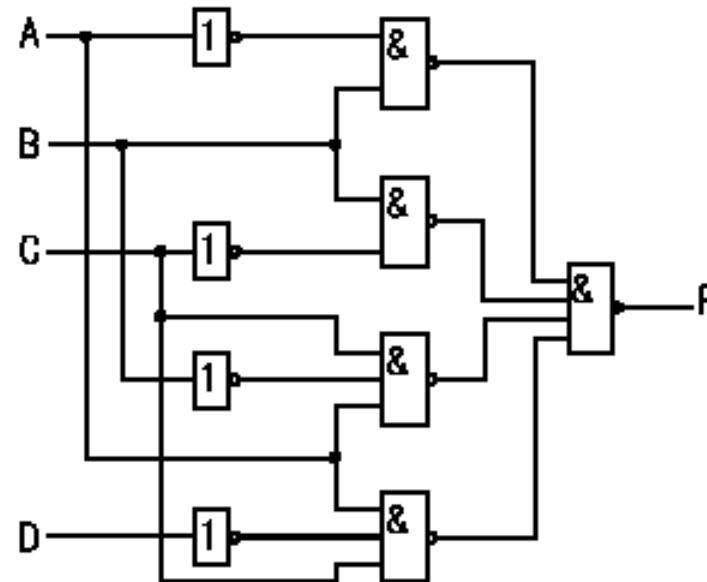
例 输入不提供反变量时，用与非门实现如下逻辑函数。

$$F(A, B, C, D) = \overline{AB} + \overline{BC} + \overline{ABC} + \overline{ACD}$$

解 因为给定函数已经是最简“与-或”表达式，故可直接变换为“与非-与非”表达式

$$\begin{aligned} F(A, B, C, D) &= \overline{AB} + \overline{BC} + \overline{ABC} + \overline{ACD} \\ &= \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{ABC} \cdot \overline{ACD}} \end{aligned}$$

相应逻辑电路如右图所示。

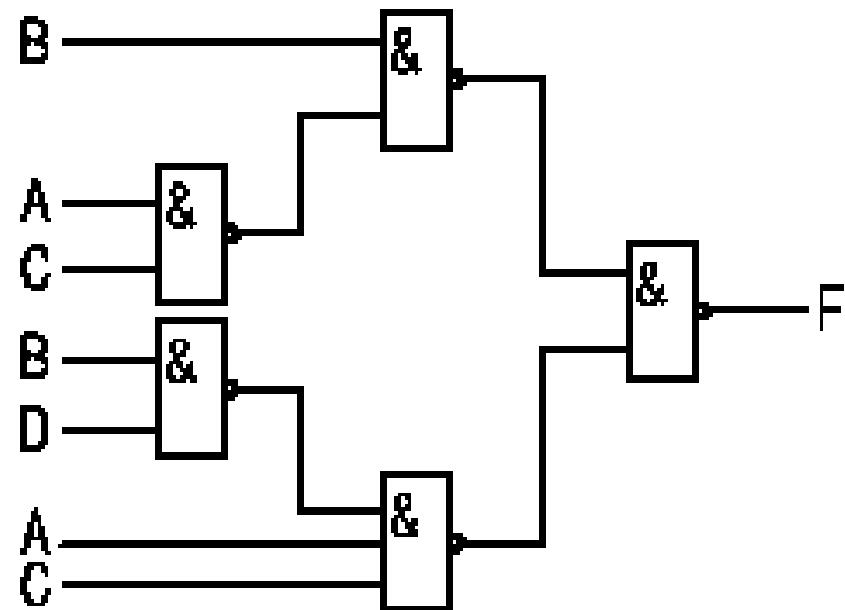




如果对函数F的表达式作如下整理，即

$$\begin{aligned} F(A, B, C, D) &= \bar{A}\bar{B} + \bar{B}\bar{C} + A\bar{B}\bar{C} + A\bar{C}\bar{D} \\ &= B(\bar{A} + \bar{C}) + AC(\bar{B} + \bar{D}) \\ &= \overline{\overline{B}\overline{A}\overline{C}} + \overline{AC\overline{B}\overline{D}} \\ &= \overline{\overline{B}\overline{A}\overline{C}} \cdot \overline{AC\overline{B}\overline{D}} \end{aligned}$$

可得到相应的逻辑电
路如右图所示。



显然，此图比上幅图更简单、合理。





4.4 组合逻辑电路的险象

由于信号经过任何逻辑门和导线都会产生时间延迟，所以电路所有输入达到稳定状态时，输出并不是立即达到稳定状态。

4.4.1 竞争现象与险象的产生

逻辑电路中各路径上延迟时间的长短与信号经过的门的级数有关，与具体逻辑门的时延大小有关，还与导线的长短有关，因此，输入信号经过不同路径到达输出端的时间有先有后，这种现象称为**竞争现象**。





竞争：由于延迟时间的影响，使得输入信号经过不同路径到达输出端的时间有先有后，这一现象称为竞争。

竞争的类型：

非临界竞争-----不产生错误输出的竞争称为非临界竞争。

临界竞争-----导致错误输出的竞争称为临界竞争。

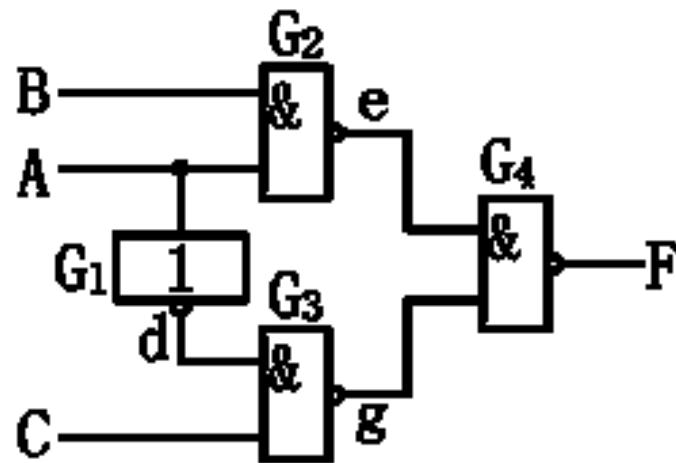
险象：由竞争导至的错误输出信号。

注意！组合电路中的险象是一种**瞬态现象**，它表现为在输出端产生不应有的尖脉冲，暂时地破坏正常逻辑关系。一旦瞬态过程结束，即可恢复正常逻辑关系。





例如，如下图所示是由与非门构成的组合电路，该电路有3个输入变量，1个输出函数。



根据逻辑电路图可写出
输出函数表达式为

$$F = \overline{\overline{AB} \cdot \overline{AC}} = AB + \overline{AC}$$

假设输入变量**B=C=1**，将B、C的值代入上述函数表达式，可得

$$F = A + \overline{A}$$

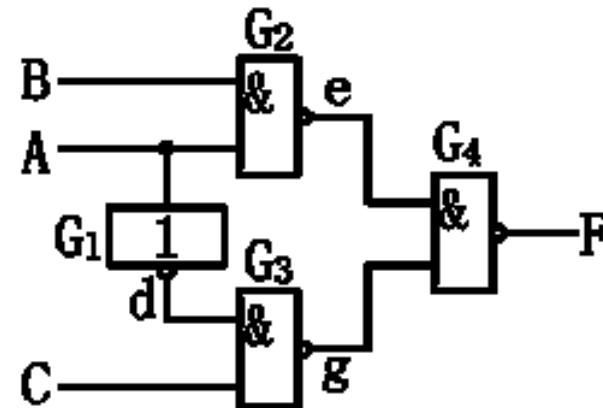
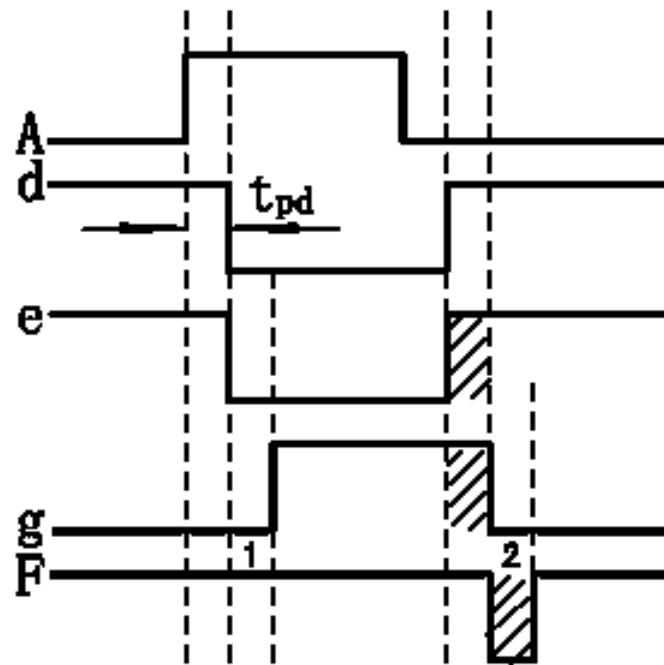
由互补律可知，函数 $F = A + \overline{A}$ 的值应恒为1，即**B=C=1**时，无论A怎样变化，输出F的值都应保持1不变。





当考虑电路中存在的时间延迟时，该电路的实际输入、输出关系又将怎样呢？

假定每个门的延迟时间为 t_{pd} ，则实际输入、输出关系可用如下所示的时间图来说明。





4.4.2 险象的分类

组合电路中的险象可分为**静态险象**和**动态险象**。

静态险象：如果在输入变化而**输出不应发生变化**的情况下，输出端产生了短暂的错误输出，则称为静态险象。

动态险象：如果在输入变化而**输出应该发生变化**的情况下，输出在变化过程中产生了短暂的错误输出，则称为动态险象。

按错误输出脉冲信号的极性可分为**“0”型险象**与**“1”型险象**。

“0”型险象：错误输出信号为负脉冲。

“1”型险象：错误输出信号为正脉冲。





4.4.3 险象的判断

判断电路是否可能产生险象的方法有**代数法**和**卡诺图法**。

代数法：

- 检查函数表达式中是否存在具备竞争条件的变量，即是否有某个变量X同时以原变量和反变量的形式出现在函数表达式中。
- 若存在具备竞争条件的变量X，则消去函数式中的其他变量,看函数表达式是否会变为 $X + \bar{X}$ 或者 $X \cdot \bar{X}$ 的形式。若会，则说明对应的逻辑电路可能产生险象。





例 已知描述某组合电路的逻辑函数表达式为

$$F = \overline{AC} + \overline{AB} + AC$$

试判断该逻辑电路是否可能产生险象。

解 由表达式可知，变量A和C均具备竞争条件，所以，应对这两个变量分别进行分析。先考察变量A，为此将B和C的各种取值组合分别代入函数表达式中，可得到如下结果：

$$BC=00 \quad F = \overline{A}$$

$$BC=01 \quad F = A$$

$$BC=10 \quad F = \overline{A}$$

$$BC=11 \quad F = A + \overline{A}$$

可见，当B=C=1时，A的变化可能使电路产生险象。类似地，将A和B的各种取值组合分别代入函数表达式中，可由代入结果判断出变量C发生变化时不会产生险象。





当描述电路的逻辑函数为“与-或”表达式时，采用卡诺图判断险象比代数法更为直观、方便。

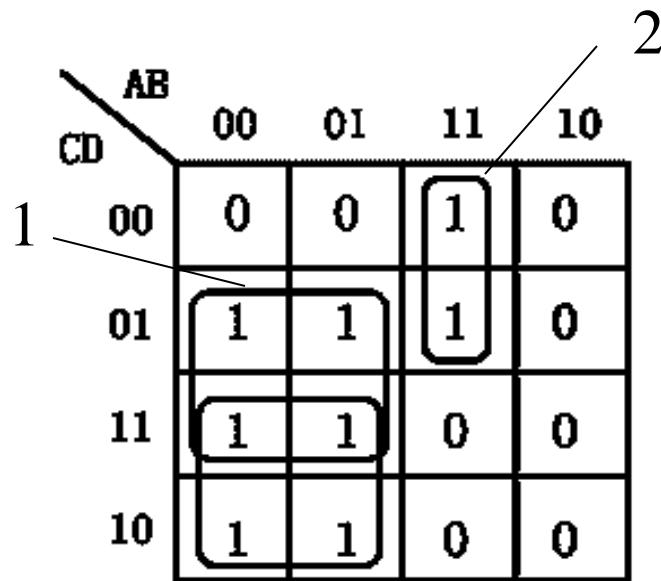
卡诺图法：作出函数卡诺图，并画出和函数表达式中各“与”项对应的卡诺圈。若卡诺圈之间存在“**相切**”关系，即两卡诺圈之间存在不被同一卡诺圈包含的相邻最小项，则该电路可能产生险象。





例 已知某逻辑电路对应的函数表达式为 $F=\bar{A}D+\bar{A}\bar{C}+ABC$
试判断该电路是否可能产生险象。

解 作出给定函数的卡诺图，如下图所示。



由卡诺图可知，卡诺圈 1 和卡诺圈 2 之间存在相邻最小项 m_5 和 m_{13} ，且 m_5 和 m_{13} 不被同一卡诺圈所包含，所以这两个卡诺圈“相切”。这说明相应电路可能产生险象。

所得结论可用代数法进行验证，假定 $B=D=1, C=0$ ，代入函数表达式 F 之后可得 $F=A+\bar{A}$ ，可见相应电路可能由于 A 的变化而产生险象。





4. 4. 4 风象的消除

如何消除或避开电路中可能出现的风象？

有如下几种常用的方法。

一、用增加冗余项的方法消除风象

增加冗余项的方法是，通过在函数表达式中“或”上多余的“与”项或者“与”上多余的“或”项，消除可能产生的风象。

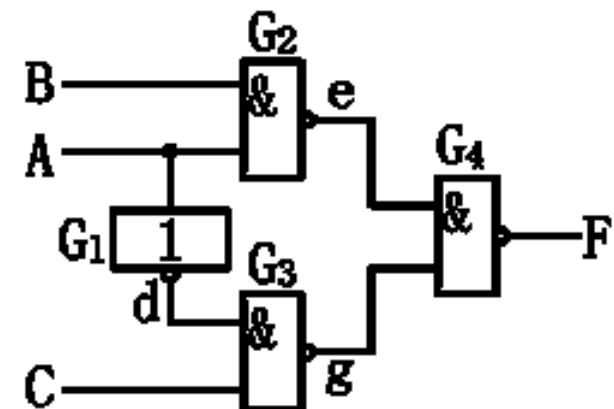
冗余项的选择可以采用代数法或者卡诺图法确定。





例 用增加冗余项的方法消除右图所示电路中可能产生的险象。

解 如图所示电路的输出函数表达式为
 $F = AB + \bar{A}C$



该电路当B=C=1时，A的变化可能使输出产生“0”型险象。

如何保证当B=C=1时，输出保持为1呢？

若在函数表达式中增加冗余项BC，则可达到这一目的。

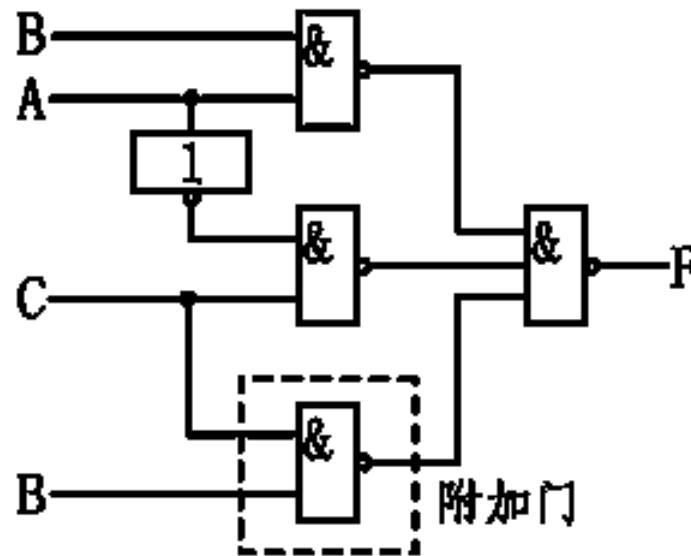
加入冗余项BC后的函数表达式为：

$$F = AB + \bar{A}C + BC$$





增加冗余项后的逻辑电路如下图所示。



该电路不再产生险象。

冗余项的选择也可以通过在函数卡诺图上增加多余的卡诺圈来实现。

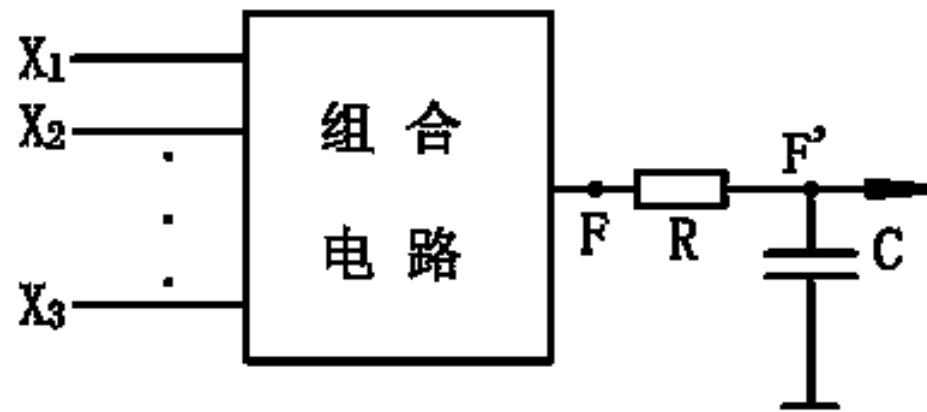
具体方法: 若卡诺图上某两个卡诺圈“相切”，则用一个多余的卡诺圈将它们之间的相邻最小项圈起来，与多余卡诺圈对应的“与”项即为要加入函数表达式中的冗余项。





二、增加惯性延时环节

消除险象的另一种方法是在组合电路输出端连接一个惯性延时环节。通常采用RC电路作惯性延时环节，如图所示。

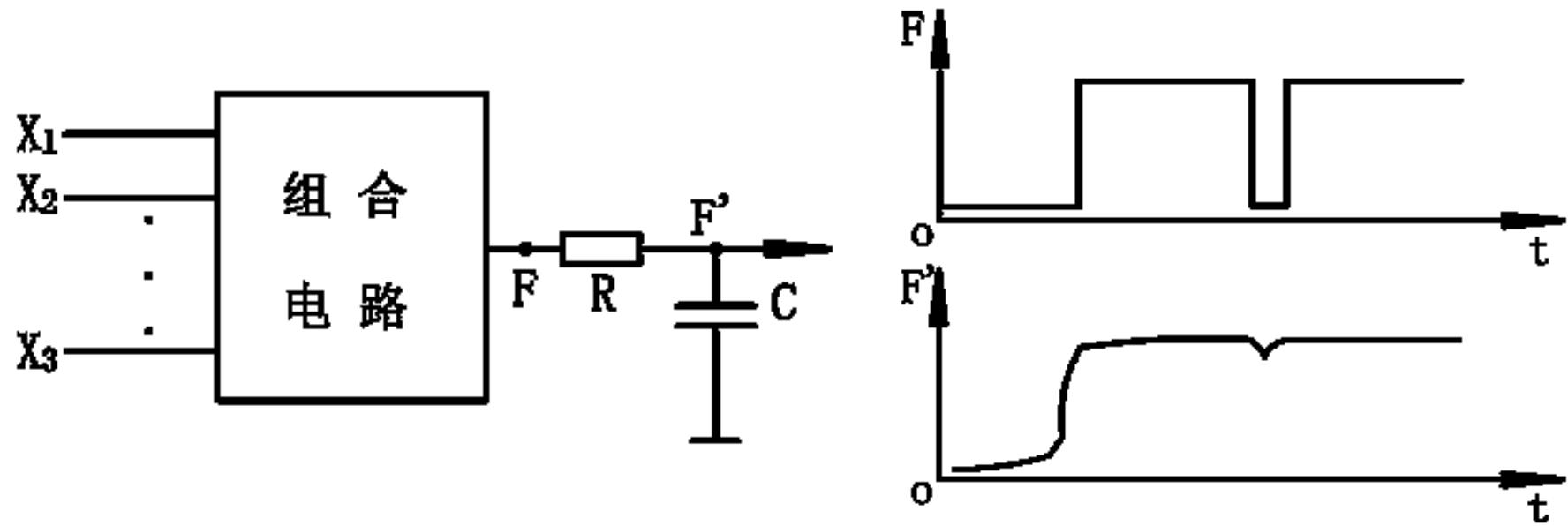


图中的RC电路实际上是一个**低通滤波器**。由于竞争引起的险象都是一些频率很高的尖脉冲信号，因此，险象在通过RC电路后能基本被滤掉，保留下来的仅仅是一些幅度极小的毛刺，它们不再对电路的可靠性产生影响





输出信号经滤波后的效果如下图所示。



注意：采用这种方法时，必须适当选择惯性环节的时间常数($\tau=RC$)，一般要求 τ 大于尖脉冲的宽度，以便能将尖脉冲“削平”；但也不能太大，否则将使正常输出信号产生不允许的畸变。



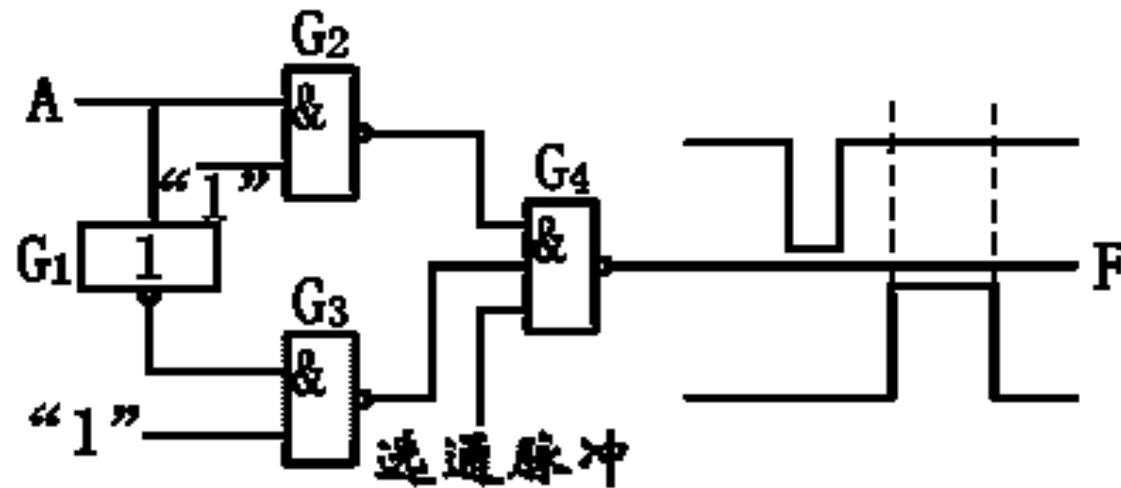


三、选通法

选通法不必增加任何器件，仅仅是利用选通脉冲的作用，从时间上加以控制，使输出避开险象脉冲。

例如，下图所示与非门电路的输出函数表达式为

$$F = \overline{\overline{A} \cdot 1 \cdot \overline{A} \cdot 1} = A + \bar{A}$$



该电路当A发生变化时，可能产生“0”型险象。但通过选通脉冲对电路的输出门加以控制，令选通脉冲在电路稳定后出现，则可使输出避开险象脉冲，送出稳定输出信号。

