



第七章

中规模通用集成电路及其应用





集成电路由SSI发展到MSI、LSI和VLSI，使单个芯片容纳的逻辑功能越来越强。

一般来说，在SSI中仅是基本器件（如逻辑门或触发器）的集成，在MSI中已是逻辑部件（如译码器、寄存器等）的集成，而在LSI和VLSI中则是一个数字子系统或整个数字系统（如微处理器）的集成。

采用中、大规模集成电路组成数字系统具有体积小、功耗低、可靠性高等优点，且易于设计、调试和维护。





本章知识要点：

- 熟悉常用中规模通用集成电路的逻辑符号、基本逻辑功能、外部特性和使用方法；
- 用常用中规模通用集成电路作为基本部件，恰当地、灵活地、充分地利用它们完成各种逻辑电路的设计，有效地实现各种逻辑功能。



7.1 常用中规模组合逻辑电路

使用最广泛的中规模组合逻辑集成电路有二进制并行加法器、译码器、编码器、多路选择器和多路分配器等。

7.1.1 二进制并行加法器

一、定义

二进制并行加法器：是一种能并行产生两个二进制数算术和的组合逻辑部件。

二、类型及典型产品

按其进位方式的不同，可分为串行进位二进制并行加法器和超前进位二进制并行加法器两种类型。



1. 串行进位二进制并行加法器：由全加器级联构成，高位的进位输出依赖于低位的进位输入。

串行进位二进制并行加法器的特点：

被加数和加数的各位能同时并行到达各位的输入端，而各位全加器的进位输入则是按照由低位向高位逐级串行传递的，各进位形成一个进位链。由于每一位相加的和都与本位进位输入有关，所以，最高位必须等到各低位全部相加完成并送来进位信号之后才能产生运算结果。

这种加法器运算速度较慢，而且位数越多，速度就越低。



如何提高加法器的运算速度?

必须设法减小或去除由于进位信号逐级传送所花费的时间，使各位的进位直接由加数和被加数来决定，而不需依赖低位进位。根据这一思想设计的加法器称为**超前进位(又称先行进位)二进制并行加法器**。



2. 超前进位二进制并行加法器：根据输入信号同时形成各位向高位的进位，然后同时产生各位的和。通常又称为先行进位二进制并行加法器或者并行进位二进制并行加法器。

典型芯片有四位二进制并行加法器74283。

四位二进制并行加法器的构成思想如下：

由全加器的结构可知，第*i*位全加器的进位输出函数表达式为

$$\begin{aligned}C_i &= \overline{A_i}B_iC_{i-1} + A_i\overline{B_i}C_{i-1} + A_iB_i\overline{C_{i-1}} + A_iB_iC_{i-1} \\&= (A_i \oplus B_i)C_{i-1} + A_iB_i\end{aligned}$$



令

$$A_i \oplus B_i \rightarrow P_i \quad (\text{进位传递函数})$$

$$A_i B_i \rightarrow G_i \quad (\text{进位产生函数})$$

则有 $C_i = P_i C_{i-1} + G_i$

当 $i=1、2、3、4$ 时，可得到4位并行加法器各位的进位输出函数表达式为：

$$C_1 = P_1 C_0 + G_1$$

$$C_2 = P_2 C_1 + G_2 = P_2 P_1 C_0 + P_2 G_1 + G_2$$

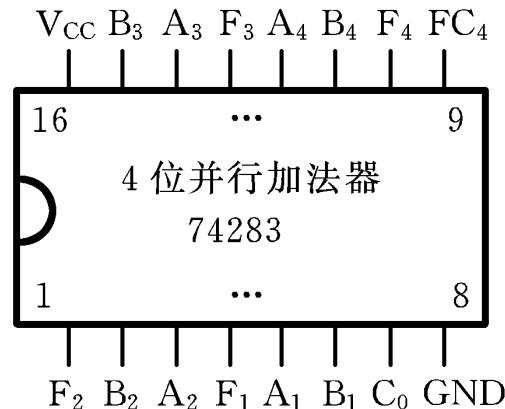
$$C_3 = P_3 C_2 + G_3 = P_3 P_2 P_1 C_0 + P_3 P_2 G_1 + P_3 G_2 + G_3$$

$$C_4 = P_4 C_3 + G_4 = P_4 P_3 P_2 P_1 C_0 + P_4 P_3 P_2 G_1 + P_4 P_3 G_2 + P_4 G_3 + G_4$$

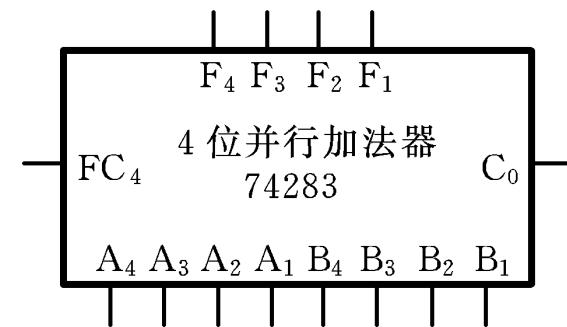
由于 $C_1 \sim C_4$ 是 P_i 、 G_i 和 C_0 的函数，即 $C_i = f(P_i, G_i, C_0)$ ，而 P_i 、 G_i 又是 A_i 、 B_i 的函数，所以，在提供输入 A_i 、 B_i 和 C_0 之后，可以同时产生 $C_1 \sim C_4$ 。通常将根据 P_i 、 G_i 和 C_0 形成 $C_1 \sim C_4$ 的逻辑电路称为先行进位发生器。



三、四位二进制并行加法器的外部特性和逻辑符号



(a)



(b)

引脚排列图

逻辑符号

图中， **A₄、 A₃、 A₂、 A₁** ----- 二进制被加数；
B₄、 B₃、 B₂、 B₁ ----- 二进制加数；
F₄、 F₃、 F₂、 F₁ ----- 相加产生的和数；
C₀ ----- 来自低位的进位输入；
FC₄ ----- 向高位的进位输出。





四、应用举例

二进制并行加法器除实现二进制加法运算外，还可实现代码转换、二进制减法运算、二进制乘法运算、十进制加法运算等功能。



例 用4位二进制并行加法器设计一个4位二进制并行加法/减法器。

解 分析：根据问题要求，设减法采用补码运算，并令

$A = a_4a_3a_2a_1$ ----- 为被加数(或被减数);

$B = b_4b_3b_2b_1$ ----- 为加数(或减数);

$S = s_4s_3s_2s_1$ ----- 为和数(或差数);

M 为 功 能 选 择 变 量 . 当 $M=0$ 时 , 执 行 $A+B$;
当 $M=1$ 时 , 执 行 $A-B$ 。

由运算法则可归纳出电路功能为:

当 $M=0$ 时 , 执 行 $a_4a_3a_2a_1+b_4b_3b_2b_1+0 \quad (A+B)$

当 $M=1$ 时 , 执 行 $a_4a_3a_2a_1+\bar{b}_4\bar{b}_3\bar{b}_2\bar{b}_1+1 \quad (A-B)$



可用一片4位二进制并行加法器和4个异或门实现上述逻辑功能。

具体实现：

将4位二进制数 $a_4a_3a_2a_1$ 直接加到并行加法器的 $A_4A_3A_2A_1$ 输入端，4位二进制数 $b_4b_3b_2b_1$ 分别和M异或后加到并行加法器的 $B_4B_3B_2B_1$ 输入端。并将M同时加到并行加法器的 C_0 端。

$$M=0: \quad A_i=a_i, \quad B_i=b_i, \quad C_0=0$$

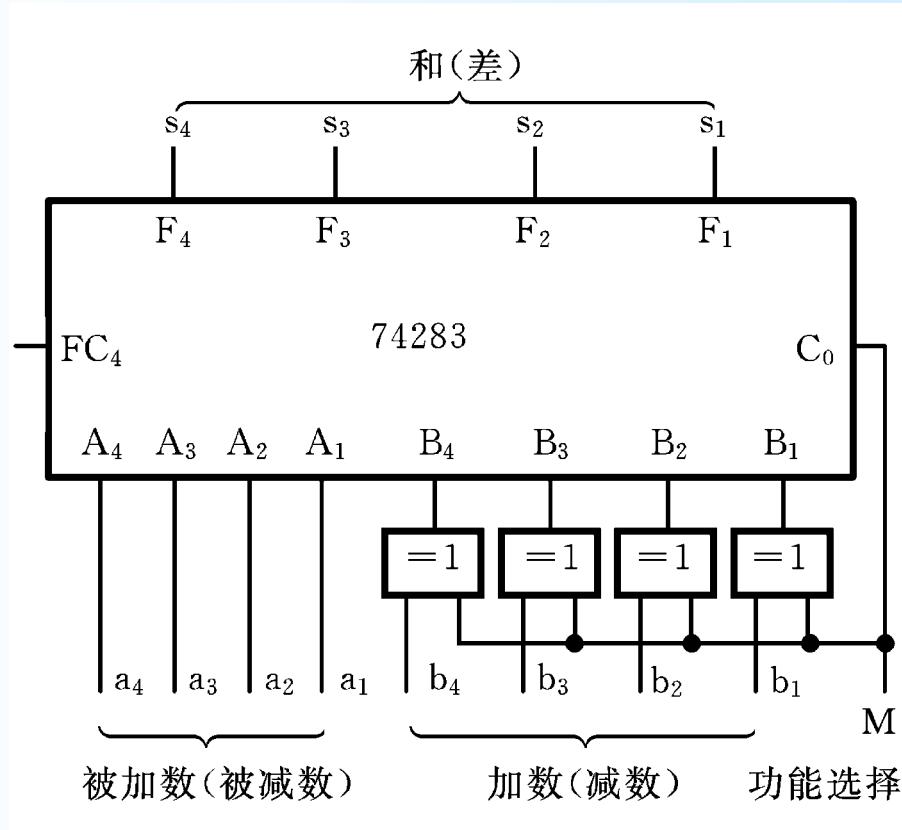
实现 $a_4a_3a_2a_1 + b_4b_3b_2b_1 + 0$ (即 $A+B$)；

$$M=1: \quad A_i=a_i, \quad B_i=\overline{b_i}, \quad C_0=1,$$

实现 $a_4a_3a_2a_1 + \overline{b_4}\overline{b_3}\overline{b_2}\overline{b_1} + 1$ (即 $A-B$)。



实现给定功能的逻辑电路图如下：



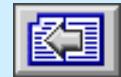
7.1.2 译码器和编码器

译码器(Decoder)和编码器(Encoder)是数字系统中广泛使用的多输入多输出组合逻辑部件。

一、译码器

译码器的功能是对具有特定含义的输入代码进行“翻译”，将其转换成相应的输出信号。

译码器的种类很多，常见的有二进制译码器、二十进制译码器和数字显示译码器。



1. 二进制译码器

二进制译码器：能将n个输入变量变换成 2^n 个输出函数，且输出函数与输入变量构成的最小项具有对应关系的一种多输出组合逻辑电路。

(1) 特点：

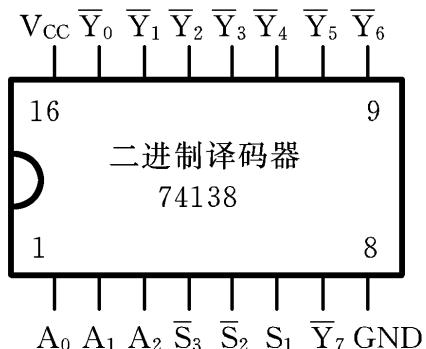
- ▲ 二进制译码器一般具有n个输入端、 2^n 个输出端和一个(或多个)使能输入端；
- ▲ 使能输入端为有效电平时，对应每一组输入代码，仅一个输出端为有效电平，其余输出端为无效电平。
- ▲ 有效电平可以是高电平(称为高电平译码)，也可以是低电平(称为低电平译码)。



(2) 典型芯片

常见的MSI二进制译码器有2-4线(2输入4输出)译码器、3-8线(3输入8输出)译码器和4-16线(4输入16输出)译码器等。

图(a)、(b)所示分别是74138型3-8线译码器的管脚排列图和逻辑符号。



(a)



(b)

图中, A₂、A₁、A₀ --- 输入端; $\bar{Y}_0 \sim \bar{Y}_7$ --- 输出端;
S₁、 \bar{S}_2 、 \bar{S}_3 --- 使能端。

74138译码器真值表

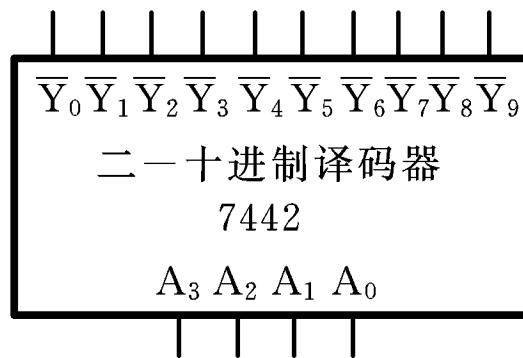
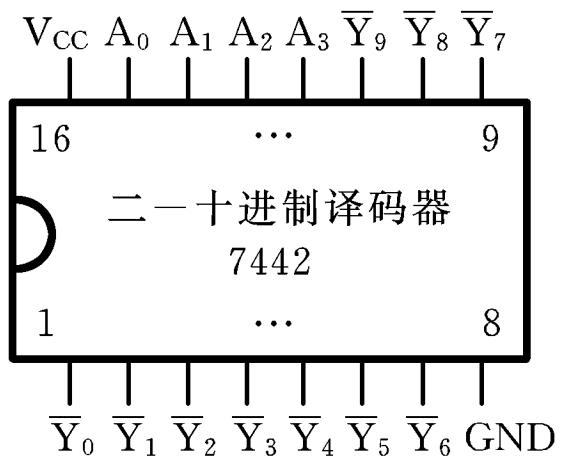
S_1	$\bar{S}_2 + \bar{S}_3$	入			输出							
		A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0
0	d	d	d	d	1	1	1	1	1	1	1	1
d	1	d	d	d	1	1	1	1	1	1	1	1

可见，当 $S_1 = 1, \bar{S}_2 + \bar{S}_3 = 0$ 时，无论 A_2 、 A_1 和 A_0 取何值，输出 \bar{Y}_0 --- \bar{Y}_7 中有且仅有一个为0(低电平有效)，其余都是1。

2. 二-十进制译码器

功能：将4位BCD码的10组代码翻译成10个十进制数字符号对应的输出信号。

例如，常用芯片7442是一个将8421码转换成十进制数字的译码器，芯片引脚图和逻辑符号如下。



该译码器的输出为低电平有效。其次，对于8421码中不允许出现的6个非法码(1010~1111)，译码器输出端 \bar{Y}_0 ~ \bar{Y}_9 均无低电平信号产生，即译码器对这6个非法码拒绝翻译。(表7.3)

3. 数字显示译码器

功能：数字显示译码器是驱动显示器件(如荧光数码管、液晶数码管等)的核心部件，它可以将输入代码转换成相应数字，并在数码管上显示出来。

常用的数字显示译码器有七段数字显示译码器和八段数字显示译码器。

例如，中规模集成电路74LS47，是一种常用的七段显示译码器，该电路的输出为低电平有效，即输出为0时，对应字段点亮；输出为1时对应字段熄灭。该译码器能够驱动七段显示器显示0~15共16个数字的字形。输入 A_3 、 A_2 、 A_1 和 A_0 接收4位二进制码，输出 Q_a 、 Q_b 、 Q_c 、 Q_d 、 Q_e 、 Q_f 和 Q_g 分别驱动七段显示器的a、b、c、d、e、f和g段。

(教材中给出的74LS48的输出为高电平有效。)

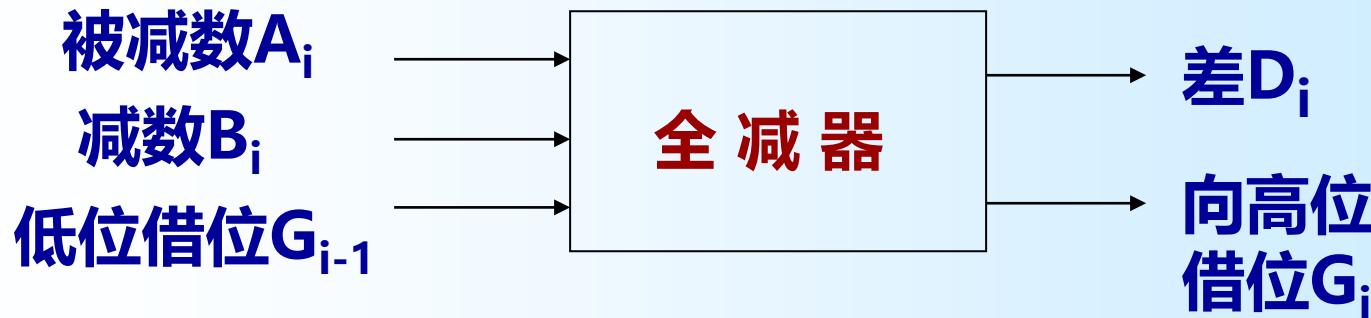
4. 应用举例

译码器在数字系统中的应用非常广泛，它的典型用途是实现存储器的地址译码、控制器中的指令译码、代码翻译、显示译码等。除此之外，还可用译码器实现各种组合逻辑功能。下面举例说明在逻辑设计中的应用。

例1 用译码器74138和适当的与非门实现实全减器的功能。

全减器：能实现对被减数、减数及来自相邻低位的借位进行减法运算，产生本位差及向高位借位的逻辑电路。

解 令：被减数用 A_i 表示、减数用 B_i 表示、来自低位的借位用 G_{i-1} 表示、差用 D_i 表示、向相邻高位的借位用 G_i 表示。框图：



根据全减器的功能，可得到全减器的真值表如下表所示。

全减器真值表

输入			输出		输入			输出	
A _i	B _i	G _{i-1}	D _i	G _i	A _i	B _i	G _{i-1}	D _i	G _i
0	0	0	0	0	1	0	0	1	0
0	0	1	1	1	1	0	1	0	0
0	1	0	1	1	1	1	0	0	0
0	1	1	0	1	1	1	1	1	1

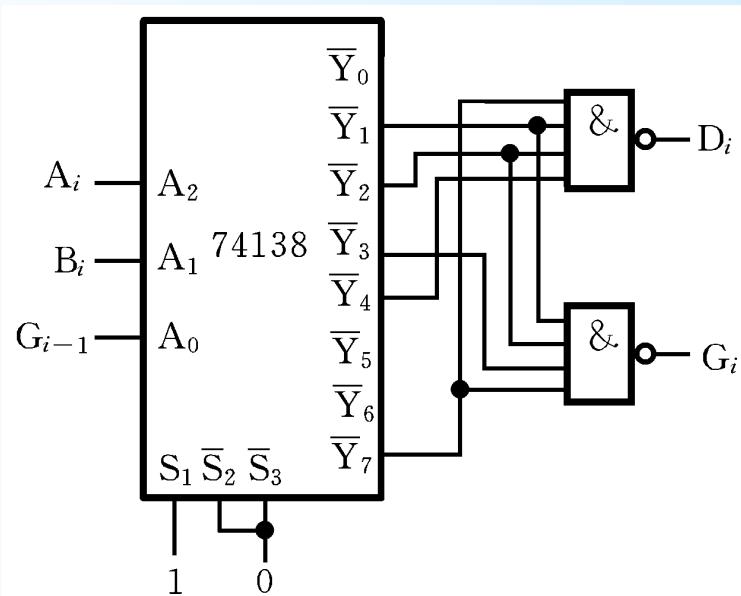
由真值表可写出差数D_i和借位G_i的逻辑表达式为：

$$D_i(A_i, B_i, G_{i-1}) = m_1 + m_2 + m_4 + m_7 = \overline{\overline{m}_1} \cdot \overline{m}_2 \cdot \overline{m}_4 \cdot \overline{m}_7$$

$$G_i(A_i, B_i, G_{i-1}) = m_1 + m_2 + m_3 + m_7 = \overline{\overline{m}_1} \cdot \overline{m}_2 \cdot \overline{m}_3 \cdot \overline{m}_7$$

用译码器74138和与非门实现全减器功能时，只需将全减器的输入变量 A_i 、 B_i 、 G_{i-1} 依次与译码器的输入 A_2 、 A_1 、 A_0 相连接，译码器使能输入端 $S_1, \bar{S}_2, \bar{S}_3$ 接固定工作电平，便可
在译码器输出端得到输入变量的最小项之“非”。

根据全减器的输出函数表达式，将相应最小项的“非”送至与非门输入端，便可实现全减器的功能。逻辑电路图如下图所示。



二、编码器

功能：编码器的功能恰好与译码器相反，是对输入信号按一定规律进行编排，使每组输出代码具有其特定的含义。

类型：编码器按照被编信号的不同特点和要求，有各种不同的类型，最常见的有**二-十进制编码器**(又称十进制-BCD码编码器)和**优先编码器**。

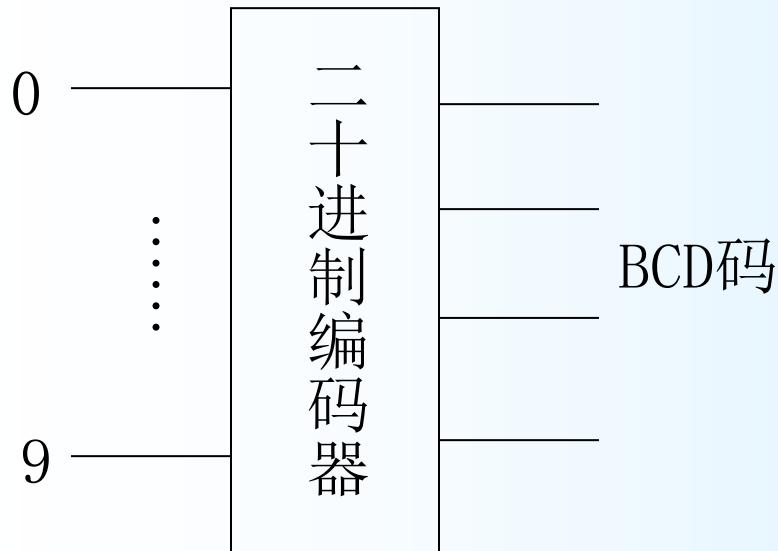
1. 二-十进制编码器

(1) 功能：将十进制数字0~9分别编码成4位BCD码。



(2) 结构框图

这种编码器由10个输入端代表10个不同数字，4个输出端代表相应BCD代码。结构框图如下：



注意：二-十进制编码器的输入信号是互斥的，即任何时候只允许一个输入端为有效信号。

最常见的有8421码编码器，例如，按键式8421码编码器（详见教材中有关内容）。



2. 优先编码器

(1) **功能：**识别输入信号的优先级别，选中优先级别最高的一个进行编码，实现优先权管理。

优先编码器是数字系统中实现优先权管理的一个重要逻辑部件。它与上述二-十进制编码器的最大区别是，**优先编码器的各个输入不是互斥的，它允许多个输入端同时为有效信号。**

优先编码器的每个输入具有不同的优先级别，当多个输入信号有效时，它能识别输入信号的优先级别，并对其中优先级别最高的一个进行编码，产生相应的输出代码。

(2) **典型芯片：**MSI优先编码器74LS148。(表7.6)



7.1.3 多路选择器和多路分配器

多路选择器和多路分配器是数字系统中常用的中规模集成电路。其基本功能是完成对多路数据的选择与分配、在公共传输线上实现多路数据的分时传送。此外，还可完成数据的并串转换、序列信号产生等多种逻辑功能以及实现各种逻辑函数功能。

一、多路选择器

多路选择器(Multiplexer)又称数据选择器或多路开关，常用MUX表示。它是一种**多路输入、单路输出**的组合逻辑电路。

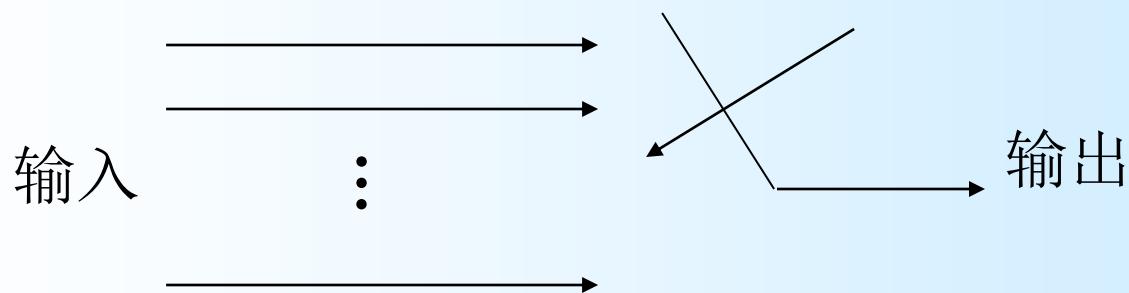


1. 逻辑特性

(1) **逻辑功能:** 从多路输入中选中某一路送至输出端，输出对输入的选择受选择控制量控制。通常，一个具有 2^n 路输入和一路输出的多路选择器有n个选择控制变量，控制变量的每种取值组合对应选中一路输入送至输出。

(2) 构成思想

多路选择器的构成思想相当于一个单刀多掷开关，即

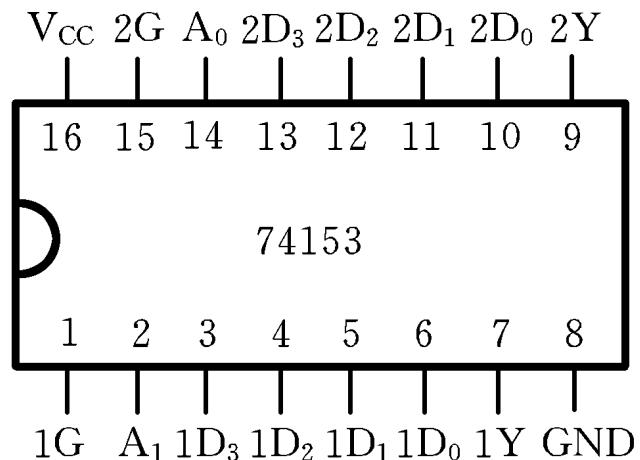


2. 典型芯片

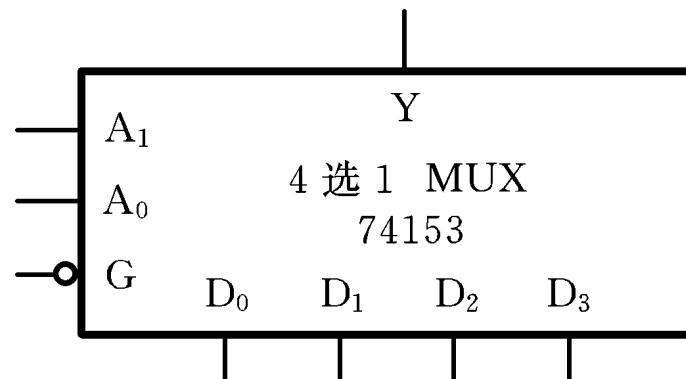
常见的MSI多路选择器有**4路选择器、8路选择器和16路选择器。**

(1) 四路数据选择器74153

图(a)、(b)是型号为74153的双4路选择器的管脚排列图和逻辑符号。该芯片中有**两个4路选择器**。其中， $D_0 \sim D_3$ 为数据输入端； A_1 、 A_0 为选择控制端；Y为输出端；G为使能端。



(a)



(b)

(2) 四路数据选择器74153的功能表

74153的功能表

选择控制输入		数据输入				输出
A ₁	A ₀	D ₀	D ₁	D ₂	D ₃	Y
0	0	D ₀	d	d	d	D ₀
0	1	d	D ₁	d	d	D ₁
1	0	d	d	D ₂	d	D ₂
1	1	d	d	d	D ₃	D ₃

(3) 74153的输出函数表达式

$$Y = \overline{A_1} \overline{A_0} D_0 + \overline{A_1} A_0 D_1 + A_1 \overline{A_0} D_2 + A_1 A_0 D_3 = \sum_{i=0}^3 m_i D_i$$

式中， m_i 为选择变量A₁、A₀组成的最小项，D_i为i端的输入数据，取值等于0或1。

类似地，可以写出 2^n 路选择器的输出表达式为

$$Y = \sum_{i=0}^{2^n - 1} m_i D_i$$

式中， m_i 为选择控制变量 $A_{n-1}, A_{n-2}, \dots, A_1, A_0$ 组成的最小项； D_i 为 2^n 路输入中的第*i*路数据输入，取值0或1。

3. 应用举例

多路选择器除完成对多路数据进行选择的基本功能外，在逻辑设计中主要用来实现各种逻辑函数功能。

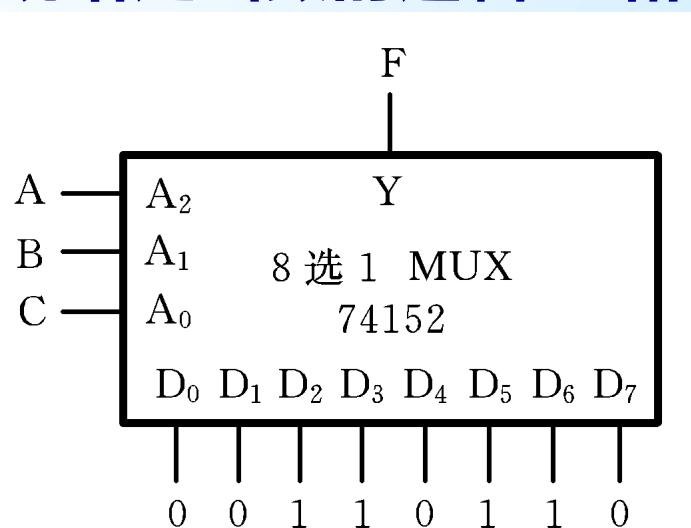
例 用多路选择器实现以下逻辑函数的功能：

$$F(A,B,C) = \sum m(2,3,5,6)$$

解 由于给定函数为一个三变量函数故可采用8路数据选择器实现其功能，假定采用8路数据选择器74152实现。

方案： 将变量A、B、C依次作为8路数据选择器的选择变量，令8路数据选择器的 $D_0=D_1=D_4=D_7=0$ ，而 $D_2=D_3=D_5=D_6=1$ 即可。

用8路选择器实现给定函数的逻辑电路图，如下图所示。



例 假定采用4路数据选择器实现逻辑函数

$$F(A, B, C) = \sum m(2, 3, 5, 6)$$

解 首先从函数的3个变量中任选2个作为选择控制变量，然后再确定选择器的数据输入。

假定选A、B与选择控制端 A_1 、 A_0 相连，则可将函数F的表达式表示成如下形式：

$$\begin{aligned} F(A, B, C) &= \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}C + AB\overline{C} \\ &= \overline{AB} \cdot 0 + \overline{AB}(\overline{C} + C) + A\overline{B} \cdot C + AB \cdot \overline{C} \\ &= \overline{AB} \cdot 0 + \overline{AB} \cdot 1 + A\overline{B} \cdot C + AB \cdot \overline{C} \end{aligned}$$

显然，要使4路选择器的输出W与函数F相等，只需

$$D_0 = 0$$

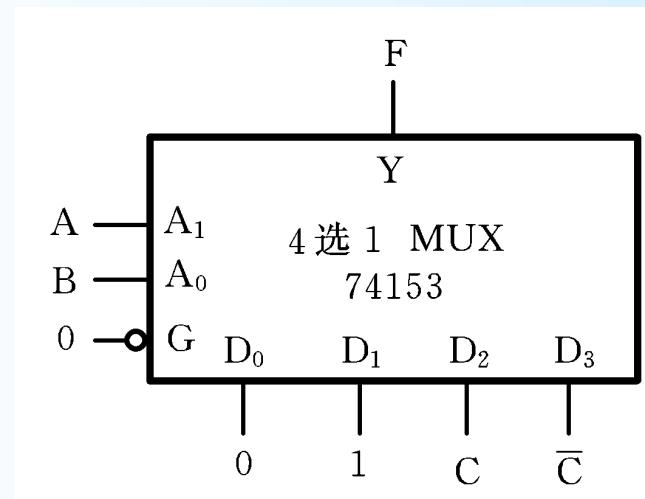
$$D_1 = 1$$

$$D_2 = C$$

$$D_3 = \bar{C}$$

据此，可作出用4路选择器74153实现给定函数功能的逻辑电路图。

据此，可作出实现给定函数功能的逻辑电路如下图所示。

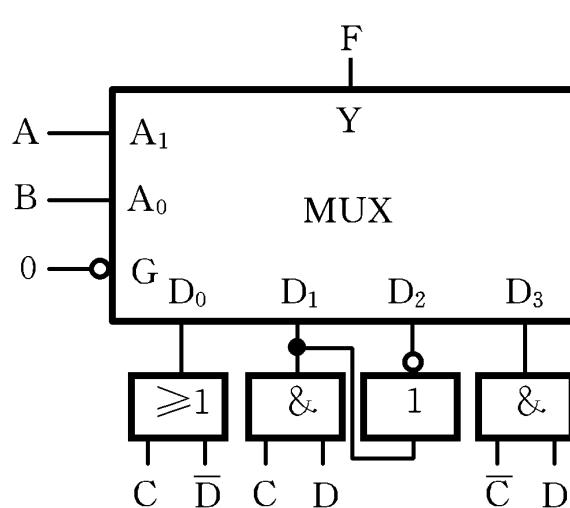


例 用4路选择器实现4变量逻辑函数
 $F(A,B,C,D) = \sum m(1,2,4,9, 10,11,12,14,15)$
的逻辑功能。

解 用4路选择器实现该函数时，应从函数的4个变量中选出2个作为MUX的选择控制变量。原则上讲，这种选择是任意的，但选择合适时可使设计简化。

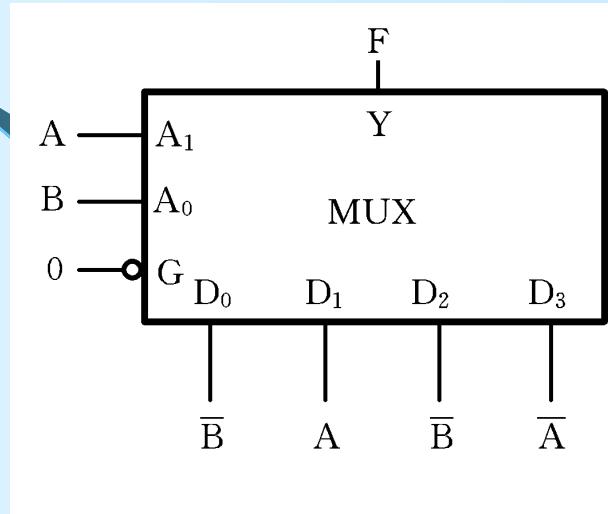
① 选用变量A和B作为选择控制变量

$$\begin{aligned} F(A, B, C, D) &= \sum m(0, 2, 3, 7, 8, 9, 10, 13) \\ &= \overline{\overline{A}\overline{B}\overline{C}\overline{D}} + \overline{\overline{A}\overline{B}C\overline{D}} + \overline{\overline{A}B\overline{C}\overline{D}} + \overline{A}\overline{B}\overline{C}\overline{D} \\ &\quad + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + A\overline{B}\overline{C}D + AB\overline{C}\overline{D} \\ &= \overline{AB}(\overline{CD} + \overline{C}\overline{D} + CD) + \overline{AB} \cdot CD \\ &\quad + A\overline{B}(\overline{CD} + \overline{C}\overline{D} + CD) + AB \cdot \overline{CD} \\ &= \overline{AB}(C + \overline{D}) + \overline{AB} \cdot CD + A\overline{B}(\overline{C} + \overline{D}) + AB \cdot \overline{CD} \end{aligned}$$



② 选用变量C和D作为选择控制变量

$$\begin{aligned} F(A, B, C, D) &= \sum m(0, 2, 3, 7, 8, 9, 10, 13) \\ &= \overline{\overline{A}\overline{B}\overline{C}\overline{D}} + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD \\ &\quad + A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D + A\overline{B}CD + AB\overline{C}D \\ &= \overline{C}\overline{D}(\overline{A}\overline{B} + A\overline{B}) + \overline{C}D(A\overline{B} + AB) \\ &\quad + C\overline{D}(\overline{A}\overline{B} + A\overline{B}) + CD(\overline{A}\overline{B} + \overline{AB}) \\ &= \overline{C}\overline{D} \cdot \overline{B} + \overline{C}D \cdot A + C\overline{D} \cdot \overline{B} + CD \cdot \overline{A} \end{aligned}$$

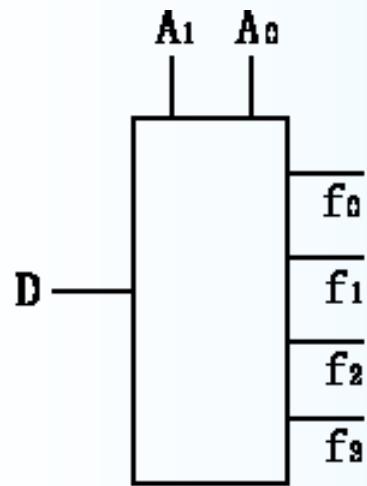


由此可见，用n个选择控制变量的MUX实现n+2个以上变量的函数时，MUX的数据输入函数D_i一般是2个或2个以上变量的函数。函数D_i的复杂程度与选择控制变量的确定相关，只有通过对各种方案的比较，才能从中得到最简单而且经济的方案。

二、多路分配器

多路分配器(Demultiplexer)又称数据分配器，常用DEMUX表示。

多路分配器的结构与多路选择器正好相反，它是一种单输入、多输出组合逻辑部件，由选择控制变量决定输入从哪一路输出。如图所示为4路分配器的逻辑符号。



图中，D为数据输入端，A₁、A₀为选择控制输入端，f₀ ~ f₃为数据输出端。





四路分配器的功能如下表所示。

四路分配器功能表

A_1	A_0	f_0	f_1	f_2	f_3
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

由功能表可知，4路分配器的输出表达式为

$$f_0 = \overline{A_1} \overline{A_0} D = m_0 D \quad ; \quad f_1 = \overline{A_1} A_0 D = m_1 D$$

$$f_2 = A_1 \overline{A_0} D = m_2 D \quad ; \quad f_3 = A_1 A_0 D = m_3 D$$

式中， m_i ($i=0 \sim 3$) 是选择控制变量的4个最小项。



7.2 常用中规模时序逻辑电路

数字系统中最典型的时序逻辑电路是**计数器**和**寄存器**。

7.2.1 计数器

1. 什么是计数器？

广义地说，计数器是一种能在输入信号作用下依次通过预定状态的时序逻辑电路。

就常用的集成电路计数产品而言，可以对其定义如下：

计数器：是一种对输入脉冲进行计数的时序逻辑电路，被计数的脉冲信号称作“计数脉冲”。



计数器在运行时，所经历的状态是**周期性**的，总是在有限个状态中循环，通常将一次循环所包含的状态总数称为计数器的“模”。

2. 计数器的种类

计数器的种类很多，通常有不同的分类方法。

- (1) 按其工作方式可分为**同步计数器**和**异步计数器**；
- (2) 按其进位制可分为**二进制计数器**、**十进制计数器**和**任意进制计数器**；
- (3) 按其功能又可分为**加法计数器**、**减法计数器**和**加/减可逆计数器**等。

3. 功能

一般具有**计数**、**保存**、**清除**、**预置**等功能。

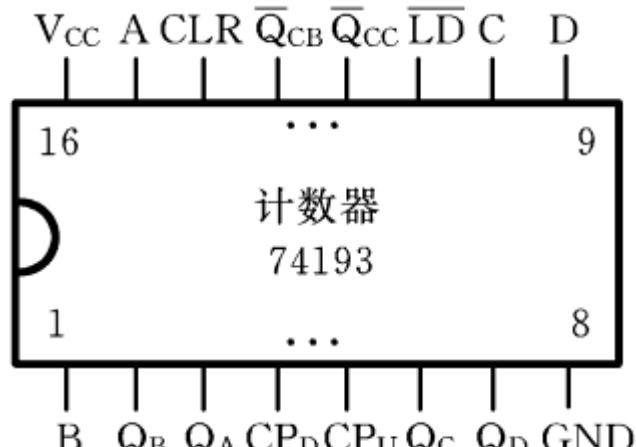


典型芯片

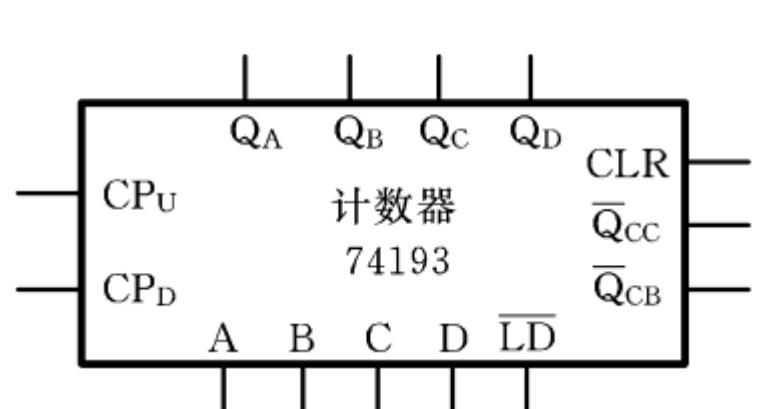
---四位二进制同步可逆计数器74193

1. 74193的管脚排列图及逻辑符号

74193管脚排列图及逻辑符号分别如图(a)、(b)所示。

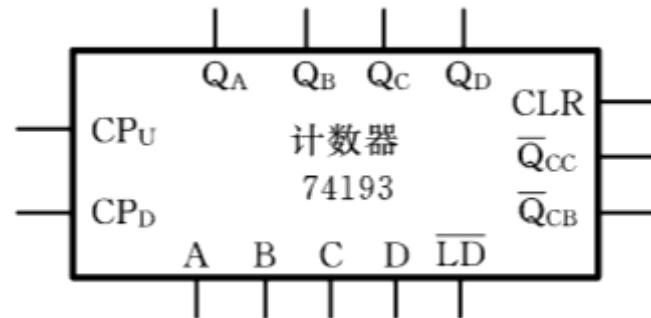


(a)



(b)

2. 引脚功能



引 线 名 称	功 能										
输入端	<table><tr><td>CLR</td><td>清除</td></tr><tr><td>\overline{LD}</td><td>预置控制</td></tr><tr><td>D C B A</td><td>预置初始值</td></tr><tr><td>$CP_U \uparrow$</td><td>累加计数脉冲(正脉冲)</td></tr><tr><td>$CP_D \uparrow$</td><td>累减计数脉冲(正脉冲)</td></tr></table>	CLR	清除	\overline{LD}	预置控制	D C B A	预置初始值	$CP_U \uparrow$	累加计数脉冲(正脉冲)	$CP_D \uparrow$	累减计数脉冲(正脉冲)
CLR	清除										
\overline{LD}	预置控制										
D C B A	预置初始值										
$CP_U \uparrow$	累加计数脉冲(正脉冲)										
$CP_D \uparrow$	累减计数脉冲(正脉冲)										
输出端	<table><tr><td>Q_D Q_C Q_B Q_A</td><td>计数值</td></tr><tr><td>\overline{Q}_{CC}</td><td>进位输出(负脉冲)</td></tr><tr><td>\overline{Q}_{CB}</td><td>借位输出(负脉冲)</td></tr></table>	Q_D Q_C Q_B Q_A	计数值	\overline{Q}_{CC}	进位输出(负脉冲)	\overline{Q}_{CB}	借位输出(负脉冲)				
Q_D Q_C Q_B Q_A	计数值										
\overline{Q}_{CC}	进位输出(负脉冲)										
\overline{Q}_{CB}	借位输出(负脉冲)										

3. 功能表

输入						输出			
CLR	\overline{LD}	D C B A	CP_U	CP_D	$Q_D Q_C Q_B Q_A$				
1	d	d d d d	d	d	0	0	0	0	
0	0	$x_3 x_2 x_1 x_0$	d	d	x_3	x_2	x_1	x_0	
0	1	d d d d	↑	1	累加计数				
0	1	d d d d	1	↑	累减计数				

表中，CLR为高电平，计数器清“0”； \overline{LD} 为低电平，计数器预置D、C、B、A输入值；计数脉冲由 CP_U 端输入时，累加计数；计数脉冲由 CP_D 端输入时，累减计数。

7.2.2 寄存器

寄存器：数字系统中用来存放数据或运算结果的一种常用逻辑部件。

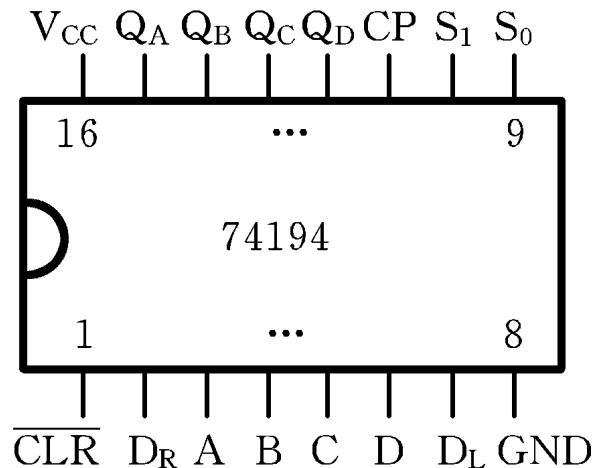
功能：中规模集成电路寄存器除了具有接收数据、保存数据和传送数据等基本功能外，通常还具有左、右移位，串、并输入，串、并输出以及预置、清零等多种功能，属于多功能寄存器。

一、典型芯片

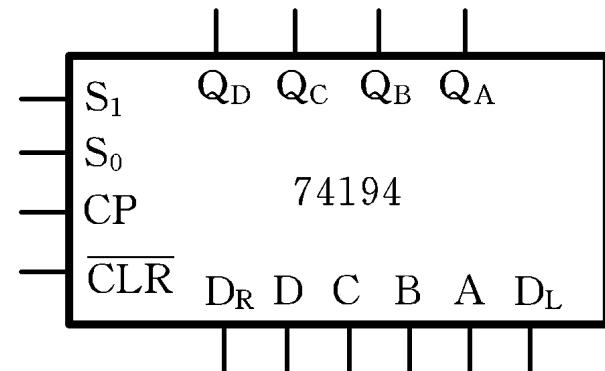
中规模集成电路寄存器的种类很多，例如，74194型是一种常用的4位双向移位寄存器。



1. 74194的管脚排列图和逻辑符号



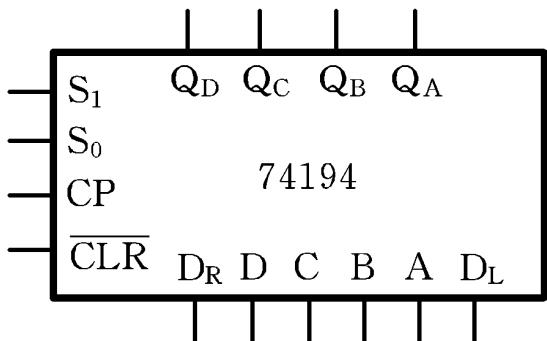
(a)



(b)

74194共有10个输入，4个输出。

2. 引脚功能



引 线 名 称	功 能
输入端 CLR D C B A DR DL S1 S0 CP	清除 并行数据输入 右移串行数据输入 左移串行数据输入 工作方式选择控制 工作脉冲
输出端 QD QC QB QA	寄存器的状态

3. 功能表

输入				输出							
\overline{CLR}	CP	$S_1\ S_0$	$D_R\ D_L$	D	C	B	A	Q_D	Q_C	Q_B	Q_A
0	d	d d	d d	d	d	d	d	0	0	0	0
1	0	d d	d d	d	d	d	d	Q_D^n	Q_C^n	Q_B^n	Q_A^n
1	↑	1 1	d d	x_0	x_1	x_2	x_3	x_0	x_1	x_2	x_3
1	↑	0 1	1 d	d	d	d	d	1	Q_D^n	Q_C^n	Q_B^n
1	↑	0 1	0 d	d	d	d	d	0	Q_D^n	Q_C^n	Q_B^n
1	↑	1 0	d 1	d	d	d	d	Q_C^n	Q_B^n	Q_A^n	1
1	↑	1 0	d 0	d	d	d	d	Q_D^n	Q_C^n	Q_B^n	0
1	↑	0 0	d d	d	d	d	d	Q_D^n	Q_C^n	Q_B^n	Q_A^n

从功能表可知，双向移位寄存器在 S_1S_0 和 \overline{CLR} 的控制下可完成数据的并行输入（ $S_1S_0 = 11$ ）、右移串行输入（ $S_1S_0 = 01$ ），左移串行输入（ $S_1S_0 = 10$ ）、保持（ $S_1S_0 = 00$ ）和清除（ $\overline{CLR} = 0$ ）等五种功能。

7.3 常用中规模信号产生与变换电路

信号产生与变换电路常用于产生各种宽度、幅值的脉冲信号，对信号进行**变换**、**整形**以及完成**模拟信号与数字信号之间的转换等**。

最常用的有555、A\D、D\A等中规模集成电路。

7.3.1 集成定时器555及其应用

集成定时器555是一种将**模拟功能与逻辑功能巧妙地结合在一起的中规模集成电路**。

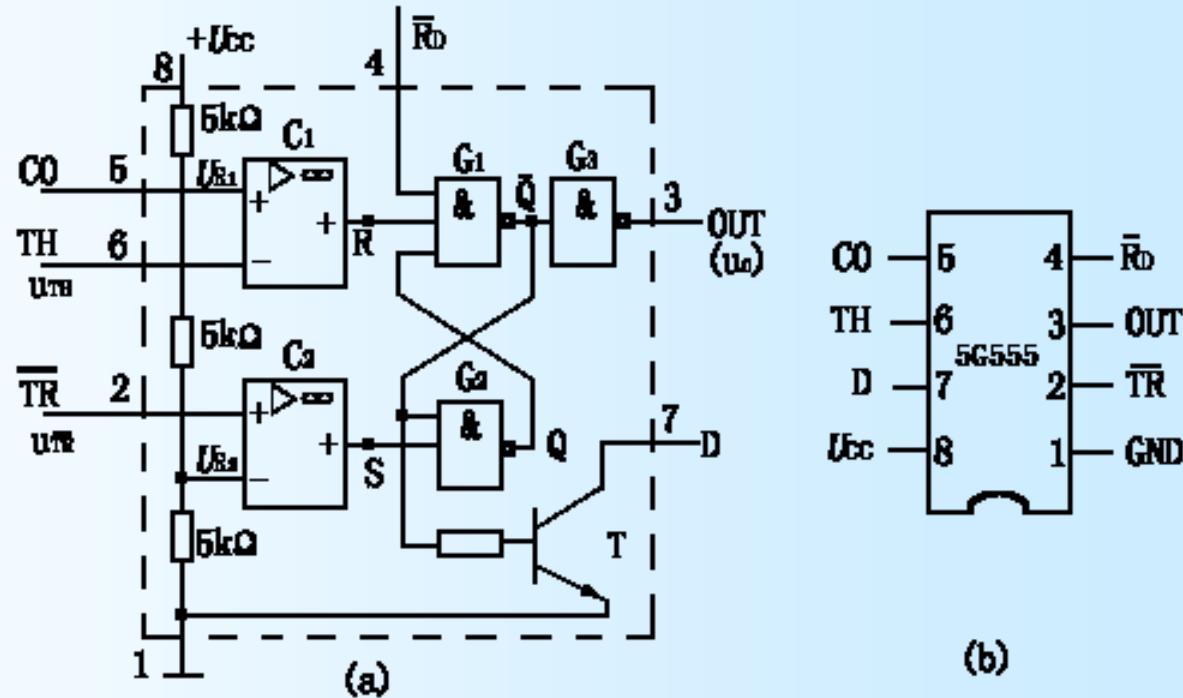
常用的集成定时器有5G555(TTL电路)和CC7555(CMOS电路)等。下面以5G555为例说明其功能和应用。



一、5G555的电路结构与逻辑功能

1. 电路结构

(1) 结构图和管脚排列图



(2) 组成

集成定时器5G555由电阻分压器、电压比较器、基本R-S触发器、放电三极管和输出缓冲器五部分组成。



2. 5G555的逻辑功能

(1) 外接控制电压时，5G555的逻辑功能

当C0端外接控制电压时，根据各部分电路的功能，可归纳出5G555的逻辑功能如下表所示。

5G555的功能表

输入			比较器输出		输出	
U_{TH}	U_{TR}	\bar{R}_D	R(C_1)	S(C_2)	OUT	放电三极管T
d $< U_{R1}$	d $< U_{R2}$	0 1	d 1	d 0	0 1	导通 截止
$< U_{R1}$	$> U_{R2}$	1	1	1	不变	不变
$> U_{R1}$	$> U_{R2}$	1	0	1	0	导通

(2) 不外接控制电压时，5G555的逻辑功能

当C0端不外接控制电压时，5G555的逻辑功能如下表所示。

5G555不外接控制电压时的功能表

输入			输出	
u_{TH}	$u_{\overline{TR}}$	$\overline{R_D}$	OUT	放电三极管T
d	d	0	0	导通
$< \frac{2}{3}U_{CC}$	$< \frac{1}{3}U_{CC}$	1	1	截止
$< \frac{2}{3}U_{CC}$	$> \frac{1}{3}U_{CC}$	1	不变	不变
$> \frac{2}{3}U_{CC}$	$> \frac{1}{3}U_{CC}$	1	0	导通





二、5G555的应用举例

由于5G555具有电源范围宽、定时精度高、使用方法灵活、带负载能力强等特点，所以它在脉冲信号产生、定时与整形等方面的应用非常广泛。

1. 用5G555构成多谐振荡器

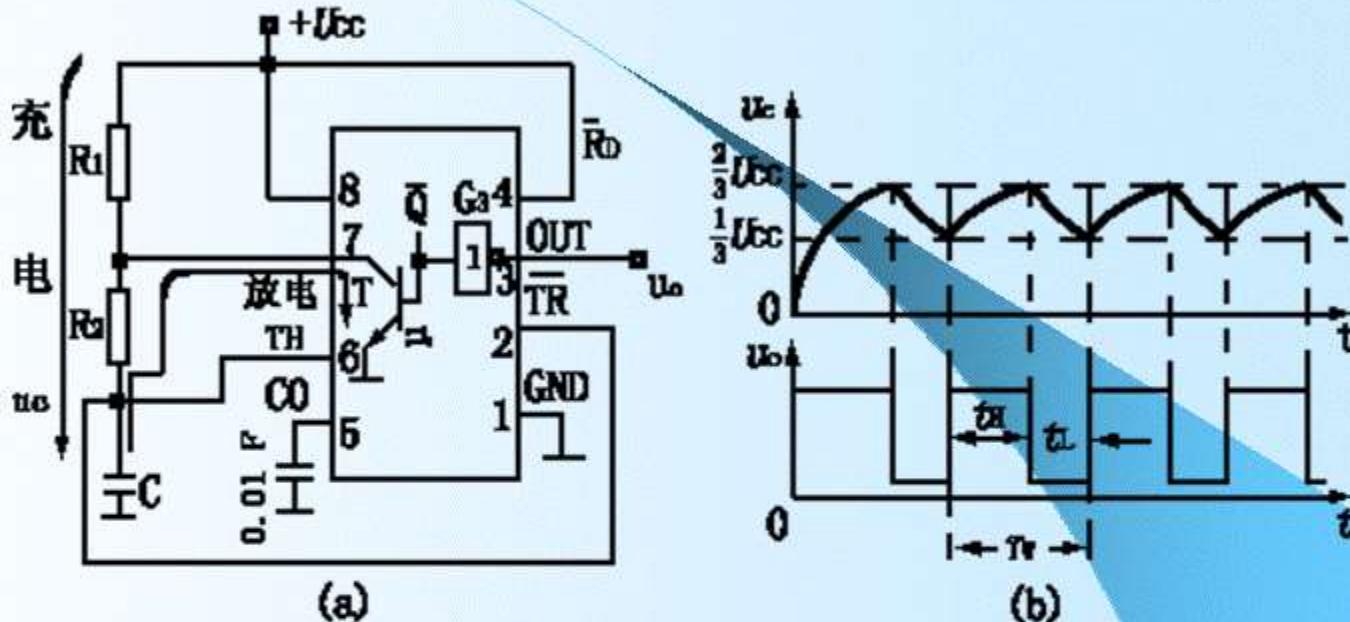
多谐振荡器又称矩形波发生器，它有两个暂稳态，电路一旦起振，两个暂稳态就交替变化，输出矩形脉冲信号。



(1) 电路构成及工作原理

① 电路构成

用 5G555 构成的多谐振荡器电路及其工作波形图如图(a)、(b) 所示。



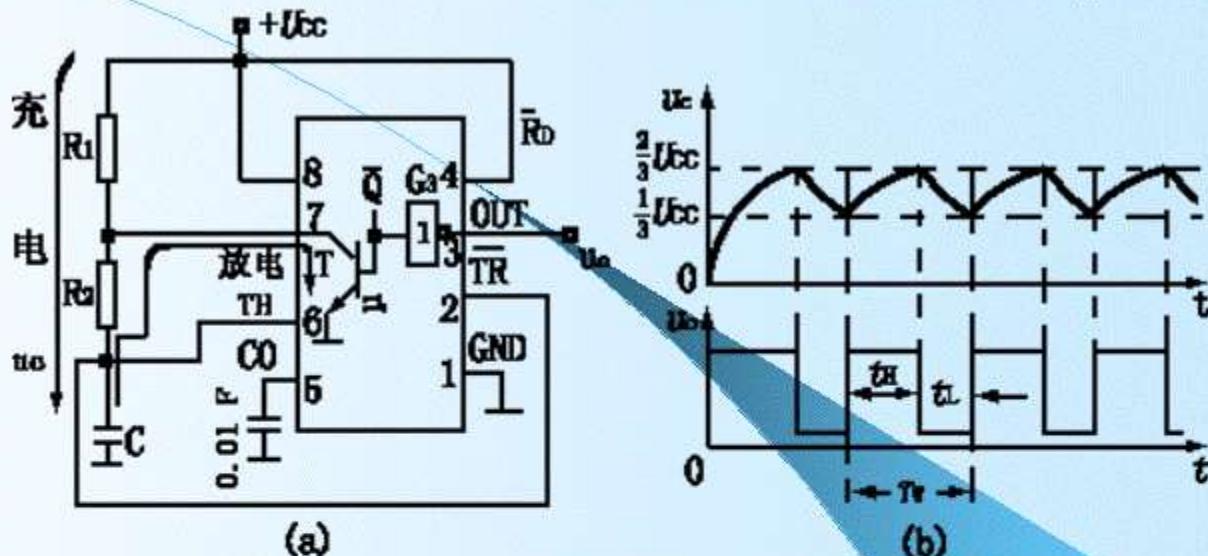
用 5G555 构成的多谐振荡器电路及工作波形图

从图(a)可知，电路由5G555外加两个电阻和一个电容组成。5G555的D端(即放电三极管T的集电极)经R₁接至电源U_{CC}，构成一个反相器。电阻R₂和电容C构成积分电路。积分电路的电容电压u_C作为电路输入接至输入端TH和TR。



② 电路的工作原理

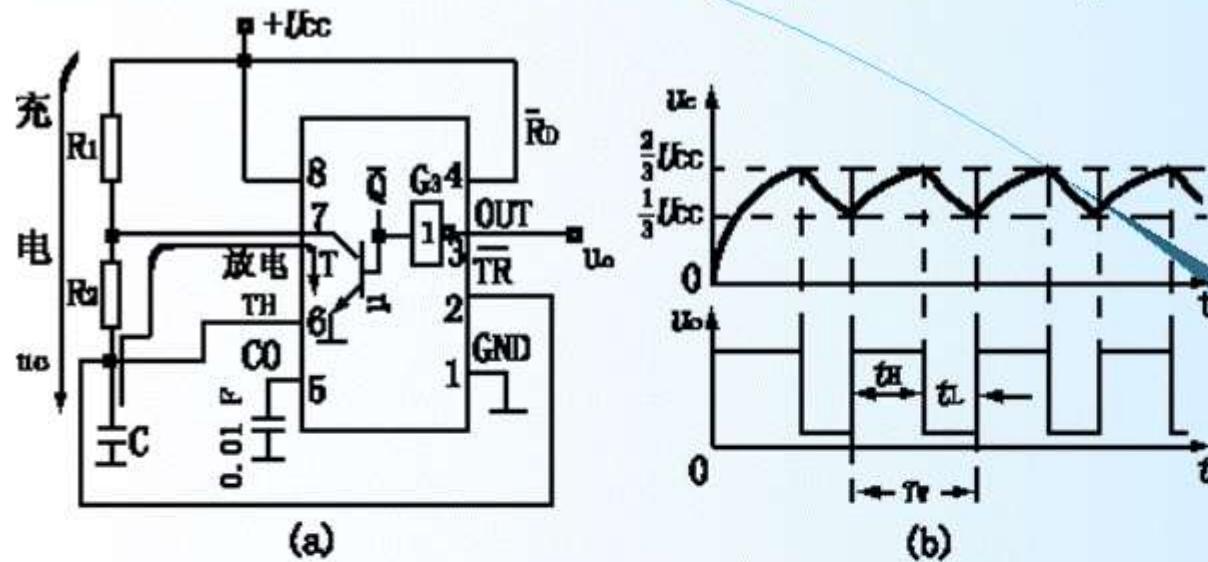
该电路的工作原理可归纳为电容C充电、放电的过程。



用 555 构成的多谐振荡器电路及工作波形图

● 电容C充电：接通电源U_{cc}的瞬间，电容C上的电压u_c不能突变，故 TH 端的电压 $u_{TH} < \frac{2}{3}U_{cc}$ ， \overline{TR} 端的电压 $u_{\overline{TR}} < \frac{1}{3}U_{cc}$ ，输出端 OUT 的状态为 1，放电三极管 T 截止，电源U_{cc}经过R₁、R₂对电容C充电，u_c逐渐上升，电路处在第一个暂稳态。





用 555 构成的多谐振荡器电路及工作波形图

- **电容C放电：**当电容上的电压 U_c 逐渐升高到 $\frac{2}{3} U_{cc}$ 时，由于 \overline{TH} 端和 \overline{TR} 端的电压为 $\frac{2}{3} U_{cc}$ ，使输出端OUT的状态变为0，放电三极管T导通，电容 C 经 R_2 和 T 放电， U_c 逐渐下降，电路处在第二个暂稳态。
- **电容C由放电转为充电：**当电容C上的电压 U_c 下降到 $\frac{1}{3} U_{cc}$ 时，使输出OUT又从低电平0变为高电平1，放电三极管T截止，电源 U_{cc} 再经 R_1 、 R_2 向C充电，电路返回到第一个暂稳态。

注： 电路周期复始地在两个暂稳态之间交替变换，便产生了如图(b)所示的矩形脉冲信号输出！

(2) 输出脉冲信号参数的计算

输出高电平的持续时间 t_H 是电容电压 u_c 从 $\frac{1}{3}U_{cc}$ 上升到 $\frac{2}{3}U_{cc}$ 所需要的时间，它与充电回路的时间常数 $(R_1+R_2)C$ 相关，近似计算公式为

$$t_H \approx 0.7(R_1+R_2)C$$

输出低电平的持续时间 t_L 是电容电压 u_c 从 $\frac{2}{3}U_{cc}$ 下降到 $\frac{1}{3}U_{cc}$ 所需的时间，它与放电回路的时间常数 R_2C 相关，近似计算公式为

$$t_L \approx 0.7 R_2 C$$

矩形波振荡周期 T_W 的近似计算公式为

$$T_W \approx t_H + t_L \approx 0.7(R_1+2R_2)C$$





矩形波振荡频率f的近似计算公式为

$$f = \frac{1}{T_w} \approx \frac{1}{0.7(R_1 + 2R_2)C} \approx \frac{1.43}{(R_1 + 2R_2)C}$$

矩形波的占空比Q的近似计算公式为

$$Q = \frac{t_H}{T_w} \approx \frac{0.7(R_1 + R_2)C}{0.7(R_1 + 2R_2)C} \approx \frac{R_1 + R_2}{R_1 + 2R_2}$$



2. 用5G555构成施密特触发器

(1) 施密特触发器

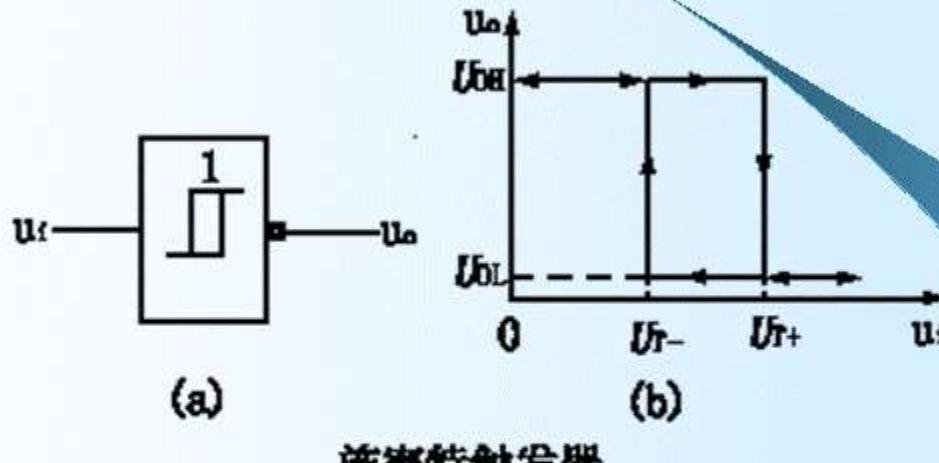
施密特触发器是一种特殊的双稳态时序电路，与一般的双稳态触发器相比，它具有如下**两个特点**：

- 施密特触发器属于**电平触发**，对于缓慢变化的信号同样适用。只要输入信号电平达到相应的触发电平，输出信号就会发生突变，从一个稳态翻转到另一个稳态，并且稳态的维持依赖于外加触发输入信号。

- 对于正向和负向增长的输入信号，电路有不同的阈值电平。这一特性称为**滞后特性或回差特性**。



一种常用施密特触发器的逻辑符号和电压传输特性如下图所示，该器件实际上是一个具有滞后特性的反相器。



施密特触发器

图中，

U_{T+} ： u_i 上升时的阈值电压，称为正向阈值电平或上限触发电平。

U_{T-} ： u_i 下降时的阈值电压，称为负向阈值电平或下限触发电平。

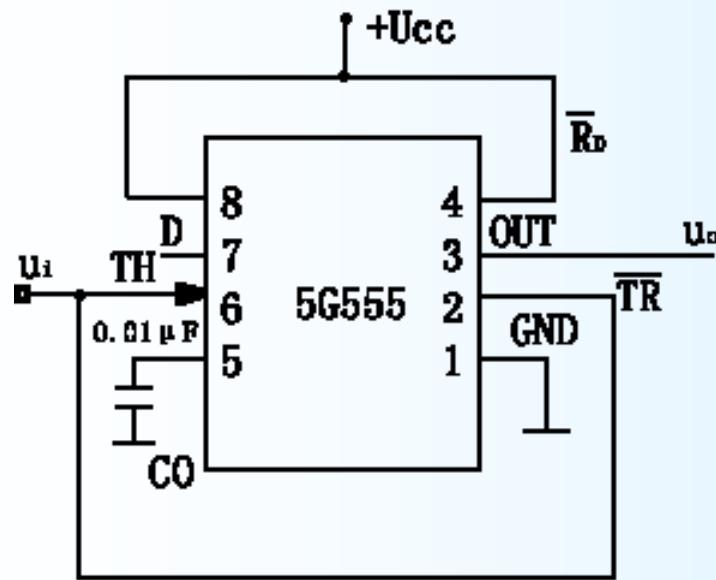
ΔU_T ： U_{T+} 和 U_{T-} 之间的差值，称为回差电压(或滞后电压)。即

$$\Delta U_T = U_{T+} - U_{T-}$$

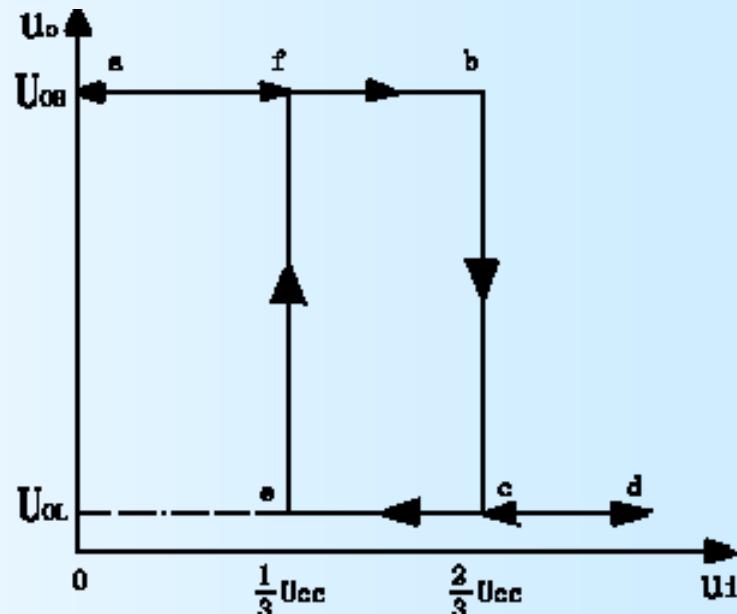


(2) 5G555构成的施密特触发器

用5G555构成的施密特触发器原理图及其传输特性分别如图 (a)、(b) 所示。



(a)



(b)

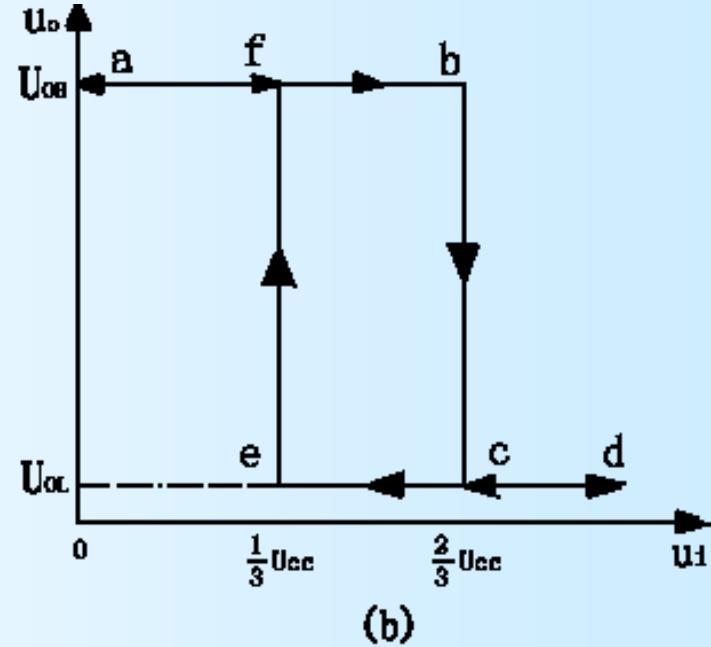
5G555构成的施密特触发器

在图(a)中，将5G555的TH端和 $\overline{\text{TR}}$ 端连接在一起作为信号输入端，OUT作为输出端，便构成了一个施密特反相器。





● u_i 从0开始逐渐升高

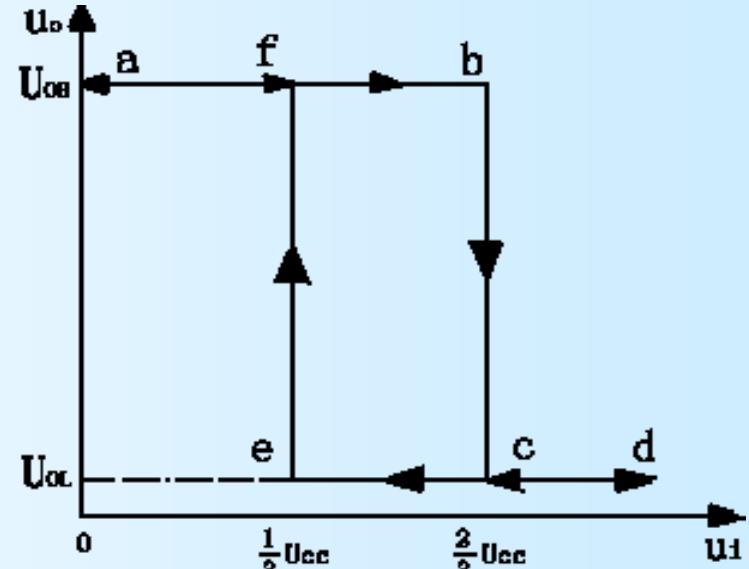


当 $u_i < \frac{1}{3}U_{cc}$ 时， $u_{TH} = u_{\bar{T}R} < \frac{1}{3}U_{cc}$ ，输出 u_o 为高电平 U_{OH} ；
 当 $\frac{1}{3}U_{cc} < u_i < \frac{2}{3}U_{cc}$ 时， $u_{TH} < \frac{2}{3}U_{cc}$ ， $u_{\bar{T}R} > \frac{1}{3}U_{cc}$ ， u_o 保持高电平；
 当 u_i 上升到 $u_i \geq \frac{2}{3}U_{cc}$ 时， $u_{TH} = u_{\bar{T}R} \geq \frac{2}{3}U_{cc}$ ，输出 u_o 变为低电平 U_{OL} 。
 可见，电路正向阈值电压 $u_{T+} = \frac{2}{3}U_{cc}$ 。传输特性为图 (b) 中的 $a \rightarrow b \rightarrow c \rightarrow d$ 。





● u_i 从高于 $\frac{2}{3}U_{cc}$ 逐渐下降



当 $\frac{1}{3}U_{cc} < u_i < \frac{2}{3}U_{cc}$ 时, $u_{TH} < \frac{2}{3}U_{cc}$, $u_{\bar{TR}} > \frac{1}{3}U_{cc}$, 输出 u_o 保持低电平不变;

当 $u_i \leq \frac{1}{3}U_{cc}$ 时, $u_{TH} = u_{\bar{TR}} \leq \frac{1}{3}U_{cc}$, 输出 u_o 变为高电平 U_{OH} 。

可见, 电路的负向阈值电压 $U_{T^-} = \frac{1}{3}U_{cc}$ 。

传输特性如图(b)中的 $d \rightarrow e \rightarrow f \rightarrow a$ 。

由以上分析可知, 该电路的回差电压为

$$\Delta U_T = U_{T^+} - U_{T^-} = \frac{1}{3}U_{cc}$$



7.3.2 集成D/A转换器

数字系统只能处理**数字信号**。但在工业过程控制、智能化仪器仪表和数字通信等领域，数字系统处理的对象往往是**模拟信号**。例如，在生产过程中对温度、压力、流量等物理量进行控制时，经过传感器获取的电信号都是模拟信号。这些模拟信号必须变换成数字信号才能由数字系统加工、运算。另一方面，数字系统输出的数字信号，有时又必须变换成模拟信号才能去控制执行机构。因此，在实际应用中，必须解决模拟信号与数字信号之间的转换问题。



为了解决模拟信号与数字信号之间的转换问题，提供了如下**两类器件**：

D/A转换器：把数字信号转换成模拟信号的器件称为数/模转换器，简称D/A转换器或DAC(Digital to Analog Converter)；

A/D转换器：把模拟信号转换成数字信号的器件称为模/数转换器，简称A/D转换器或ADC(Analog to Digital Converter)。



一、D/A转换器的特性和主要参数

1. 转换特性

理想的D/A转换器应使输出模拟量与输入数字量成正比。

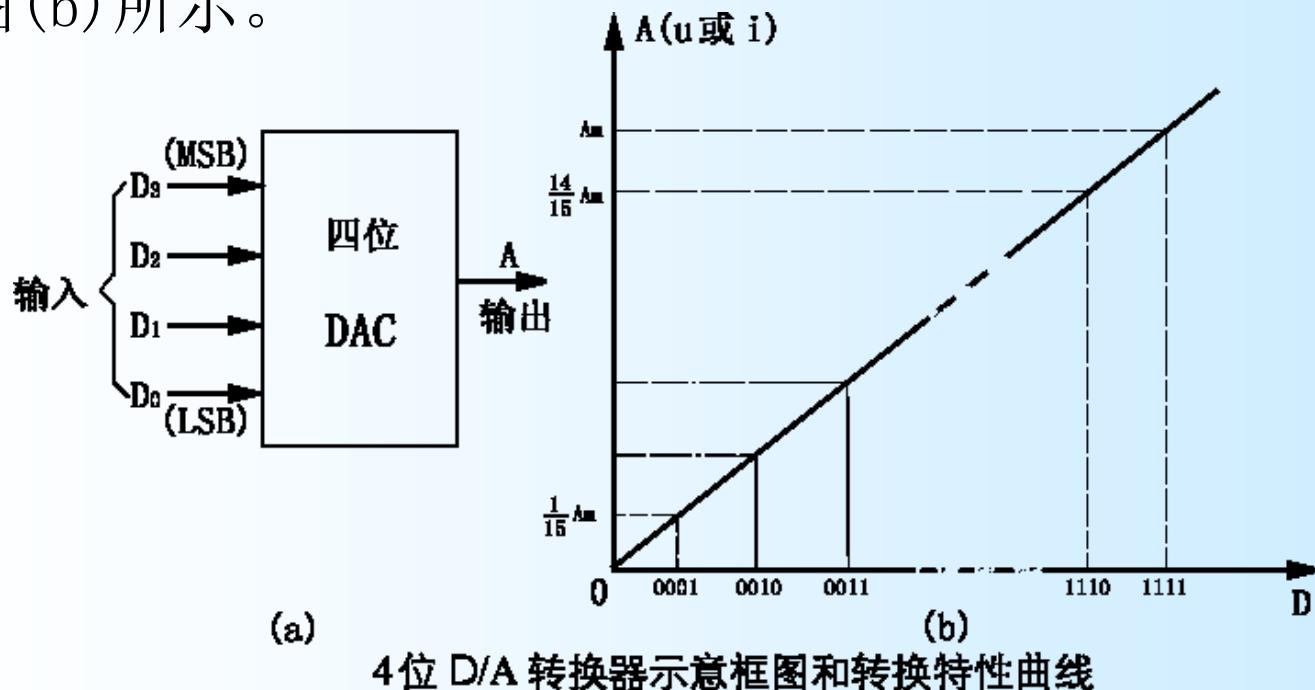
设输入数字量 $D = D_{n-1} \dots D_1 D_0$ ，输出模拟量用 A 表示，则输出与输入之间的关系为

$$A = K \cdot D = K \cdot \sum_{i=0}^{n-1} D_i 2^i$$

式中， K 为转换比例系数。

D/A转换的过程：先把输入数字量的每一位代码按其权的大小转换成相应的模拟量，然后将代表各位数字量的模拟量相加，即可得到与数字量成比例的模拟量。

图(a)给出了一个4位D/A转换器的示意框图，其转换特性曲线如图(b)所示。



图中，设输出模拟量的满刻度值为 A_m ，则当数字量为 0001，电路输出最小模拟量 $A_{LSB} = \frac{1}{15} A_m$ 。推广到一般情况，n 位输入的D/A转换器所能转换输出的最小模拟量 $A_{LSB} = \frac{1}{2^n - 1} A_m$ 。



2. 主要参数

衡量D/A转换器性能的主要参数有**分辨率、非线性度、绝对精度和建立时间。**

(1) 分辨率

分辨率是指最小模拟量输出与最大模拟量输出之比。

对于一个n位D/A转换器，其分辨率为

$$\text{分辨率} = \frac{A_{\text{LSB}}}{A_m} = \frac{A_m / (2^n - 1)}{A_m} = \frac{1}{2^n - 1}$$

由于分辨率决定于数字量的位数，所以有时也用输入数字量的位数表示，如分辨率为8位、10位等。



(2) 非线性误差

具有理想转换特性的D/A转换器，每两个相邻数字量对应的模拟量之差都为 A_{LSB} 。在满刻度范围内偏离理想转换特性的最大值，称为非线性误差。

(3) 绝对精度

绝对精度是指在输入端加对应满刻度数字量时，输出的实际值与理想值之差。一般该值应低于 $\frac{1}{2} A_{LSB}$ 。

(4) 建立时间

建立时间是指从送入数字信号起，到输出模拟量达到稳定值止所需要的时间。它反映了电路的转换速度。



二、D/A转换器的类型

目前，集成D/A转换器有很多类型和不同的分类方法。从电路结构来看，各类集成D/A转换器至少都包括电阻网络和电子开关两个基本组成部分。

1. 按网络结构分类

根据电阻网络结构的不同，D/A转换器可分成权电阻网络D/A转换器、R-2R正梯形电阻网络D/A转换器和R-2R倒梯形电阻网络D/A转换器等几类。

2. 按电子开关分类

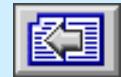
根据电子开关的不同，可分成CMOS电子开关D/A转换器和双极型电子开关D/A转换器。双极型电子开关比CMOS电子开关的开关速度高。



3. 按输出模拟信号的类型分类

根据输出模拟信号的类型，D/A转换器可分为**电流型**和**电压型**两种。常用的D/A转换器大部分是电流型，当需要将模拟电流转换成模拟电压时，通常在输出端外加运算放大器。

随着集成电路技术的发展，D/A转换器在电路结构、性能等方面都有很大变化。从只能实现数字量到模拟电流转换的D/A转换器，发展到能与微处理器完全兼容、具有输入数据锁存功能的D/A转换器，进一步又出现了带有参考电压源和输出放大器的D/A转换器，大大提高了D/A转换器综合性能。



常用的D/A转换器有8位、10位、12位、16位等种类，每种又有不同的型号。

三、典型芯片——集成D/A转换器DAC0832

DAC0832是用CMOS工艺制作的8位D/A转换器，采用20引脚双列直插式封装。

1. 主要性能

分辨率：8位；

转换时间： $1 \mu s$ ；

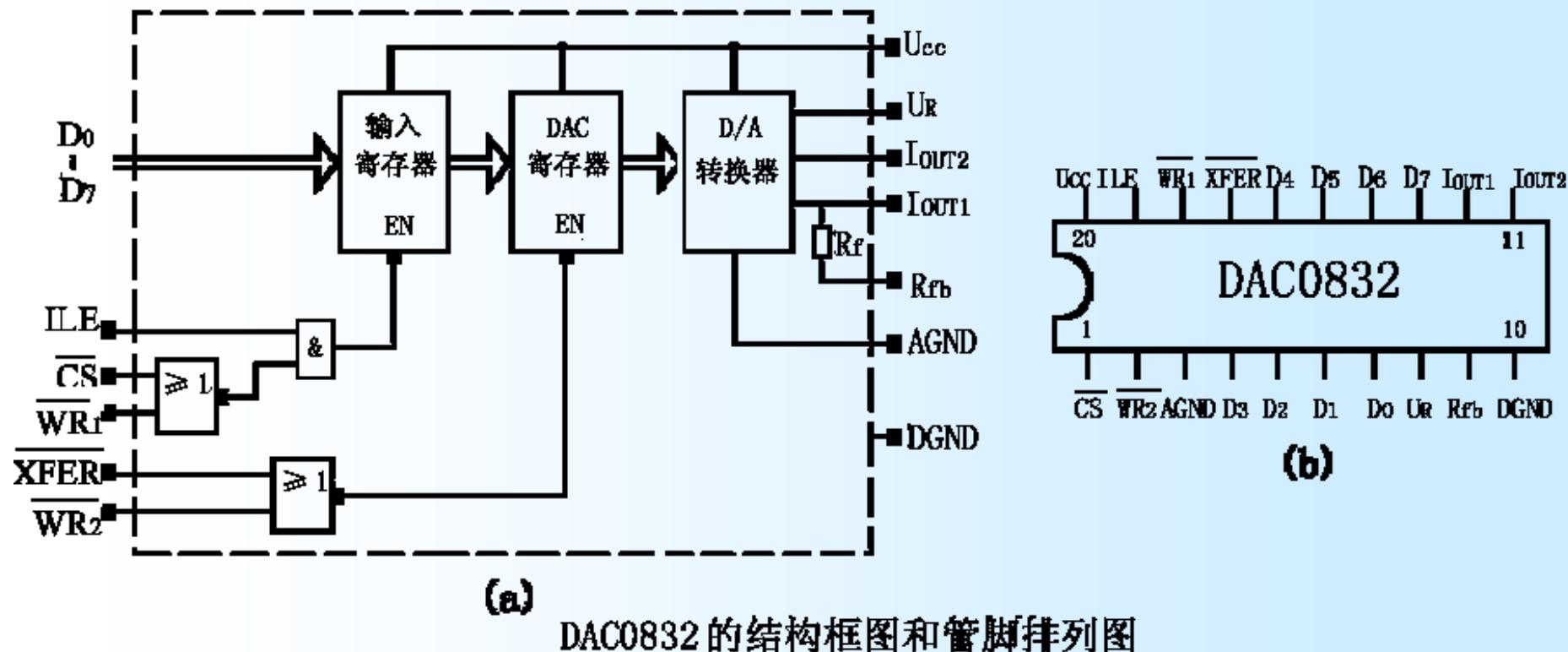
缓冲能力：双缓冲；

输出信号类型：电流型。



2. 结构框图和管脚排列图

DAC0832的内部结构框图和管脚排列图分别如图(a)、图(b)所示。



7.3.3 集成A/D转换器

通常，A/D转换的过程包括采样、保持和量化、编码两大步骤。

采样：是指周期地获取模拟信号的瞬时值，从而得到一系列时间上离散的脉冲采样值。

保持：是指在两次采样之间将前一次采样值保存下来，使其在量化编码期间不发生变化。

采样保持电路一般由采样模拟开关、保持电容和运算放大器等几个部分组成。



经采样保持得到的信号值依然是模拟量，而不是数字量。任何一个数字量的大小，都是以某个最小数字量单位的整数倍来表示的。

量化：将采样保持电路输出的模拟电压转化为最小数字量单位整数倍的转化过程称为量化。

所取的最小数量单位叫做量化单位，其大小等于数字量的最低有效位所代表的模拟电压大小，记作 U_{LSB} 。

编码：把量化的结果用代码(如二进制数码、BCD码等)表示出来，称为编码。

A/D转换过程中的**量化**和**编码**是由A/D转换器实现的。



一、A/D转换器的类型

A/D转换器的类型很多，根据转换方法的不同，最常用的A/D转换器有如下几种类型。

1. 并行比较型A/D转换器

并行比较型A/D转换器由电阻分压器、电压比较器、数码寄存器及编码器4个部分组成。

优点：转换速度快。其转换时间只受电路传输延迟时间的限制，最快能达到低于20ns。

缺点：随着输出二进制位数的增加，器件数目按几何级数增加。一个n位的转换器，需要 $2^n - 1$ 个比较器。例如，n=8时，需要 $2^8 - 1 = 255$ 个比较器。因此，制造高分辨率的集成并行A/D转换器受到一定限制。

适用于要求转换速度高、但分辨率较低的场合。



2. 逐次比较型A/D转换器

逐次比较型A/D转换器是集成ADC芯片中使用最广泛的一种类型。它由电压比较器、逻辑控制器、D/A转换器及数码寄存器组成。

特点：转换速度较快，且输出代码的位数多，精度高。

3. 双积分型A/D转换器

双积分型A/D转换器是一种间接A/D转换器。由积分器、检零比较器、时钟控制门和计数器等几部分组成。

工作原理：把输入的模拟电压转换成一个与之成正比的时间宽度信号，然后在这个时间宽度里对固定频率的时钟脉冲进行计数，其结果就是正比于输入模拟信号的数字量输出。

优点：精度高、抗干扰能力强；**缺点：**速度较慢。

广泛用于对速度要求不高的数字化仪表。



二、A/D转换器的主要技术参数

1. 分辨率

分辨率是指输出数字量变化一个最小单位(最低位的变化)对应输入模拟量需要变化的量。输出位数越多,分辨率越高。通常以输出二进制码的位数表示分辨率。

2. 相对精度

相对精度是指实际转换值偏离理想特性的误差。

通常以数字量最低位所代表的模拟输入值来衡量,如

相对精度不超过 $\pm \frac{1}{2}$ LSB。

3. 转换时间

转换时间是指A/D转换器从接到转换命令起到输出稳定的数字量为止所需要的时间。





三、集成A/D转换器典型芯片——ADC0809

常用的集成A/D转换器有8位、10位、12位、16位等，每种又可分为不同的型号。

(详见教材相关内容)

