申请类型：发明申请

申请人：浙江大学、之江实验室

发明人顺序： 黄科杰 刘润 沈海斌

第一发明人身份证号：330222198007126952

信电学院

专利负责人：黄科杰 17706443800 huangkejie@zju.edu.cn

技术联系人： 刘润 17865195158 liurun@zju.edu.cn

之江实验室

12330000MB1478604D

浙江省杭州市文一西路1818号

311121

说 明 书 摘 要

本发明公开了一种基于存内计算（Computing in Memory）的混合基快速傅里叶变换（Mixed-Radix Fast Fourier Transform）计算电路。存内计算阵列和电路中的存储模块相连接；地址生成模块和存储模块相连接，生成不同的地址数据控制存储模块中数据送入存内计算阵列中进行计算；数据流控制模块产生控制信号，通过与地址生成模块和存储模块的连接，控制整个系统中数据流的流动时序；存内计算阵列接受从存储模块中传入数据，经过计算后输出结果至存储模块中。本发明可以有效地利用存内计算低功耗和乘累加计算的特点，设计了快速傅里叶变换的电路，解决了传统快速傅里叶变换电路设计中高功耗，高延迟的技术问题。

权 利 要 求 书

说 明 书

一种基于存内计算的混合基快速傅里叶变换计算电路

技术领域

本发明属于神经形态计算领域，涉及一种基于存内计算的混合基快速傅里叶变换的神经形态计算电路。

背景技术

傅里叶分析是一种广泛应用于工程，科学和数学等领域的将信号从原始域变换到频率域的分析方法，而快速傅里叶变换是其在实际中常用到的快速计算方法。快速傅里叶变换是一种高并行度，大数据量的计算方式，随之而来的是计算中产生的巨大功耗，这在低功耗终端应用中显现出巨大的挑战。与此同时，在传统的冯洛伊曼计算架构中，由于存储和计算模块的分离，数据在存储和计算模块中不断进行传输和计算，产生了严重的“内存墙”效应。随着摩尔定律即将走向终结，通过半导体工艺升级来提升处理器性能的方法已经难以维持。智能时代终端数量的爆炸式增长使得传统计算模式高成本，高功耗，高延迟和低能耗效率等问题日益严重，低功耗和大数据量的矛盾日益突出，急需要新的硬件架构和软件算法来提升计算和存储能力的同时，减少计算所产生的功耗。

存内计算技术是一种采用新型存储单元同时实现存储和计算的一种技术，是神经形态计算电路的一种实现方式。存内计算技术通过给存储器赋予计算功能，从而解决了冯洛伊曼架构中存在的内存墙问题，是一种非常适合用于进行低功耗计算的神经形态处理芯片设计的异构计算方式。存内计算中并行的输入输出方式适合于大数据量的并行计算，大大降低了计算延迟。同时，存内计算中并行乘累加的计算方式很适合快速傅里叶变换计算中所使用到的矩阵乘法，则采用存内计算的快速傅里叶变换计算就可以获得高并行，低功耗，低延迟的效果，从而提升电路对于快速傅里叶变换计算的处理性能。

现有的快速傅里叶变换处理器设计主要分为两种，一种是流水线式，一种是存储器中心式。流水线式快速傅里叶变换处理器通过对输入原始数据进行分类，每次计算其中一部分数据从而产生流水效果；以存储器为中心的设计模式则是将优化数据在存储器和计算单元的流动方式作为重点，设计不同的数据流模式以达到计算的目的。但是这两种方式仍然没有跳出传统的冯诺依曼设计结构，因此都会产生相当的功耗和一定的延迟。本发明则是采用新兴的存内计算技术，结合快速傅里叶变换矩阵计算和存内计算乘累加的特点，设计混合基快速傅里叶变换的处理电路，该电路可以在降低功耗的同时，实现高并行和低延迟的信号快速傅里叶变换处理。

发明内容

针对传统快速傅里叶变换电路设计中高功耗的特点，本发明提出了一种结合存内计算技术的快速傅里叶变换电路设计方案，本设计方案在实现低功耗计算的同时还可以实现高并行度和低延迟时间。

本发明所采用的的技术方案是：

本发明包括采用了新型存储器件的存内计算阵列、数字电路存储模块、数字电路地址生成模块、数字电路数据流控制模块；存内计算阵列和存储模块相连接，存储模块存放需要进行快速傅里叶变换的原始数据和每一级计算中所产生的中间数据；存储模块和地址生成模块相连接，地址生成模块负责产生每一级计算中所需要的数据在存储模块中的地址；数据流控制模块和地址生成模块和存储模块相连接，负责产生整个系统计算所需要的数据流控制时序信号，和数据从存内计算阵列中的输入输出过程。

所述的存内计算阵列是由多个存内计算单元构成，存内计算单元有多种，可以是数字或者模拟，并无特别要求。同一列的存内计算单元均连接到同一位线上，同一行的存内计算单元均连接到同一比特线上。存内计算模式的本质是数据的乘累加和，输入数值转化为二进制形式，每次输入单比特的二进制数，控制相应的存储单元的计算（图1）。而使用大规模的阵列式存内计算单元，即可实现在阵列的一个方向控制乘法计算数值，在阵列的另一个方向实现乘法计算数值的累加。

所述的存储模块是由数字电路设计产生，其和存内计算阵列，地址生成模块，数据流控制模块相连接。存储模块接受地址生成模块所产生的地址数据和数据流控制模块所产生的时序控制信号，将需要进行快速傅里叶变换的原始数据和每一级中需要进行快速傅里叶变换的数据送入到存内计算阵列中完成相应计算过程，并接受存内计算阵列每一级计算所产生的结果数据。

所述的地址生成模块是由数字电路设计产生，其和存储模块和数据流控制模块相连接。地址生成模块产生每一级中需要进行快速傅里叶变换的数据在存储模块中的地址，使得存储模块可以将正确的数据流送入存内计算阵列进行相应的计算。

所述的数据流控制模块是由数字电路设计产生，其和存储模块和地址生成模块相连接。数据流控制模块产生整个系统计算所需要的数据流控制时序信号，控制地址生成模块产生每一级快速傅里叶变换的数据地址，控制存储模块将数据输入存内计算阵列，控制存储模块接收存内计算阵列所产生的计算结果数据。

本发明计算电路主要用于混合基的快速傅里叶变换计算，快速傅里叶变换所需要的旋转因子数据映射到相应的存内计算单元中，可以根据不同的存内计算单元选择合适的0和1的状态表示。

本发明的创新设计如下：

1. 设计了混合基快速傅里叶变换和存内计算结合的电路（图5）。主要包括原始数据和各级中间计算数据存储模块，地址生成模块，数据流控制模块和存内计算阵列。
2. 对于原始数据和各级中间数据进行了量化。为了兼顾数据的精度和每一级计算的延迟，对于原始数据和每一级中间计算数据都采用有符号数的8比特量化方式。在这种量化方式下，每一个数据都会量化到-128到127的范围中，这样可以让每一级的计算周期都变成8个时钟周期，同时保持相当的计算精度。
3. 设计不同大小的存内离散傅里叶变换（Discrete Fourier Transform）计算阵列，包括8点计算阵列，16点计算阵列，32点计算阵列和64点计算阵列（图5）。不同点数的计算阵列可以满足不同点快速傅里叶变换的分级要求，也可以满足相同点快速傅里叶变换不同分级方式的计算要求。这种不同点的阵列布置，可以使得快速傅里叶变换计算电路完成不同点的计算，从而大大提升整体电路的灵活性。

本发明的有益效果是：

本发明提出了一种新的结合存内计算技术的快速傅里叶变换电路设计方案，该设计方案可以让混合基快速傅里叶变换得以在存内计算阵列中方便实现，从而达到低功耗，低延迟设计的目标。

本发明还包含有不同规模大小的存内计算阵列，可以完成不同分级方式下的快速傅里叶变换设计需求，提升了整体电路的灵活性。

附图说明

图1是一般存内计算电路结构图；

图2是一般离散傅里叶变换计算矩阵；

图3是512点快速傅里叶变换 16\*16\*2混合基分级模式下数据流图；

图4是16点离散傅里叶存内计算示意图；

图5是本发明提出的混合基快速傅里叶存内计算结构示意图；

具体实施方式

下面结合附图对发明的具体实施方式做进一步的说明。

现有传统的离散傅里叶变换计算（图2），采用的是矩阵计算形式。当需要进行离散傅里叶变换的数据量较大时，使用矩阵乘法形式计算十分不方便，尤其是使用存内计算阵列。对于较大点数的快速傅里叶变换计算，可以采用混合基分解方法将一个大型的旋转因子矩阵分解为多个小型的旋转因子矩阵。其计算原理是：对于N点离散傅里叶变换，如果N是一个复合数，它可以分级为一些因子的乘积，则可以使用快速傅里叶的一般算法，基混合基快速傅里叶变换算法，而常用的基-2算法则是这种一般算法的特例。若N可以表示为复合数，其中代表复合数N进行因数分解后的各个因子；则对于的任何一个正整数n，都可按照L基，，…, 表示为多基多进制形式,其中代表不同位的不同进制；这一多基多进制所代表的数值为

其中n代表可以进行因数分解的正整数；代表不同位的不同进制；代表复合数n进行因数分解后的各个因子。其倒位序形式为=，它所代表的数值为：

其中代表十进制下倒位序形式代表的数值；代表不同位的不同进制；代表复合数n进行因数分解后的各个因子。假设离散傅里叶变换点数是一个复合数，则其混合基分解之后的离散傅里叶变换公式为：

其中代表最终的计算结果值，代表不同位的不同进制；代表复合数n进行因数分解后的各个因子；代表频率分量；代表需要进行离散傅里叶变换的点数；代表需要进行离散傅里叶变换的原始数据；代表每一级的旋转因子矩阵。这样可以得到的混合基FFT算法，首先将n表示为按进制表示的形式,即将x(n)分为个点的序列，然后再做个点的DFT得到；将乘以旋转因子后，再做个点的DFT得到，最后进行进制整序，得到。

因此本发明设计的计算电路如图5所示，包括采用了新型存储器件的存内计算阵列、数字电路存储模块、数字电路地址生成模块、数字电路数据流控制模块；存内计算阵列和存储模块相连接，存储模块存放需要进行快速傅里叶变换的原始数据和每一级计算中所产生的中间数据；存储模块和地址生成模块相连接，地址生成模块负责产生每一级计算中所需要的数据在存储模块中的地址；数据流控制模块和地址生成模块和存储模块相连接，负责产生整个系统计算所需要的数据流控制时序信号，和数据从存内计算阵列中的输入输出过程。

如图4所示，存内计算阵列是由多个存内计算单元构成，存内计算单元有多种，可以是数字或者模拟，并无特别要求。同一列的存内计算单元均连接到同一位线上，同一行的存内计算单元均连接到同一比特线上。存内计算阵列输入数值转化为二进制形式，每次输入单比特的二进制数，控制相应的存储单元的计算（图1）。而使用大规模的阵列式存内计算单元，即可实现在阵列的一个方向控制乘法计算数值，在阵列的另一个方向实现乘法计算数值的累加。

如图5所示，存储模块是由数字电路设计产生，其和存内计算阵列，地址生成模块，数据流控制模块相连接。存储模块接受地址生成模块所产生的地址数据和数据流控制模块所产生的时序控制信号，将需要进行快速傅里叶变换的原始数据和每一级中需要进行快速傅里叶变换的数据送入到存内计算阵列中完成相应计算过程，并接受存内计算阵列每一级计算所产生的结果数据。

如图5所示，地址生成模块是由数字电路设计产生，其和存储模块和数据流控制模块相连接。地址生成模块产生每一级中需要进行快速傅里叶变换的数据在存储模块中的地址，使得存储模块可以将正确的数据流送入存内计算阵列进行相应的计算。

如图5所示，数据流控制模块是由数字电路设计产生，其和存储模块和地址生成模块相连接。数据流控制模块产生整个系统计算所需要的数据流控制时序信号，控制地址生成模块产生每一级快速傅里叶变换的数据地址，控制存储模块将数据输入存内计算阵列，控制存储模块接收存内计算阵列所产生的计算结果数据。

图3作为示例，显示的是512点快速傅里叶变换在16\*16\*2的混合基分级模式下的数据流图，体现出混合基分解下每一级抽取不同位序数据进行计算的特点。图4是一个16点离散傅里叶变换在存内计算中的示意图。存内单元存储的是旋转因子矩阵中的元素，也就是权重，输入数据量化成为8bit之后按比特从横向进入存内计算阵列，实现乘法运算，在纵向实现累加和计算，并输出最后结果。

上述计算电路拓扑结构下的计算流程如下：

原始计算数据先存放在存储模块中，确定好快速傅里叶变换的混合基分解形式之后，地址生成模块根据该混合基分解形式生成相应数据地址，送入到存储模块中；与此同时，数据流控制模块产生控制信号将存储模块中相应地址中的数据按照每比特为单位送入到存内计算阵列中去；在存内计算阵列中根据一定的时序完成相应的矩阵计算，数据流控制模块在一定的时序后，将输出数据送入到存储模块中存储起来，以供下一级计算使用。由于进行了混合基的分解，每一级中需要抽取不同位序的输入数据送入到存内计算阵列中进行计算，地址生成模块需要产生每一级计算的输入数据在存储模块中的地址。对于不同的分级方式，存内计算阵列提供了8点，16点，32点和64点不同的存内计算阵列，可以计算不同点数的离散傅里叶变换，这样满足不同点的计算需求，体现了整体设计的灵活性。

以上实施例仅用于说明本发明的技术方案而非对其限制，尽管参照上述实施例对本发明进行了详细的说明，所属领域的普通技术人员应当理解；其依然可以对本发明的具体实施方式进行修改或者等同替换，而未脱离本发明精神和范围的任何修改或者等同替换，其均应涵盖在本发明的权利要求范围当中。

说 明 书 附 图

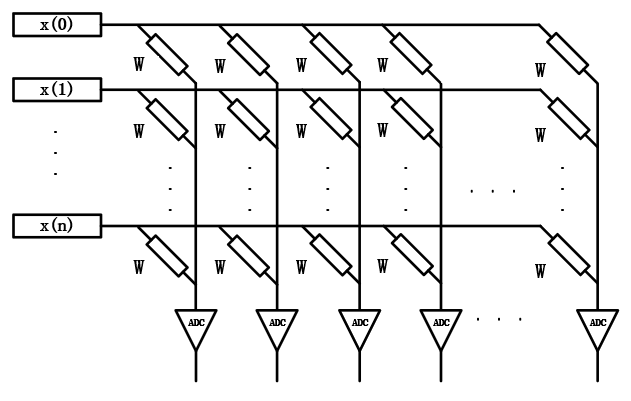


图1

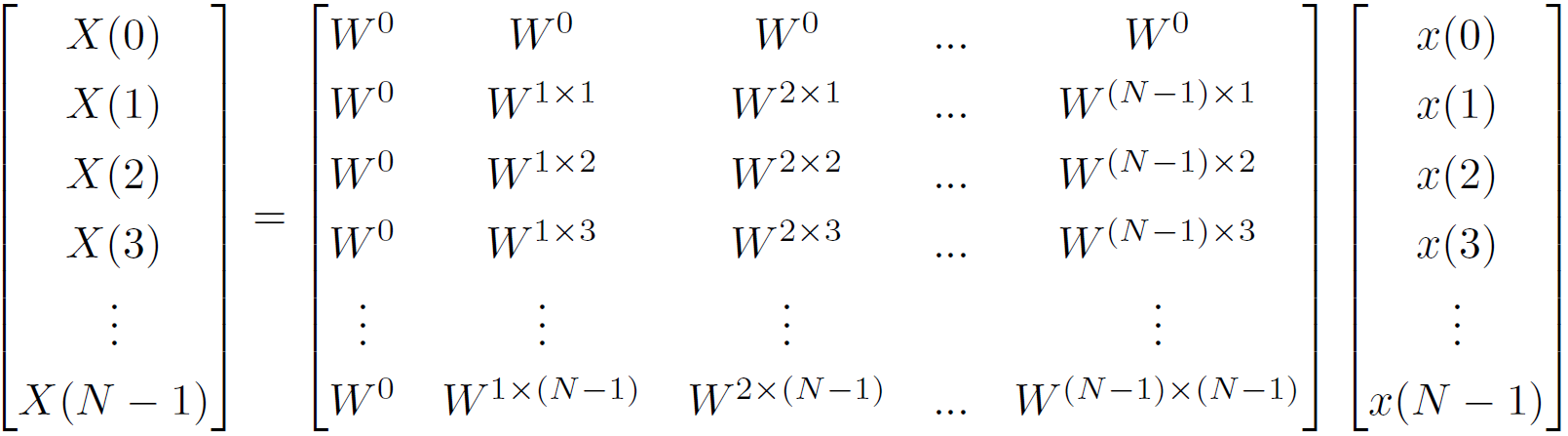


图2

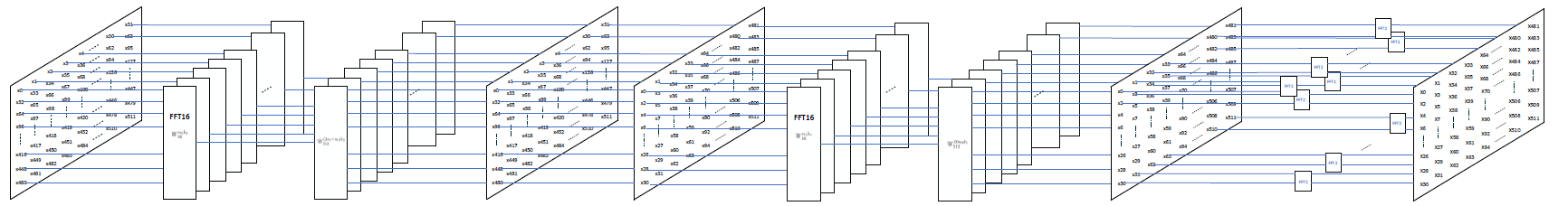


图3

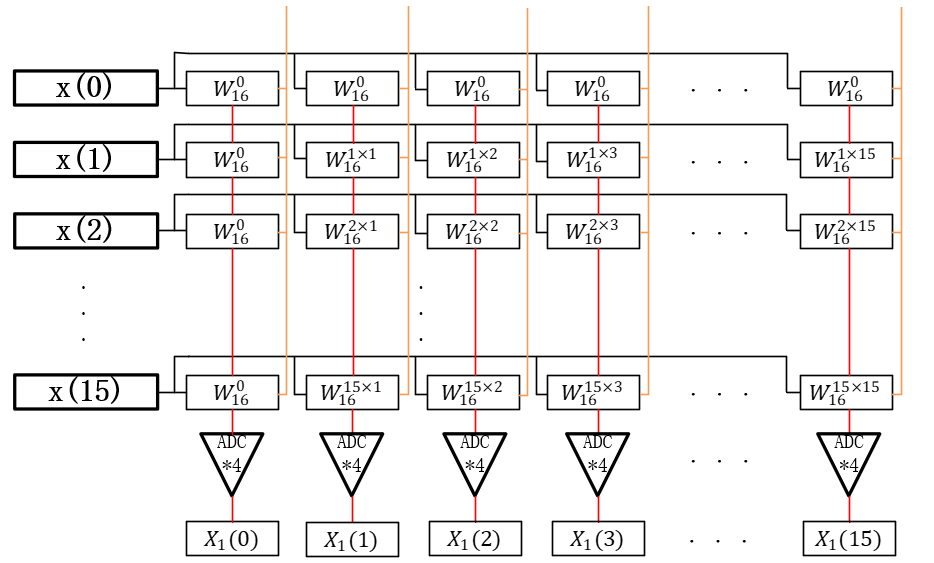


图4

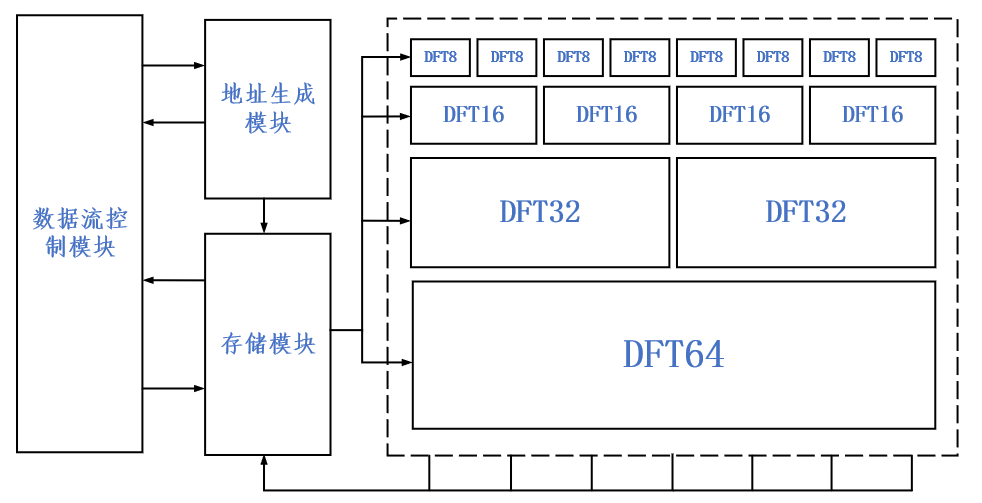


图5