存内计算核设计的细节

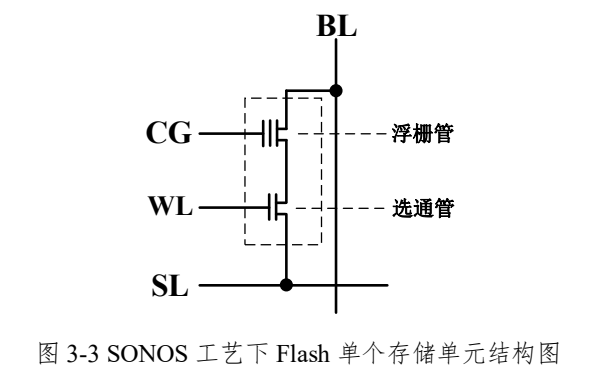
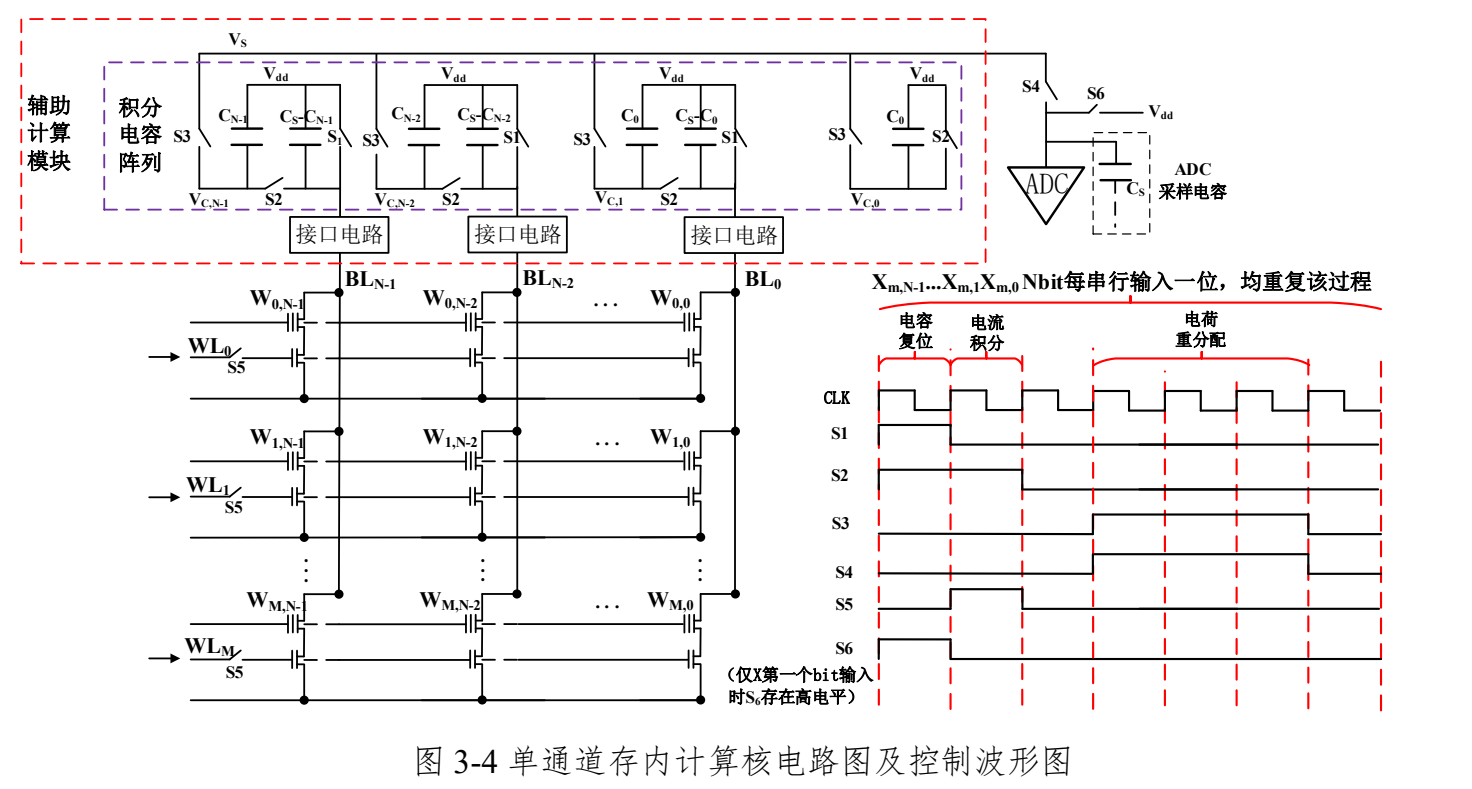


图3-3是单个flash存储单元的结构图。单个存储单元有三个存储方式：擦除、编程和读取，在所有flash单元使用之前，都需要进行擦除过程。擦除模式时，CG端口接负高压，WL接正压，BL和SL接正高压，擦除后浮栅管中浮栅的电子进入衬底，阈值电压变小，等效电阻为低阻，等效电导变大，读出电流变大，相当于存储单比特“1”。编程模式下，存储单元CG端口接正高压，WL、BL和SL端口接负高压，向浮栅管中的浮栅注入电子，此时阈值电压变大，等效电阻为高阻，等效电导变小，读出电流变小，相当于存储单比特逻辑“0”。（由于擦除模式下已经等效存储单比特“1”，所以若要写入“1”，则无需采用其他动作）在读取模式下，SL接地，BL接正压（接口电路，或者说稳压电路产生的正压？），CG接正压，WL输入高电平时，选通管导通，若浮栅管为低阻状态（对应逻辑存储“1”），则整个存储单元导通，位线端口有电流通过；若浮栅管为高阻状态（对应逻辑存储“0”），则存储单元关断，电流几乎为0，通过测量位线上的电流可以读取存储单元的值。读取模式下把WL输入的高/低电平作为一个单比特乘数，把存储单元中存储的值作为另一个单比特乘数，则读取过程是视为完成了单比特乘法操作。

问题：

1. 这就是华力的实际的flash的结构图么？
2. 擦除、编程和读取这三步在flash array中是不是没有实际进行？因为flash array的功耗都是折算过来的。Flash array是以什么形式存在的？是完全没有，只有纸上的计算，还是以其他的电路形式（例如RRAM）进行的模拟？还是真正以flash的单元进行的电路设计？模拟的部分到底是怎么做的？做了哪些？哪些是纸上计算的？
3. 读取时CG端口的阈值电压是不是远小于擦除和编程时候CG端口的正/负高压？



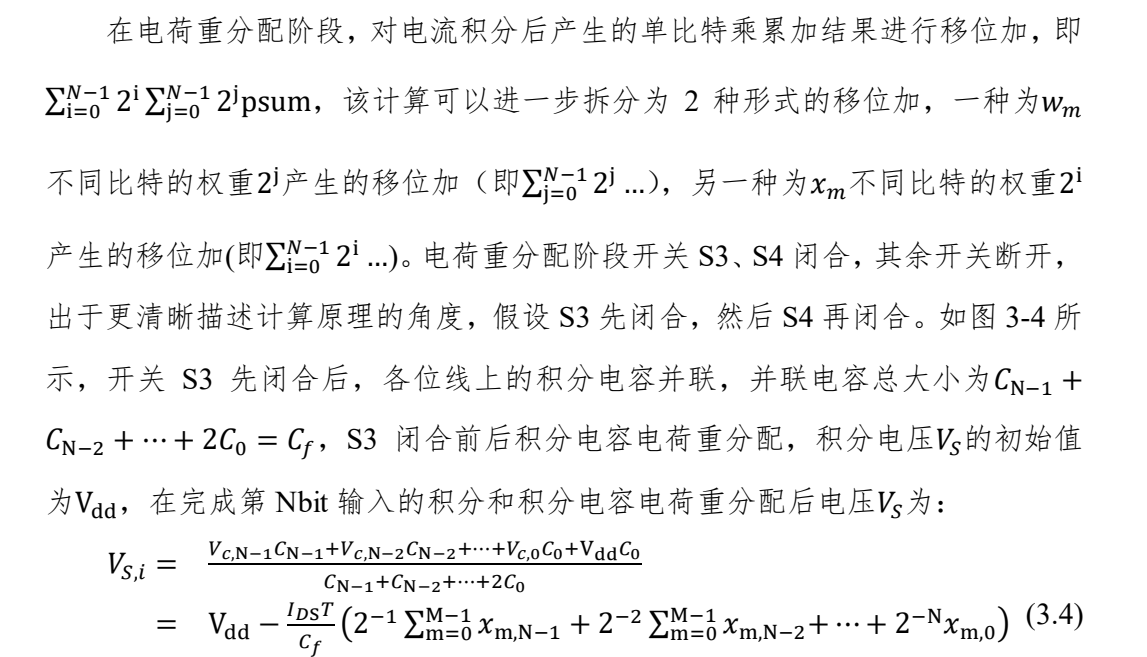
单通道内存内计算核如上图所示，flash阵列大小为M×N，即M根字线和N根位线。辅助计算电路包括N个接口电路、积分电容阵列、传输门开关S1-S6。每根位线经接口电路与两个积分电容相连，两电容之和是,积分电容阵列电容之比是，其中，由此可知（等比数列加和）。是ADC的采样电容（实际在ADC内部），并且有。

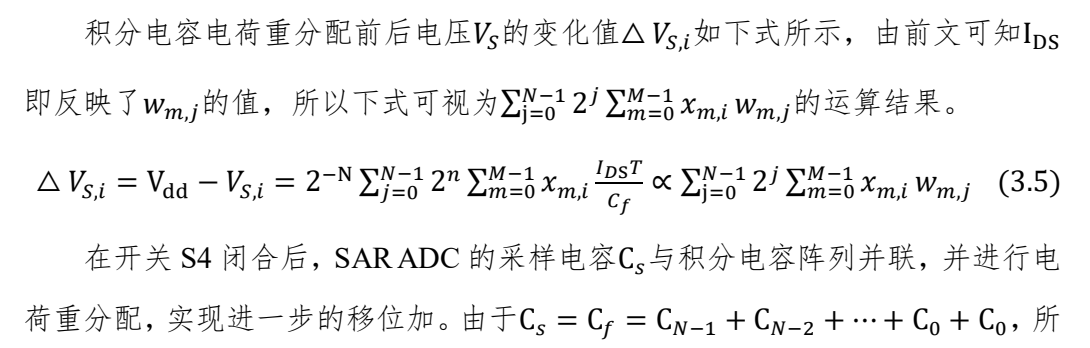
向量乘法的公式如下所示：

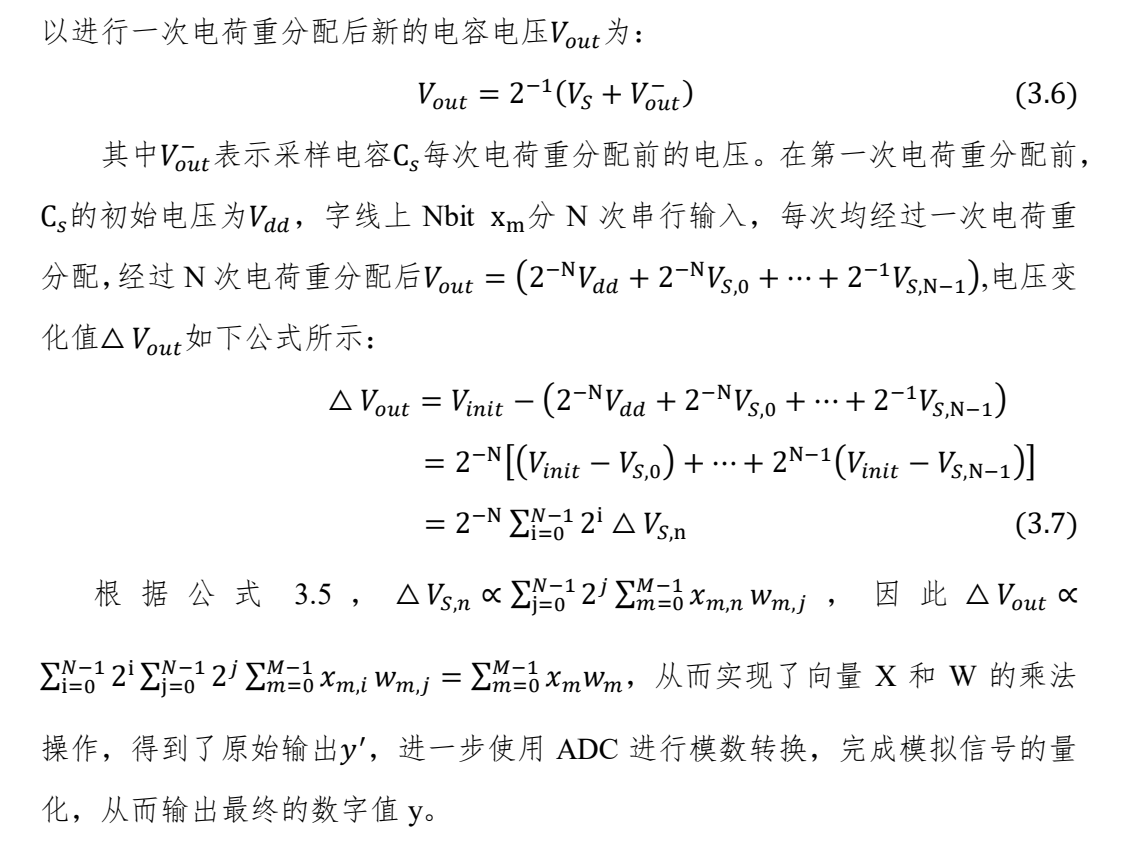
首先通过擦除和编程操作将向量W存储在阵列中，M个元素存储在M行中，每行的N个单元存储二进制编码（Nbit）中的一位，高阻状态表示二进制“0”，低阻状态表示二进制“1”。向量X的M个元素分别从M行字线并行输入阵列，每一行字线的Nbit二进制从LSB到MSB依次串行输入。在每bit串行输入的过程中，都要经历上图中S1-S6开关的波形过程，包括电容复位、电流积分和电荷重分配三个阶段。

在电容复位阶段：S1、S2和S6闭合，其余开关断开，积分电容阵列中的电容和ADC采样电容两端电压复位为Vdd，为后续计算做准备。

在电流积分阶段：S2和S5闭合，其余开关断开。以第j列字线上的电容为例，积分前处的电压为，为第m行字线上的第i比特输入，M为存储阵列字线数量，T为积分时间（开关S5高电平持续时间）为单个存储单元的读出电流，若为逻辑1，则该单元阈值电压较小，较大；若为逻辑0，则该单元阈值电压较大，几乎为0，即反映了的值。所以此时变为：

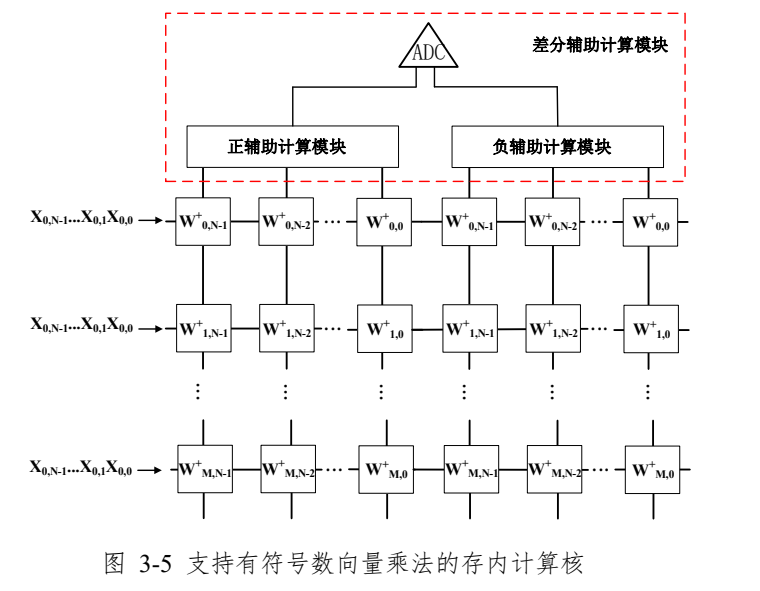


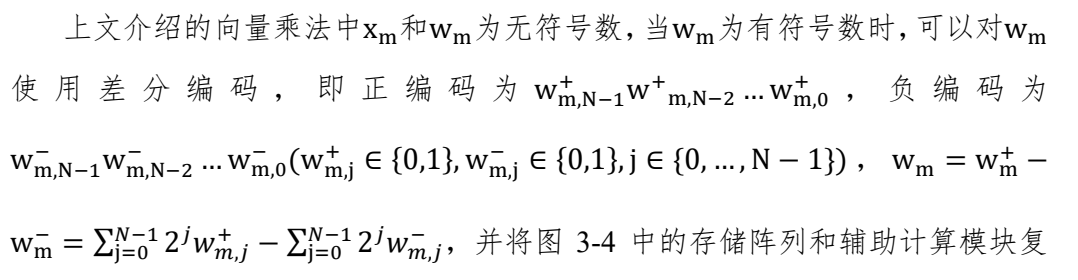


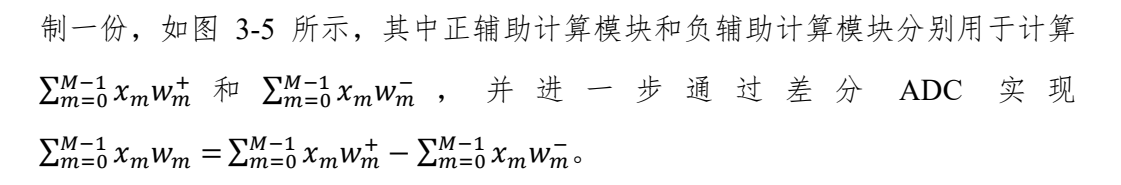


问题：

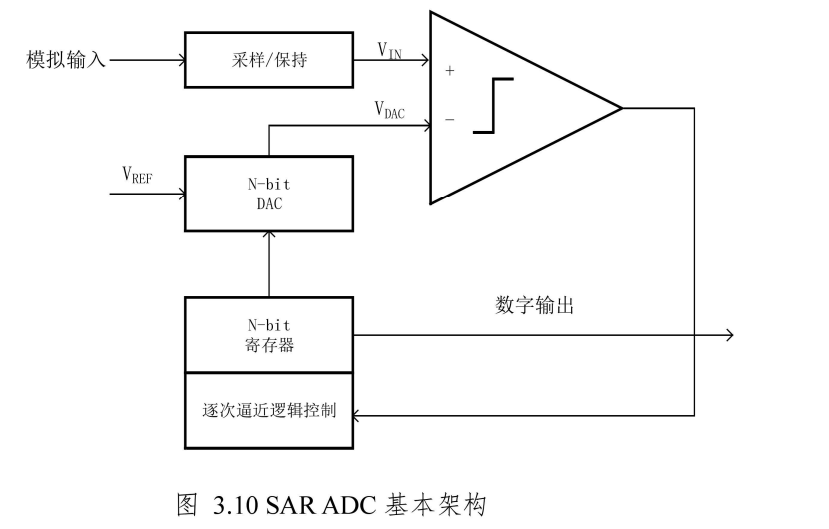
1. 接口电路就是稳压电路，稳压大小多少（是Vdd么），有什么用处？
2. 为什么每根位线要与两个积分电容相连，另一个电容的用处是什么？
3. 图中电容值是不是标错了，应该是?
4. 电容复位阶段，由于两端电压相同，是否此时电容没有电荷？
5. 电流与时间的积分除以电容，应该是电势的变化，或者说电容两端的电势差？
6. 公式3.4是不是有点问题？应该是两端电势差乘以电容再除以总电容是所有电容两端的电势差，由于电荷重分配的原因，所有电容两端的电势差是相同的。







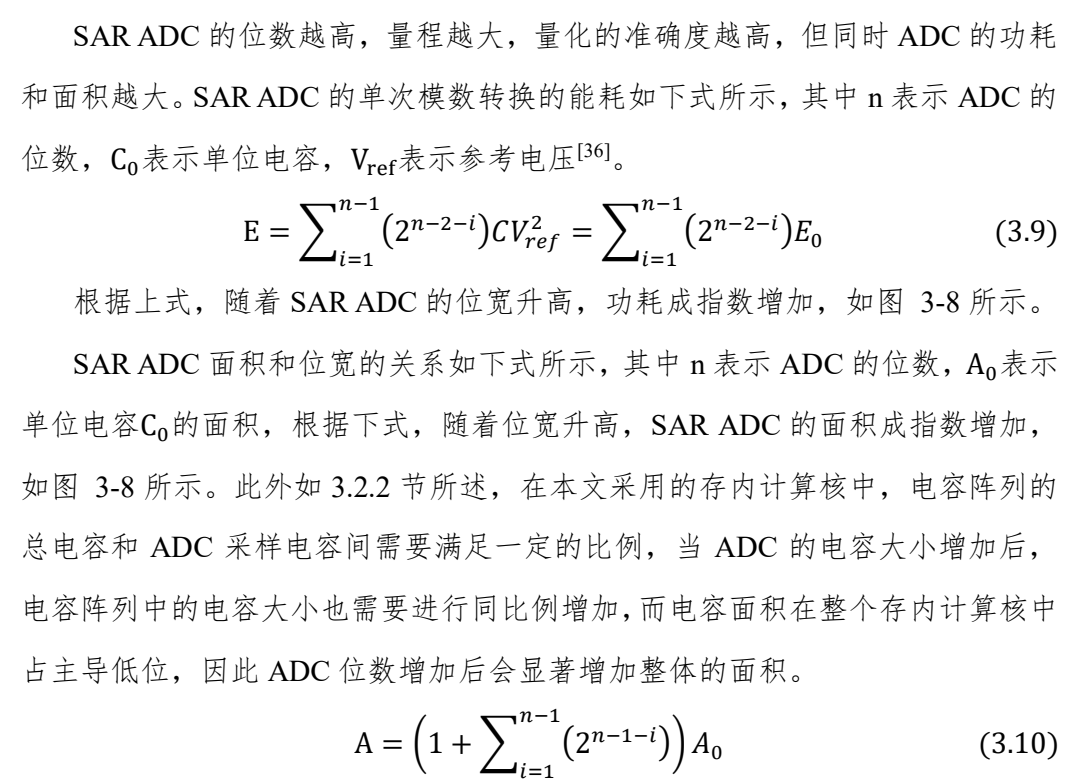
问题：



ADC的具体工作流：SAR ADC包含采样保持模块，比较器，DAC模块。模拟输入电压（Vin）被保持在采样模块中，DAC产生不同量级的电平通过比较器与采样电平进行比较。通过应用二值搜索算法进行比较。N比特的寄存器先被设置到中值（即最高位MSB置1，其余为0）。这使得DAC输出（Vdac）被设置为Vref/2，其中Vref为提供给ADC的参考电压。然后比较器比较Vin和Vdac的大小，如果Vin大于Vdac，则比较器的输出为逻辑高电平，DAC的最高位保持为1。反之，如果Vin小于Vdac，则比较器输出逻辑低电平，DAC的最高位清0。然后SAR控制逻辑继续将下一位置1进而重复上述比较操作。这一过程一直执行到最后一位完成后，得到转换结果。图3.10中的逐次逼近控制逻辑应该就是SAR逻辑。

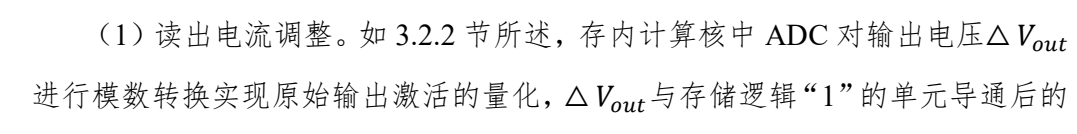
问题：

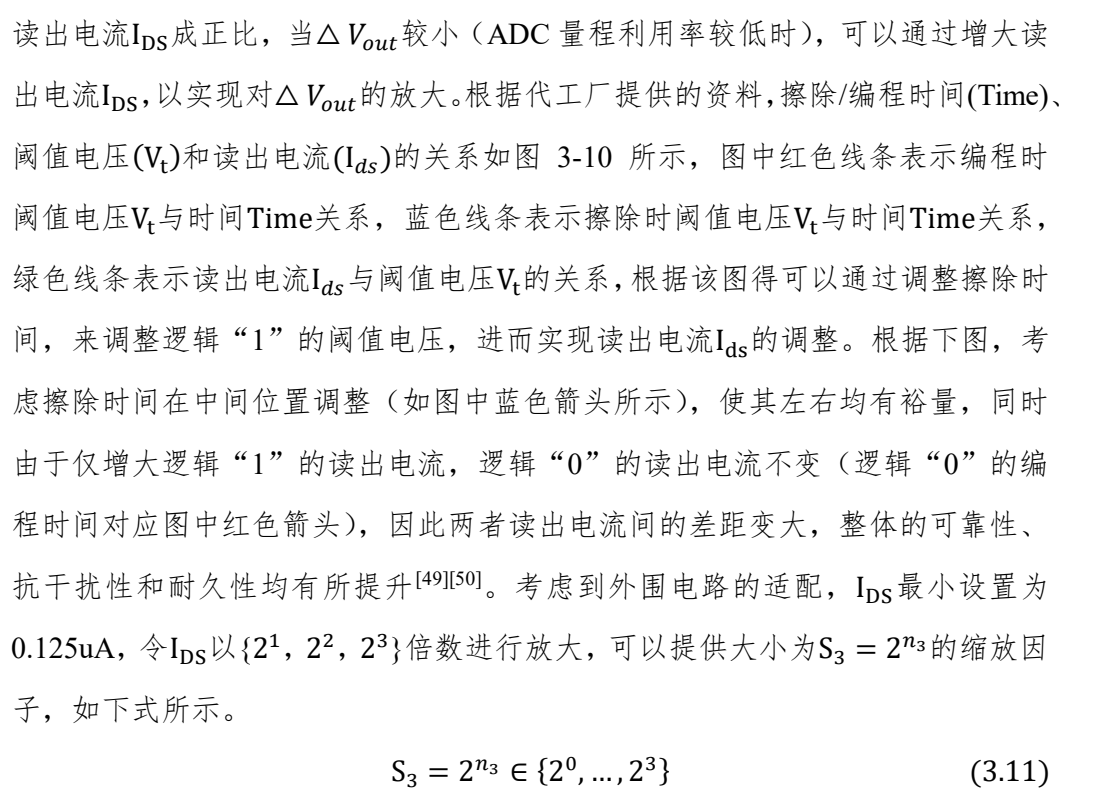
1. ADC中的Vref从哪里来，是多少？
2. 图3.10中三角形的是比较器？
3. SAR ADC的结构是什么，需要在论文中提到么？
4. 根据ADC的工作原理，那么图3-5中ADC如何有两个输入呢？

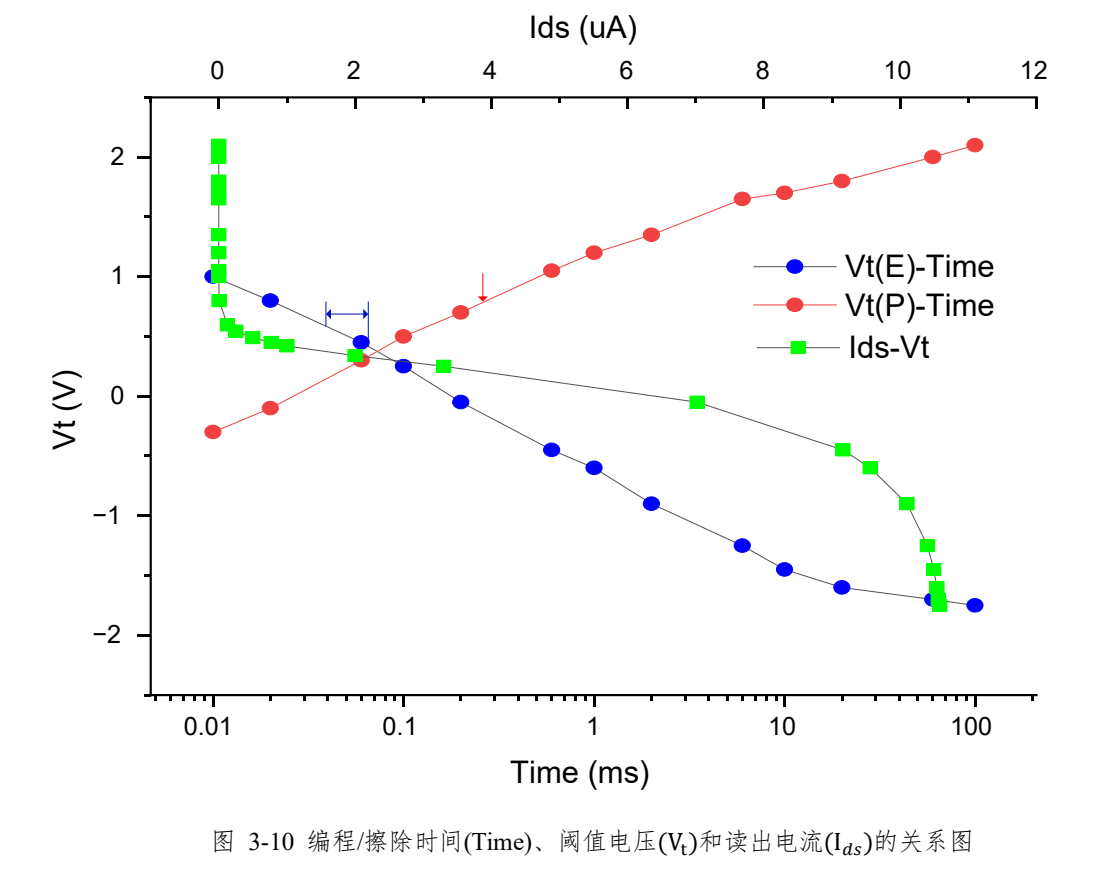


问题：

1. 杨论文中公式3.10，电容面积公式从何而来？



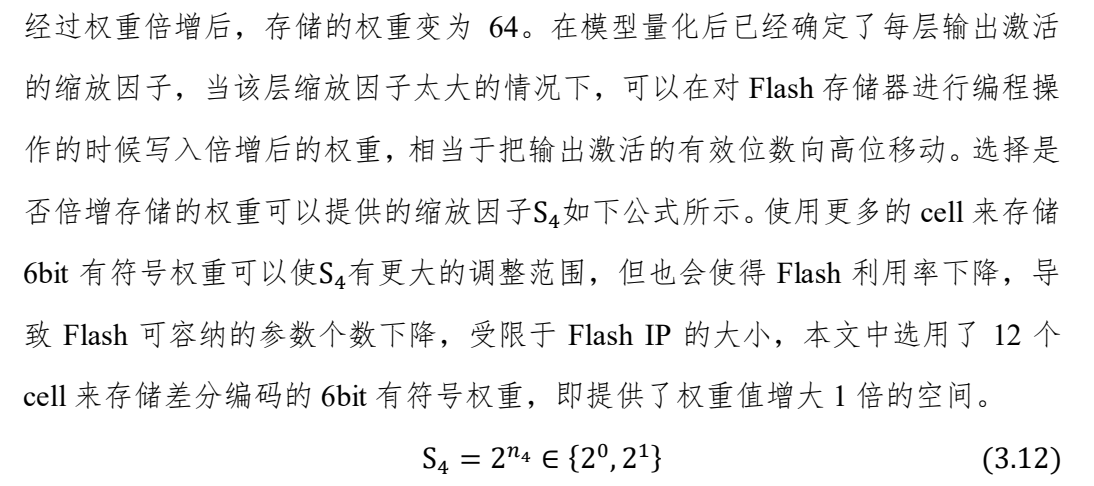


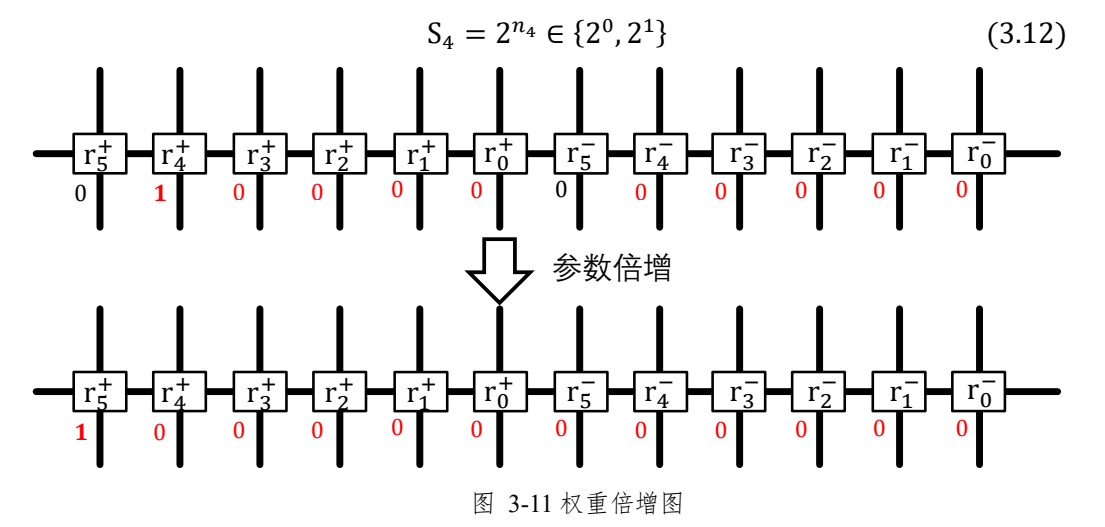


擦除的时候控制栅接负高压，这个负高压的电压是不变的，但是擦除时间可以不同。而随着擦除时间下降的是阈值电压，这个阈值电压是一个小的正压，使得浮栅管可以导通。

问题：

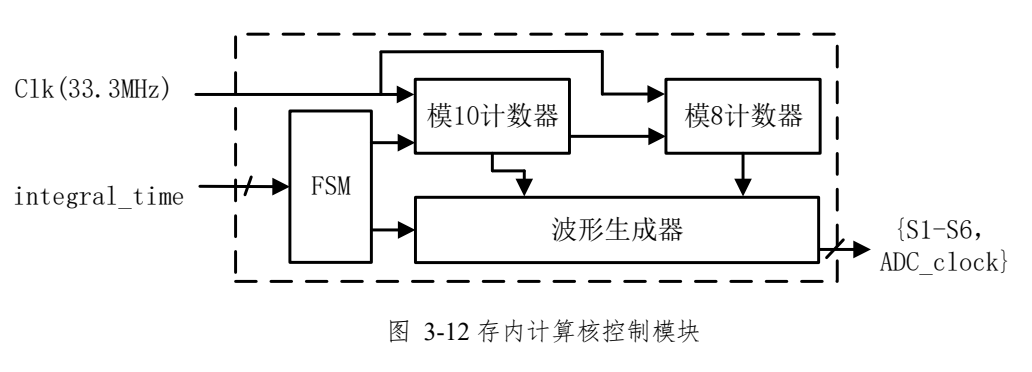
1. 为什么阈值电压可以随着擦除时间的增加而降低，甚至降为负压，阈值电压不应该是一个小的正压么？
2. 为什么阈值电压从正压降为负压，但是Ids却上升？而且为什么在正压的时候Ids反而为0？
3. 为什么仅增加了逻辑“1”的读出电流，逻辑“0”的读出电流没有增加？
4. 如何配置外部电路？如何进行倍数放大？

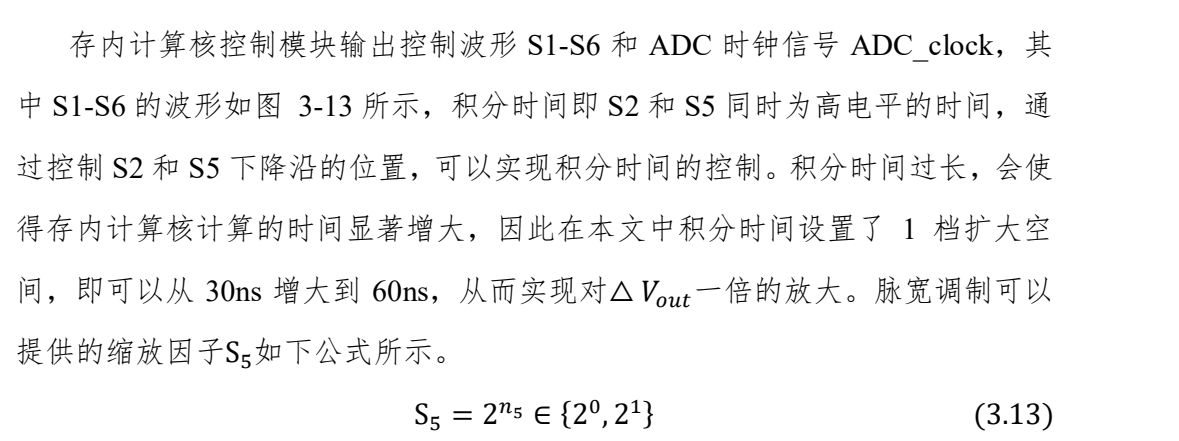


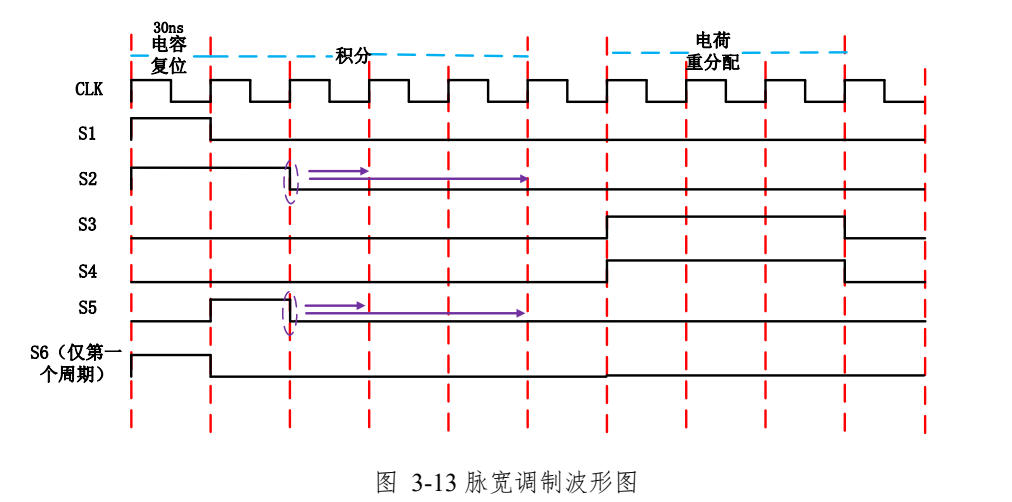


问题：

1. 参数倍增如何实现？如何选择某一层是否进行参数倍增？
2. 倍增后的权重，会不会让得到的结果也倍增？

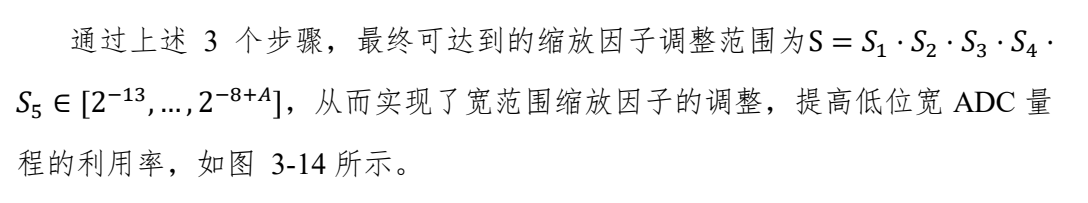






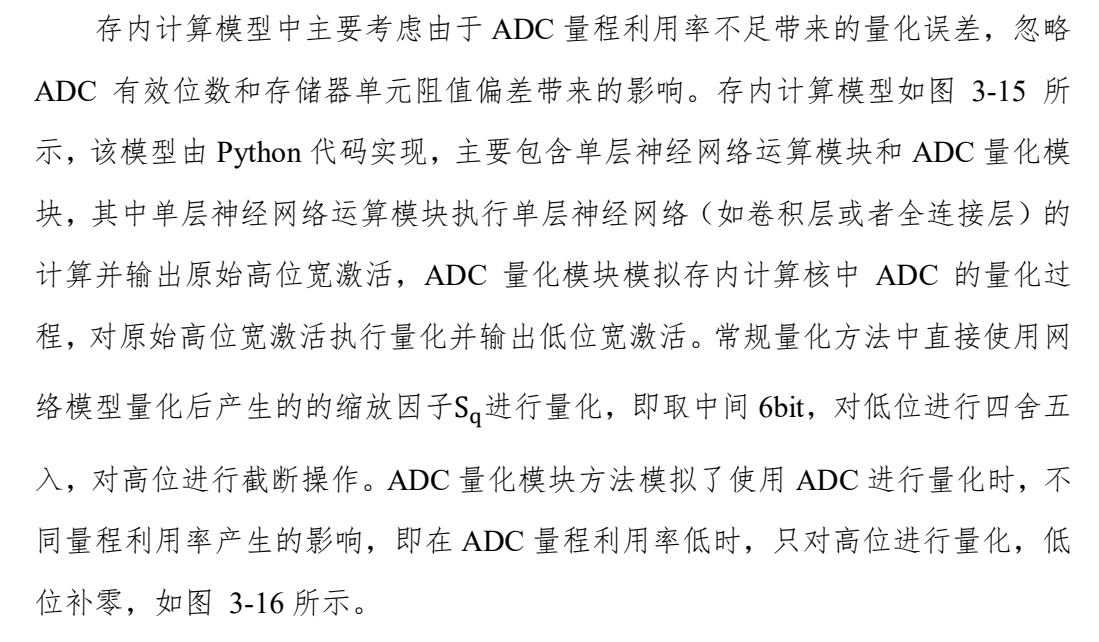
问题：

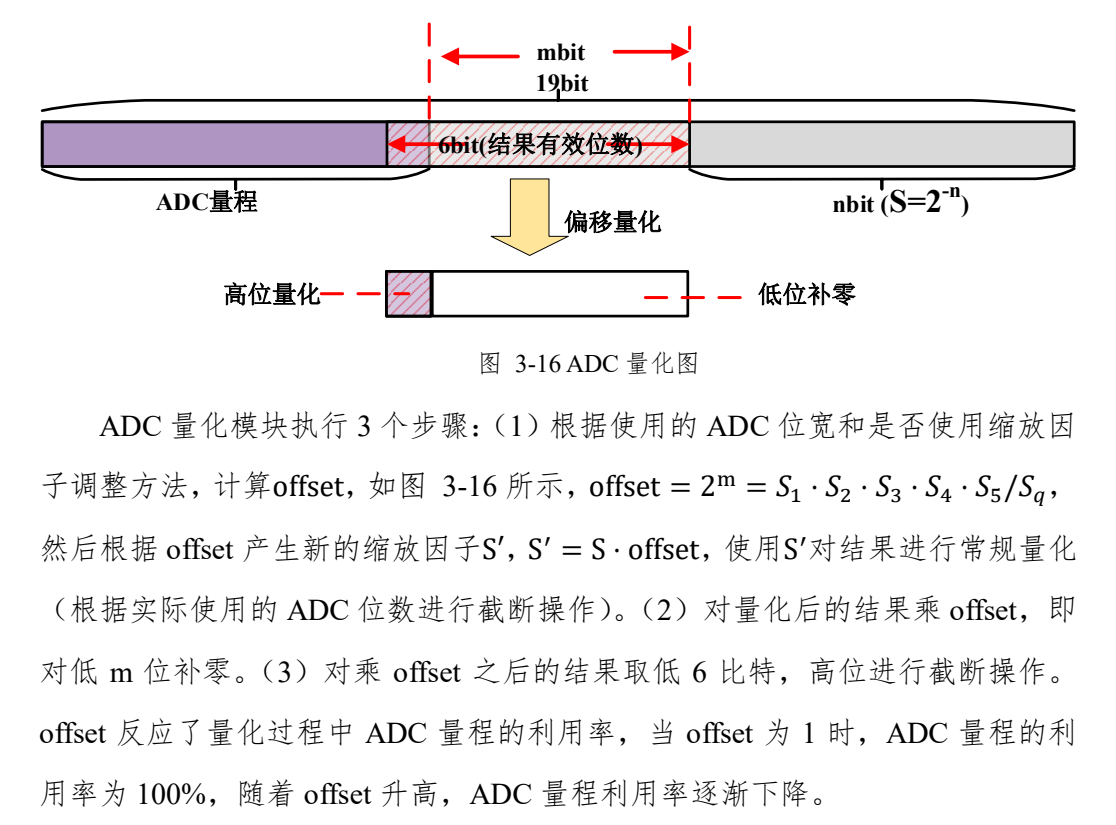
1. 图3-12产生不同开关的波形，应该是数字产生的吧？
2. 脉宽调制，图3-13显示的积分时间不是变成了三个周期了么？

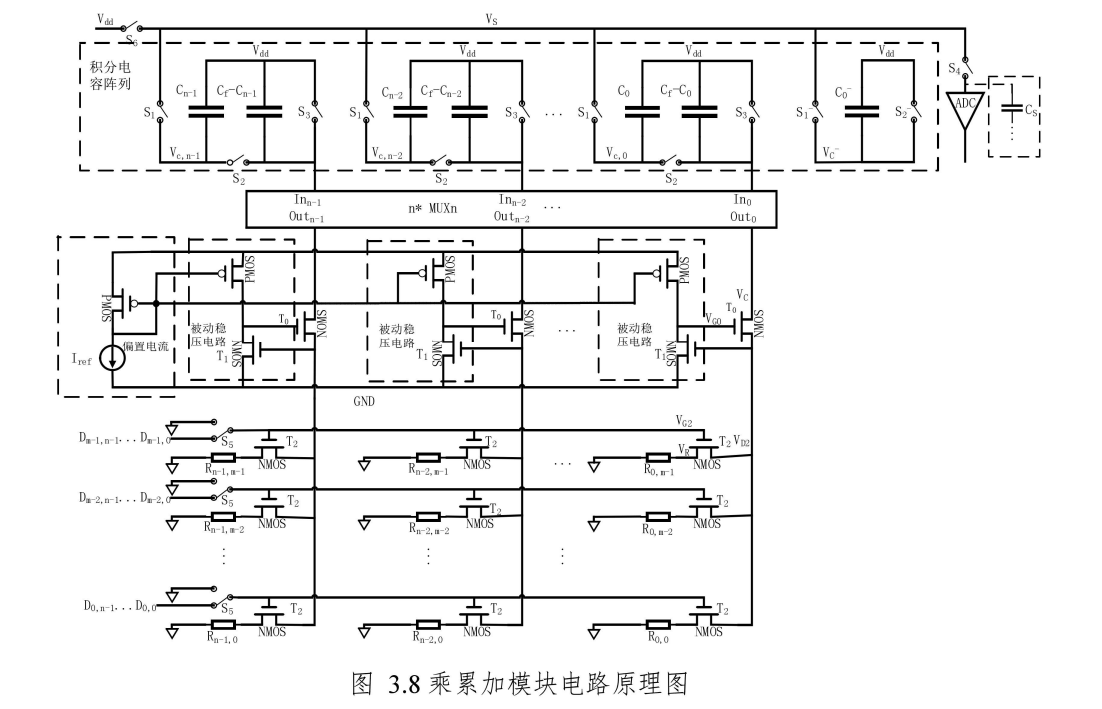


问题：

1. 缩放因子还是没有达到[]？

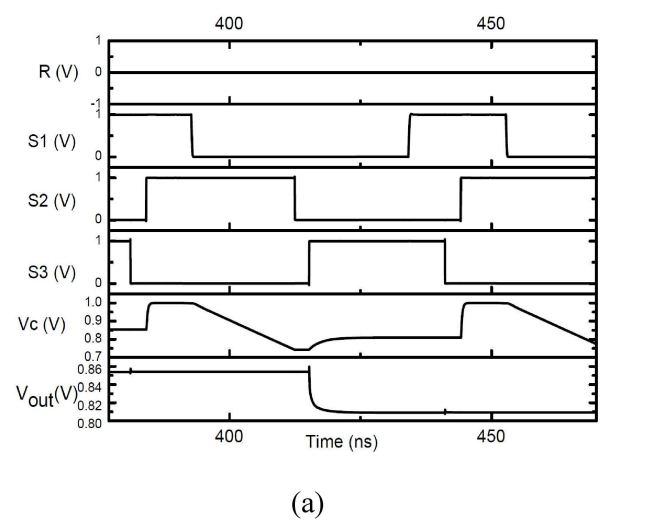


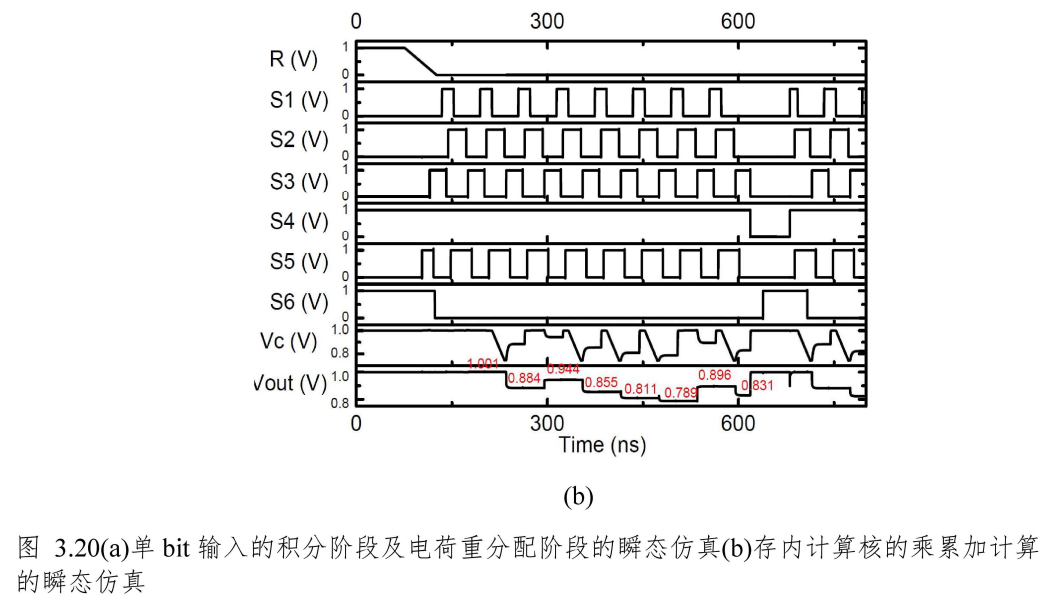




问题：

1. 上图是章的电路结构图，和杨的图3-4是否完全一致，除了cell之前，其他的稳压电路和积分电容阵列以及ADC都是完全一致的？





问题：

1. 以上是章的三个阶段的波形图，和杨的图3-4中的波形图有区别么？