动态逻辑电路的仿真

1、基本 PE 逻辑门电路(20%)

完成下图所示 NMOS 管构成的 PE 逻辑 nand2 逻辑门的电路设计，按照下图的

激励方式，使用 Hspice 仿真验证该电路的功能正确性。P 管宽度取 250nm，N 管

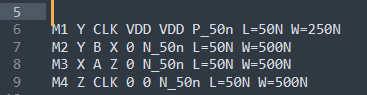
尺寸全部为 500nm。

（1）仿真验证所使用的激励，请按照表 1 所示的激励数据。表 2 给出了激

励参数的值。给出 CLK、A、B、X 和 Y 节点的仿真波形，并分析仿真结果。分别

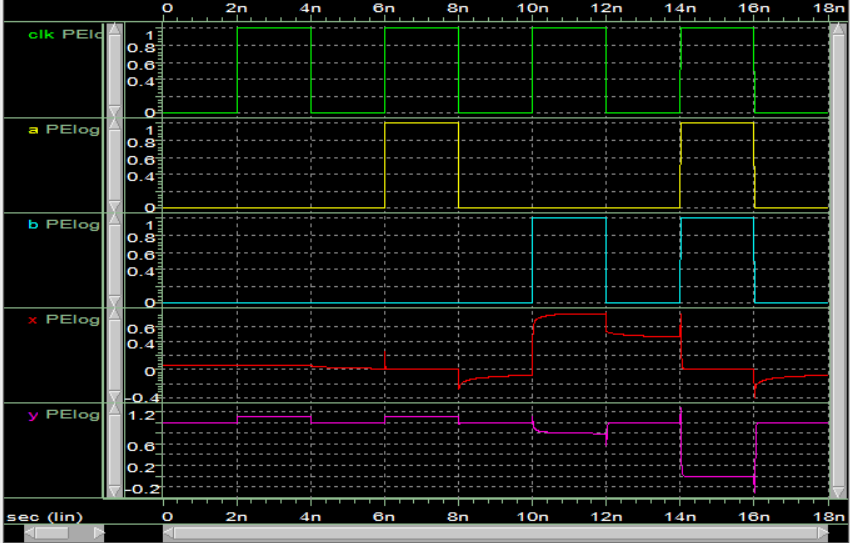
测量 tpHL 和 tPLH 的延时时间。

根据题目所给图片可以搭建如下电路：



生成 CLK，A，B，X，Y结点的仿真波形：





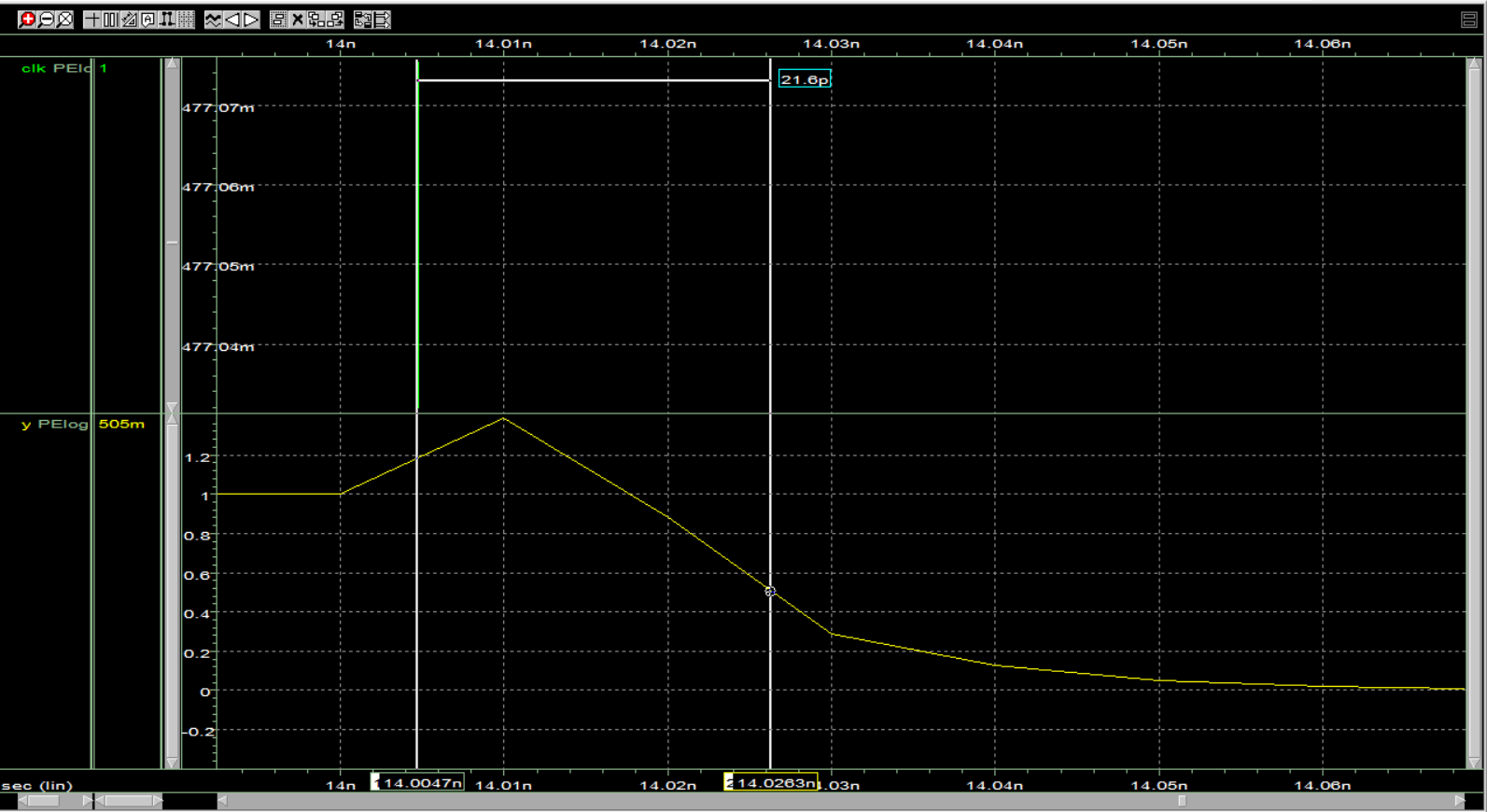
图中从上至下依次是：CLK，A，B，X，Y节点的仿真结果。

电路会在CLK为低电平的时候对输出节点Y进行预充电，在CLK为高电平的时候根据下拉逻辑进行输出，也就是当A，B均为高电平时，输出0，其余情况Y节点保持为1.

观察Y节点的波形，可以发现，确实会在14ns时（此时A，B，CLK都为高电平）会输出一个低电平。

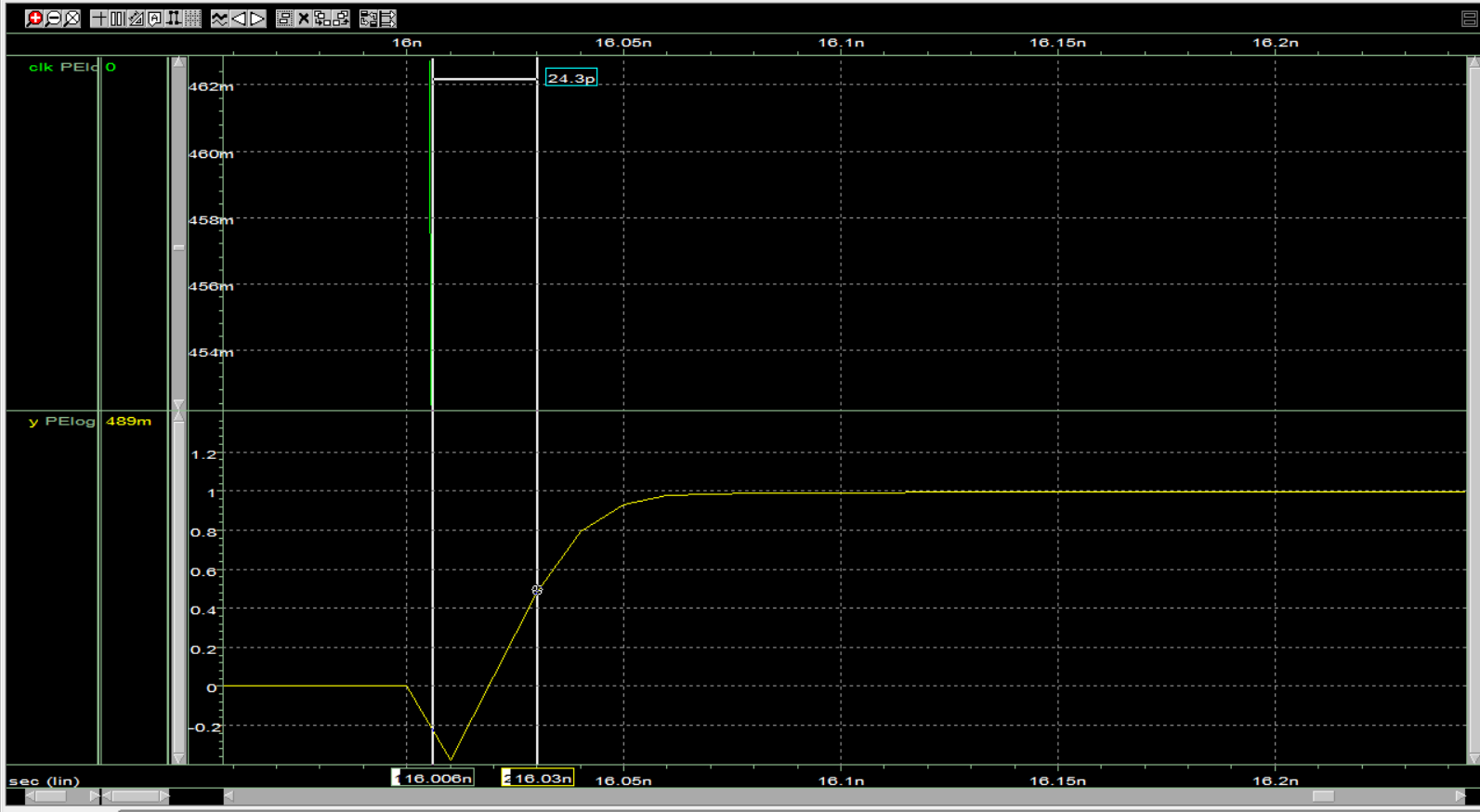
同时可以观察到，在10ns时，B第一次变为高电平，Y节点电压会有下降，这是由于发生了电荷共享效应，使得Y节点电压变低了。

在图中测量tHL



测得的tHL为21.6ps

在图中测量tLH



测得的tLH为24.3ps

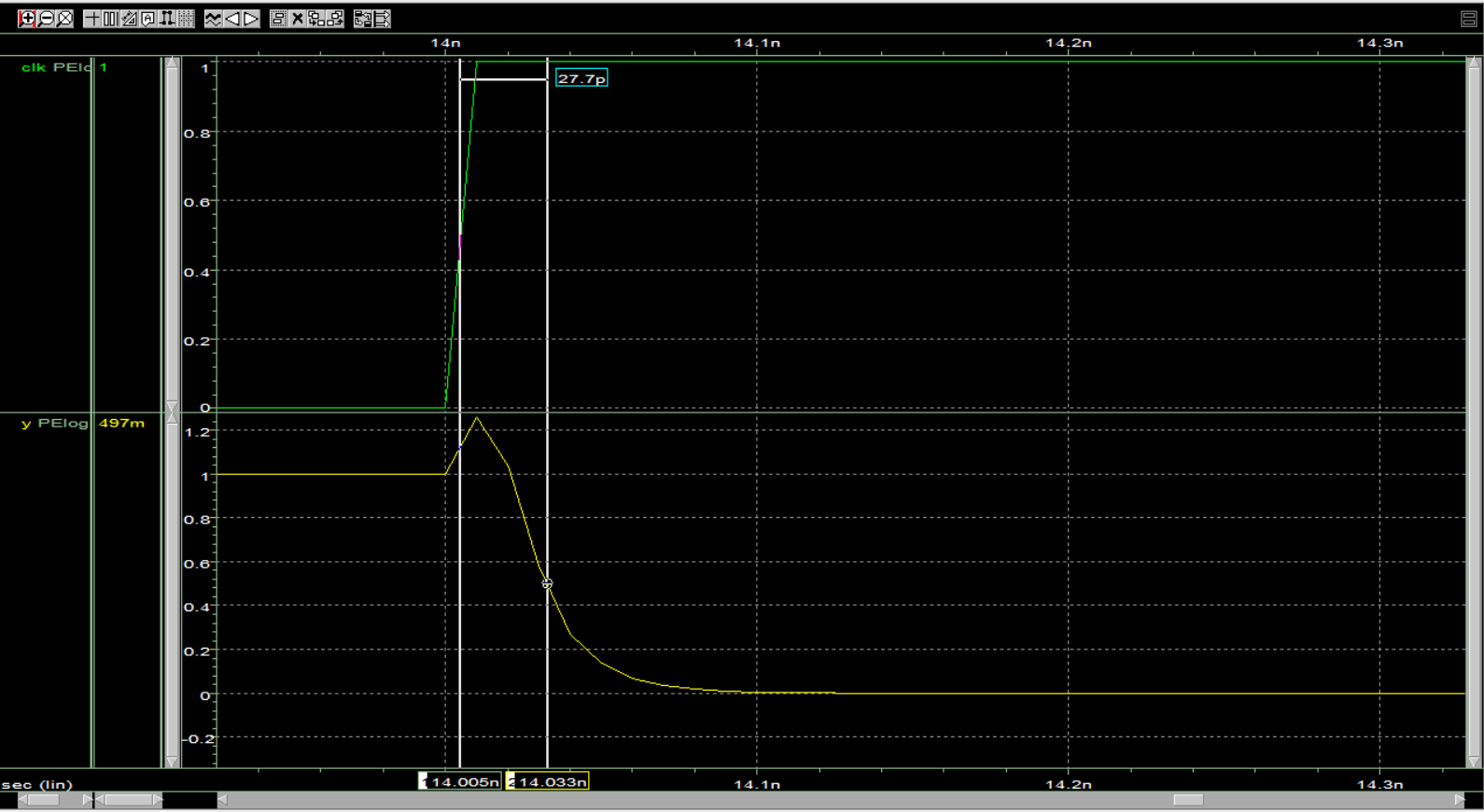
（2）将 CY的值改成 1fF 后，重复测量 tpHL 和 tPLH 的延时时间。观察节点 Y 和 X 的波形，思考这两个节点存在的寄生电容对节点电压的影响。

通过:

CLOAD 0 Y 1fF

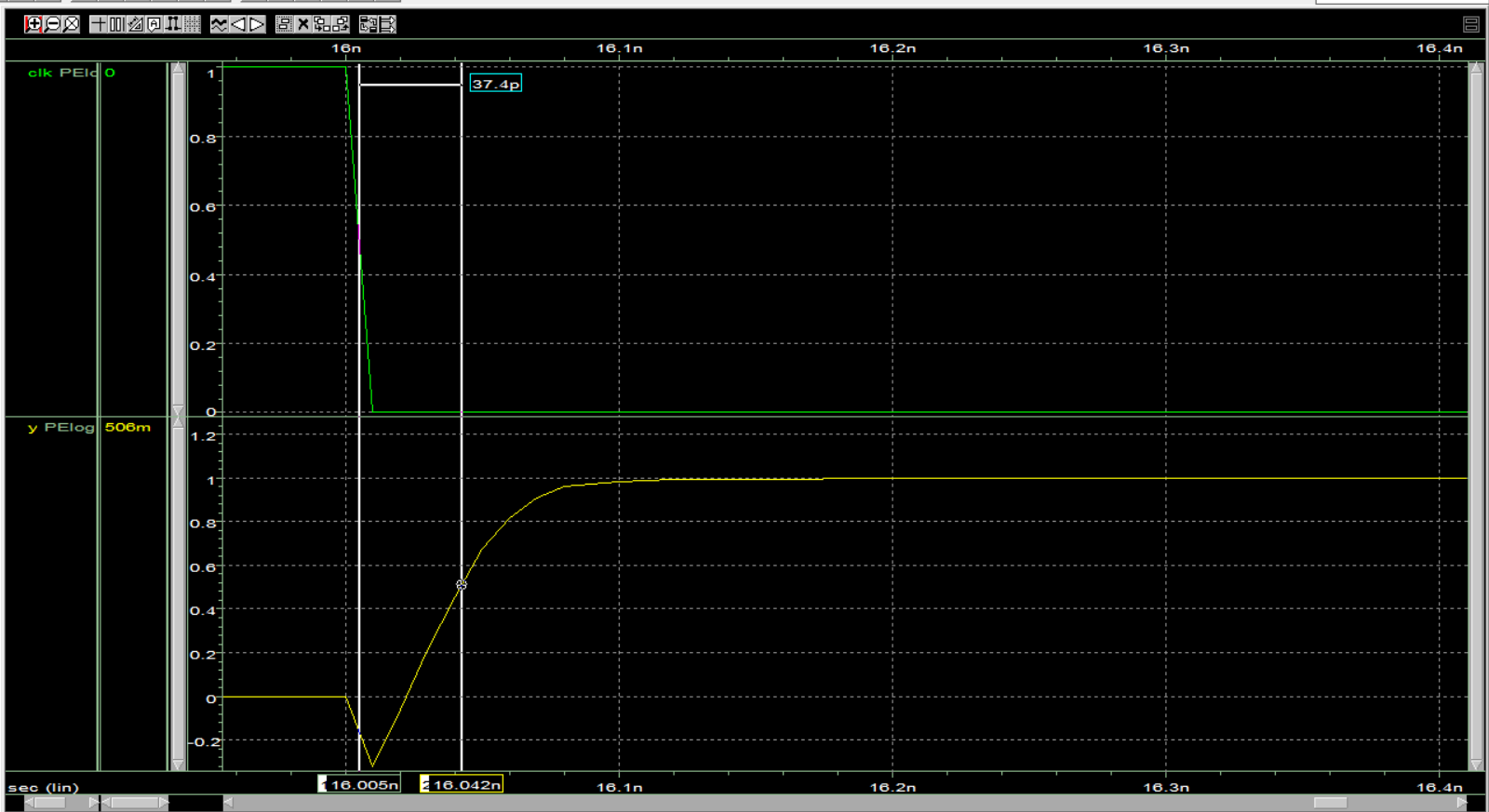
加入要求的电容后，重新测量延时：

在图中测量tHL



可知tHL为27.7ps

在图中测量tLH



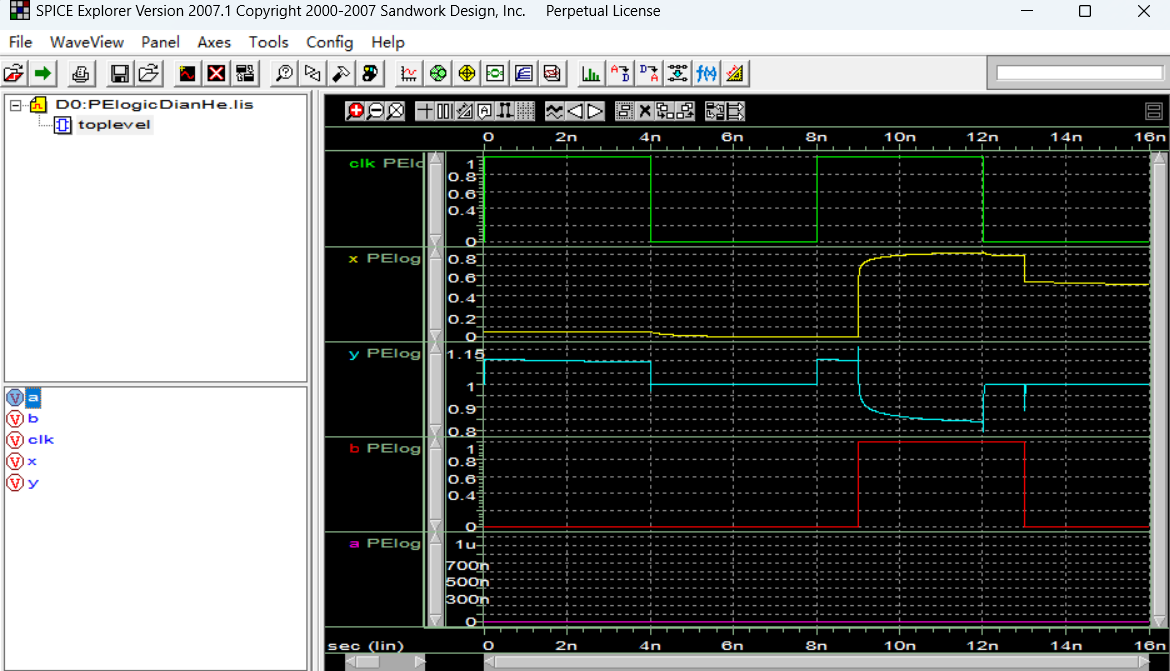
可知tLH为37.4ps

这两个节点的寄生电容使得延时增大了。

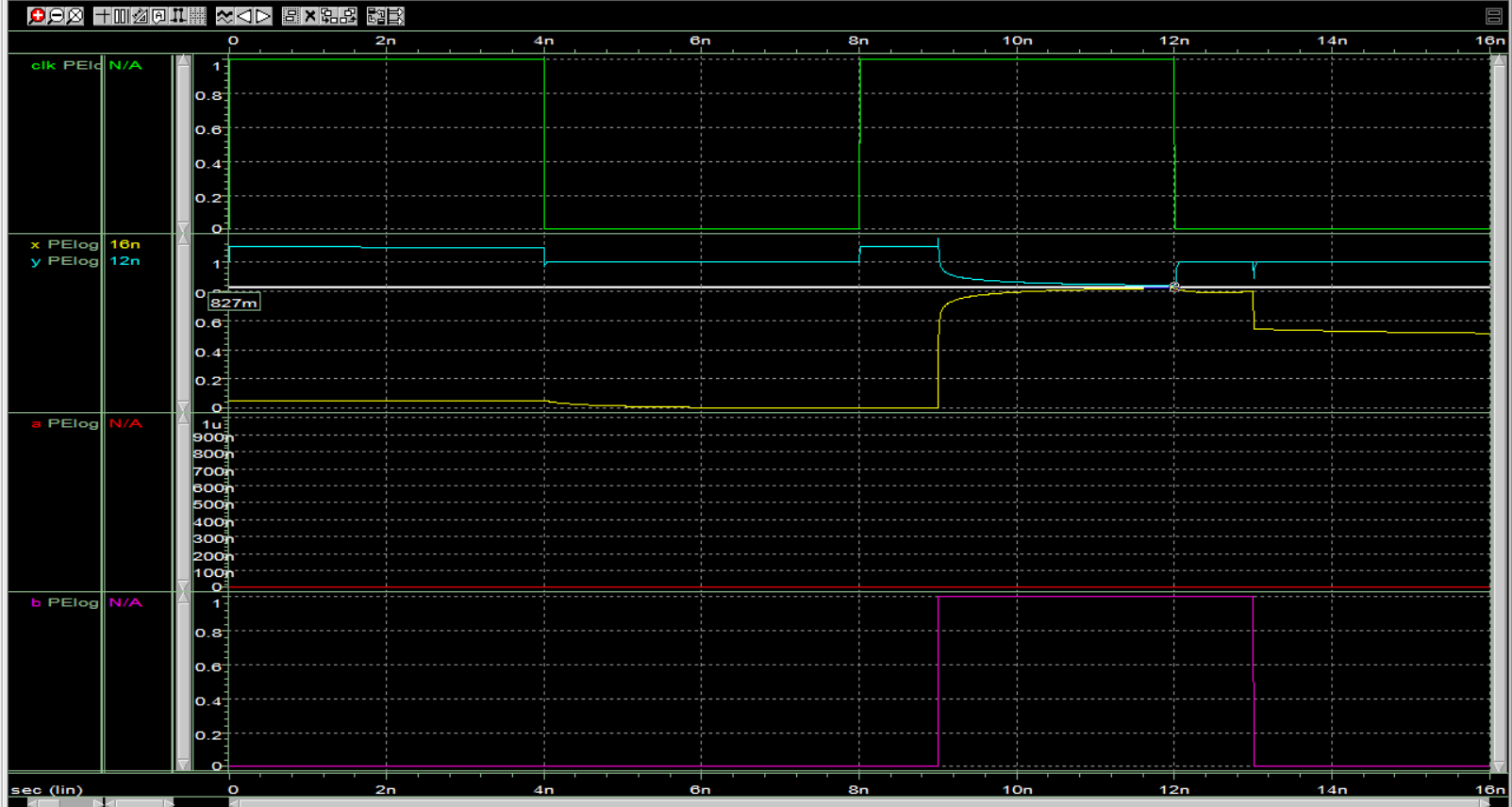
2、电荷分享现象的仿真(20%) PE逻辑电路存在电荷分享效应，请按照下图所示的激励，仿真PE逻辑 nand2 逻辑门，观察节点Y和X的仿真结果。以下PE逻辑门的延时定义为时钟求值位 置到输出下降为 VDD/2 的时间。t2指的是VX=V的时间。

（1）输出电容CL=1fF时，测量X、Y节点在t2时刻的电压并测量延时时间。

仿真结果如下：

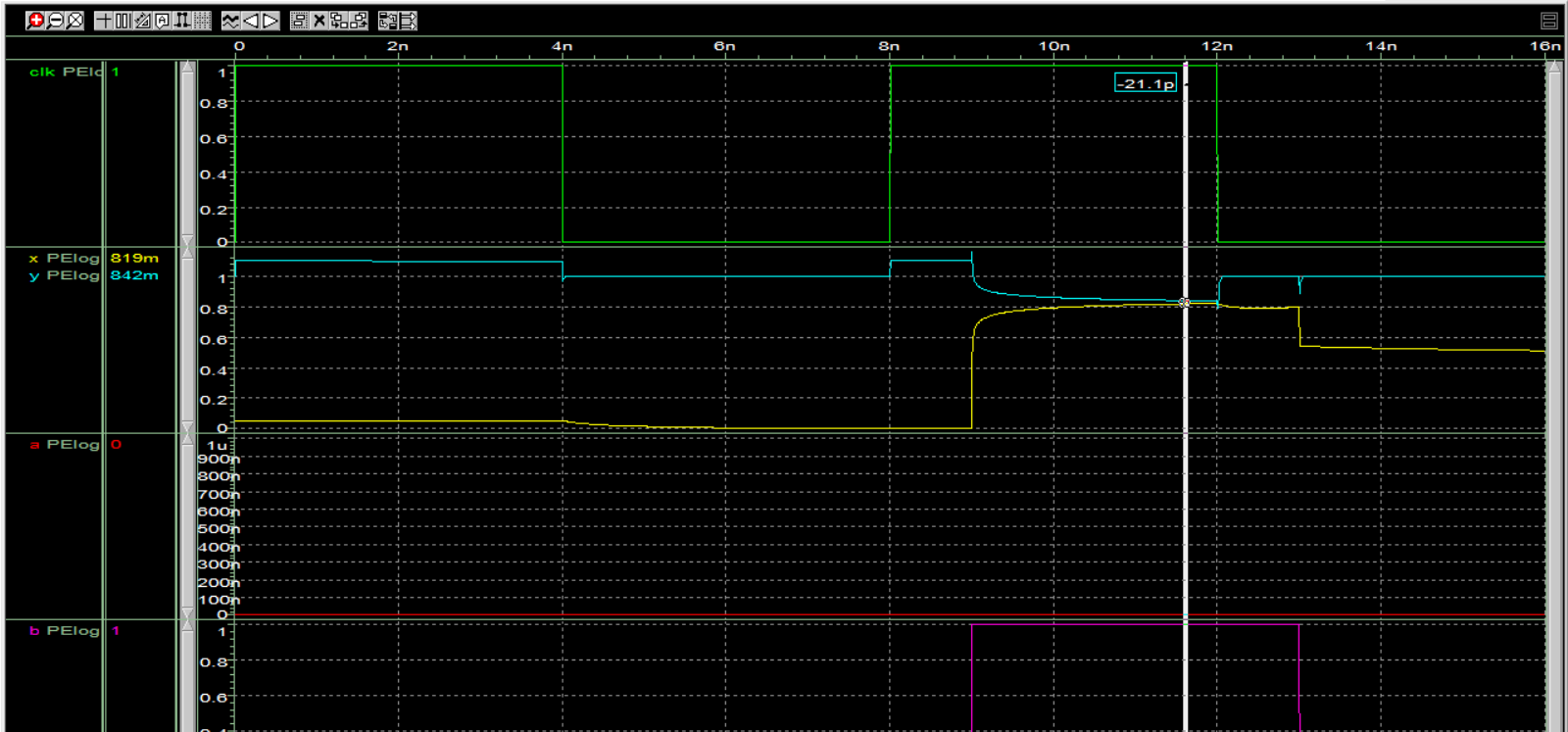


测量X、Y节点在t2时刻的电压如下：



两点电压大约为827mV。

延时测量:



延时大约是21.1ps

（2）输出电容CL=2fF时，测量X、Y节点在t2时刻的电压并测量延时时间。



两节点电压大约是835.49mV。

测量延时：



延时大约是26.8ps

1. 通过（1）、（2）仿真的结果估算图中 CX和 CY寄生电容的值。

(CY+1fF) x 1v = 0.827(CY+CX+1fF)

(CY+2fF) x 1v = 0.83549(CY+CX+2fF)

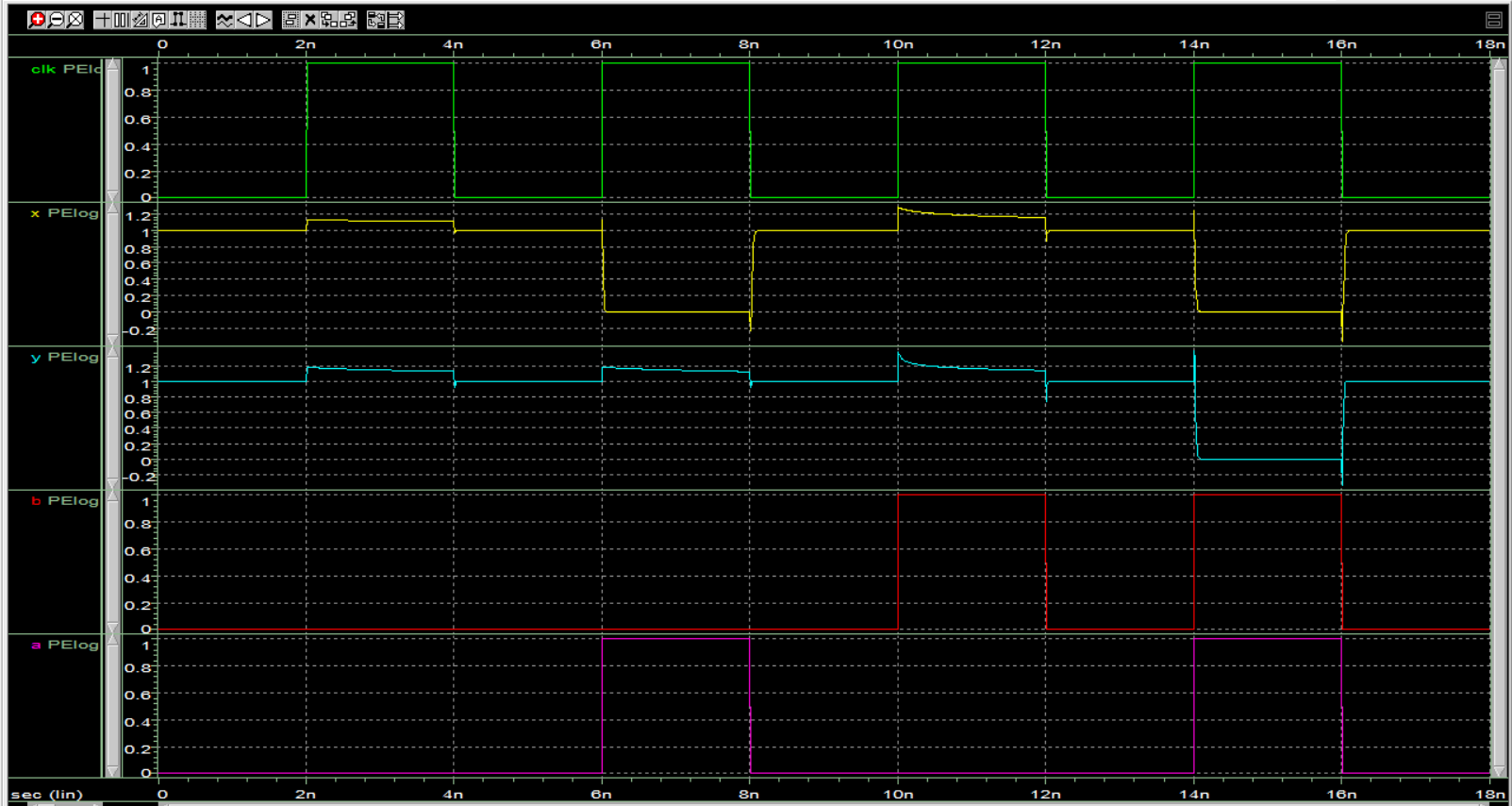
解得：CY=15.02115541fF， CX=3.3514655fF

（4）如下图所示，增加 X 节点的预充电晶体管，重新仿真（1）的情况。 对比（1）和（4）的延时时间的差别，并解释原因

增加一个预充电pmos管



此时仿真结果如下：



与之前的仿真结果相比，可以发现本次仿真结果电荷分享效应被有效地抑制了。

测量延时：29.6ps

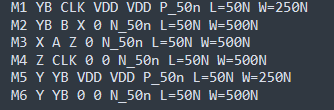


可以发现（4）的延时是比（1）大的，这是由于X节点的寄生电容在之前被预充电，在需要将输出拉低的时候，就需要放掉更多的电荷，因此延时会有增加。（也就是会增大tHL）

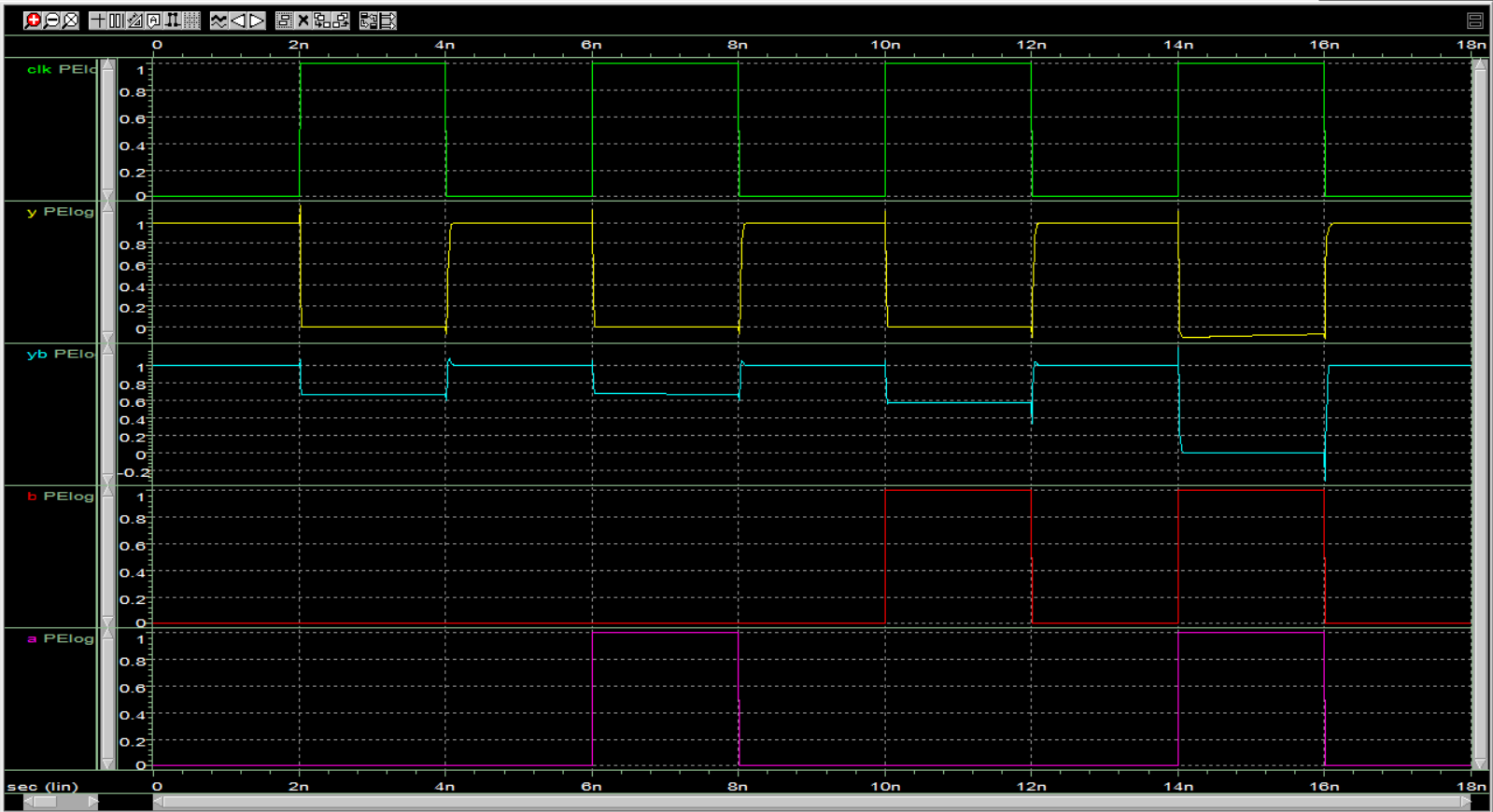
3、PE 逻辑级联的仿真(20%)

（1）PE 逻辑与门电路设计和仿真 将 1 小节中的 nand2 门与下图的 PE 逻辑反相器级联构成 PE 逻辑与门。

电路定义如下：



仿真结果为：

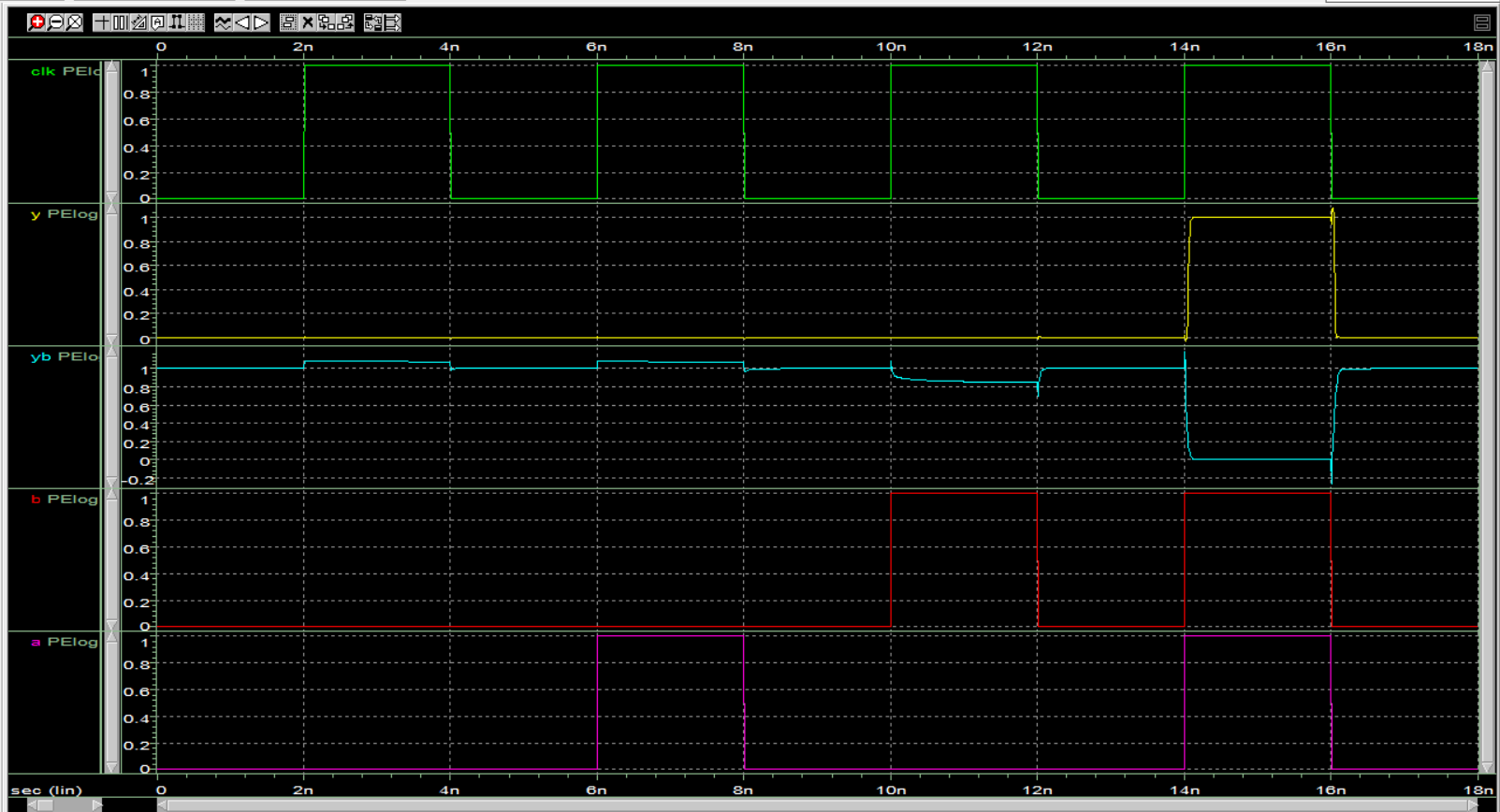


可以发现，仿真结果的yb输出比较不稳定，因电荷分享造成的yb电压降低十分显著，信号质量很差（而且似乎有一处可以被判定为逻辑错误的输出），可能影响正常使用。

出现这种结果的原因可能是电荷分享效应过于严重。

1. 将（1）中的 PE 逻辑反相器改成 CMOS 静态反相器，重新进行（1）中仿真，给出 CLK、A、B、Y\_b、Y 节点的信号波形并分析仿真结果。

仿真结果如下：



可以发现静态反相器的输出结果更加稳定可靠，（由于电荷分享效应被抑制），信号质量更好，不易出现逻辑错误。

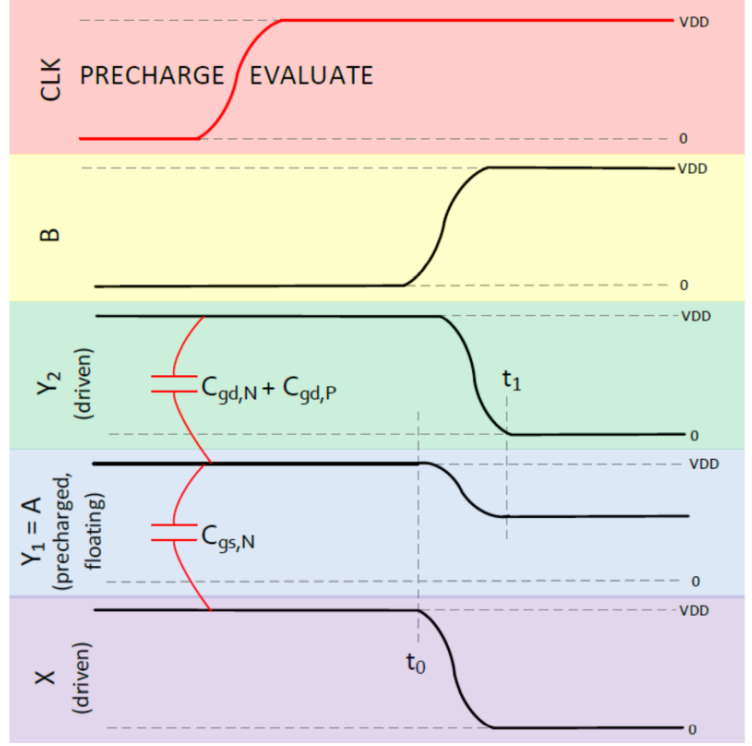
1. 对一个 PE 逻辑门级联到一个静态 CMOS 二输入与非门。

假设激励如下图所示，PE 逻辑门的输入端可以假设始终为 0，激励参数与表 2 相

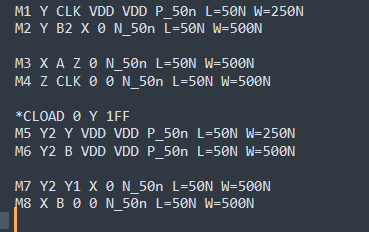
同，这里给出了预期的 Y1 和 Y2、以及内部节点 X 的波形，供参考。请用 Hspice

仿真上图的 CLK、B、Y1 和 Y2 的波形，并分析其结果。通过仿真，估算上图中

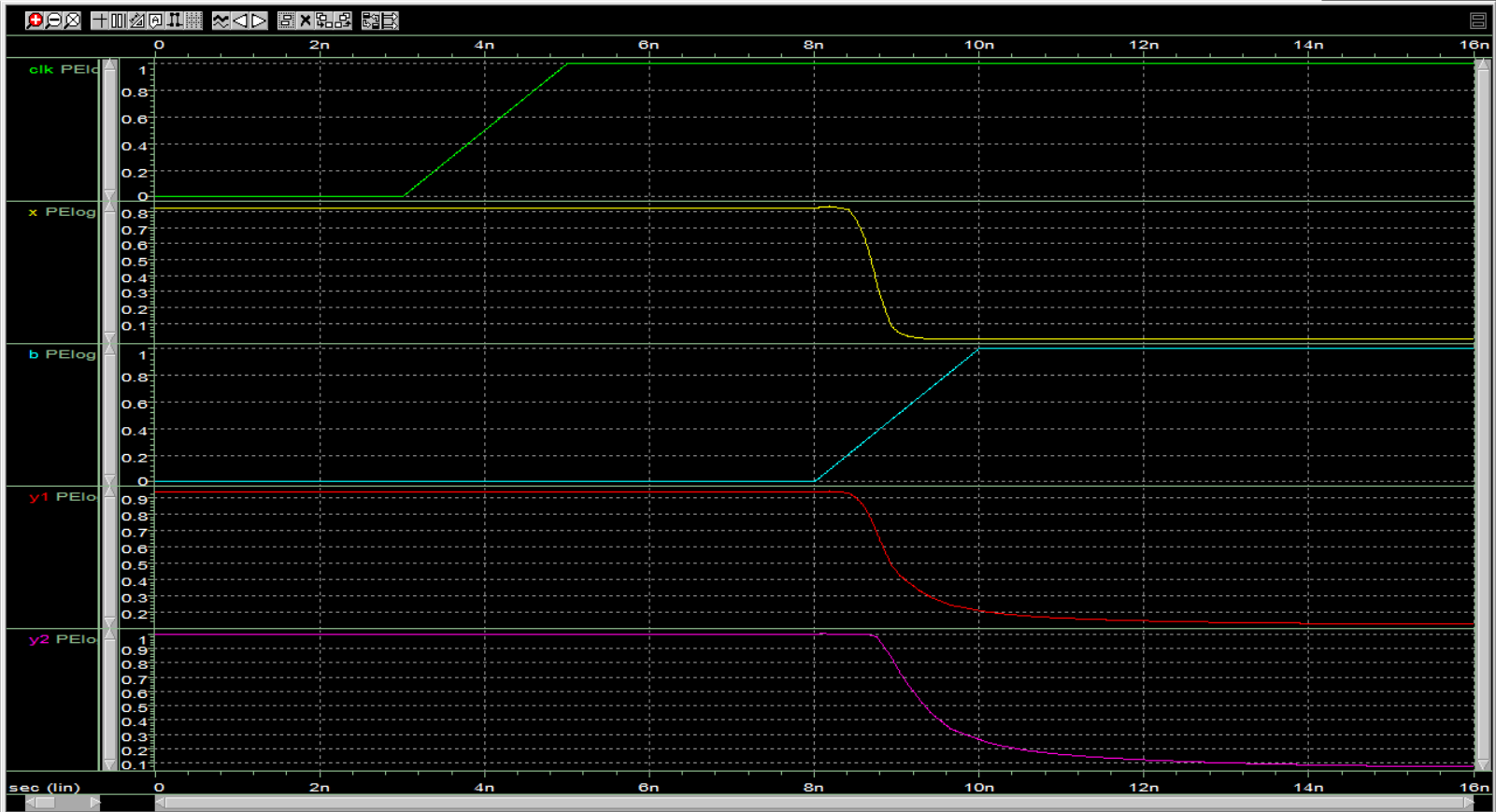
的 Cout/Cc 的值，其中，Cc=Cgd,P+Cgd,N+Cgs,N



电路网表为：



仿真结果为：



在CLK为高时，电路开始出现正常输出；观察发现x信号延迟较小，说明寄生电容有：Cx<Cy1；

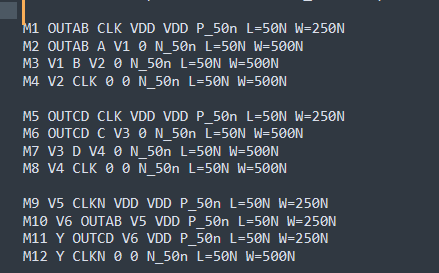
因为Cgd，N存在，当y1变低后y2也变低。

COUT/Cc约为476.27

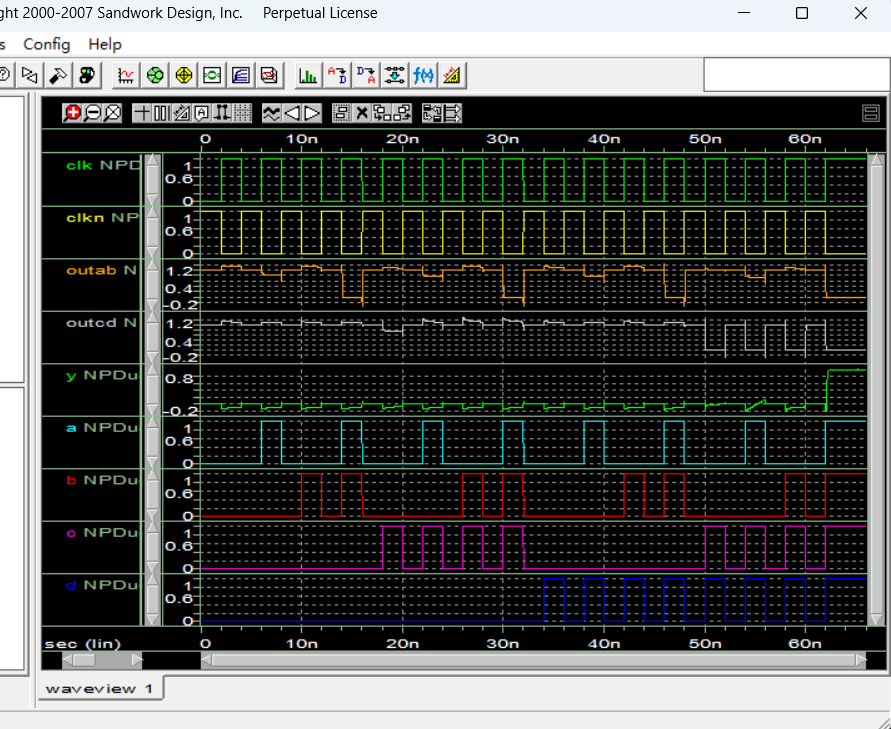
1. NP 多米诺

（1）

电路网表为：



仿真结果为：



可以发现y只有在a,b,c,d都为高的时候才会被拉高，所设计电路符合预期。

第一级与门的延迟：

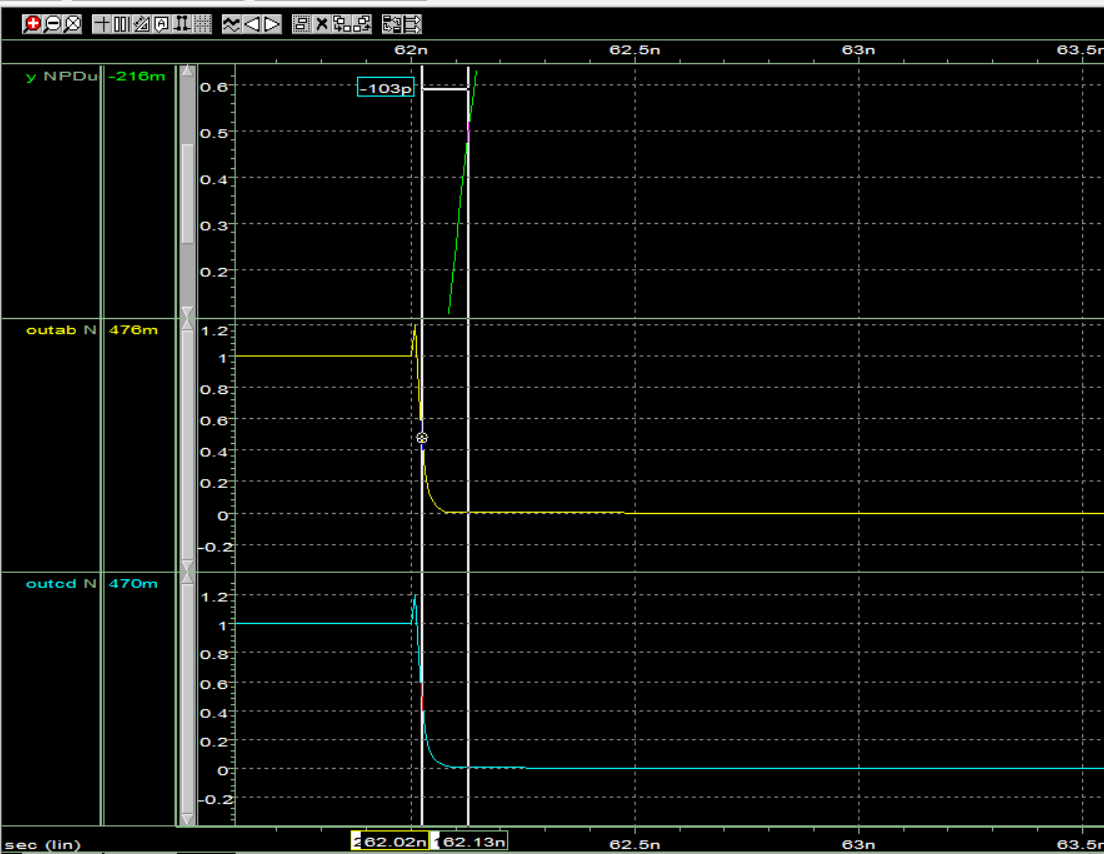


tHL延时大约是18.2ps



tLH延时大约是31.4ps

第二级延时为：

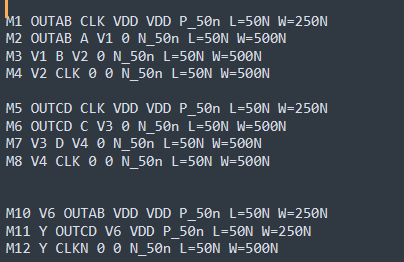


tLH延时为103ps

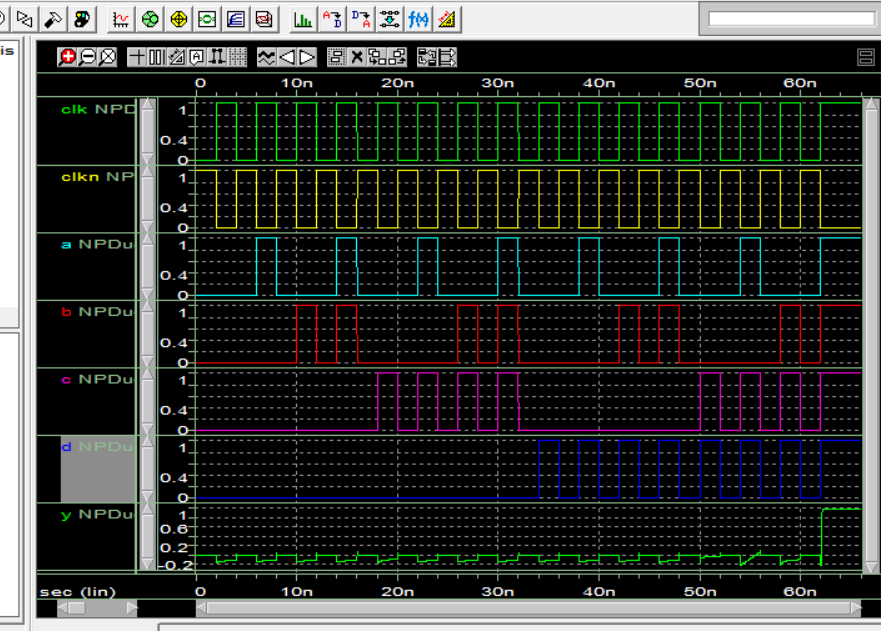
（2）用 unfooted NP Domino 电路重新设计(1)中的电路，并仿真验证电路的正确

性，并对比两种电路的延时时间的区别，分析(2)的电路比（1）的电路具有的优点。

电路网表为：

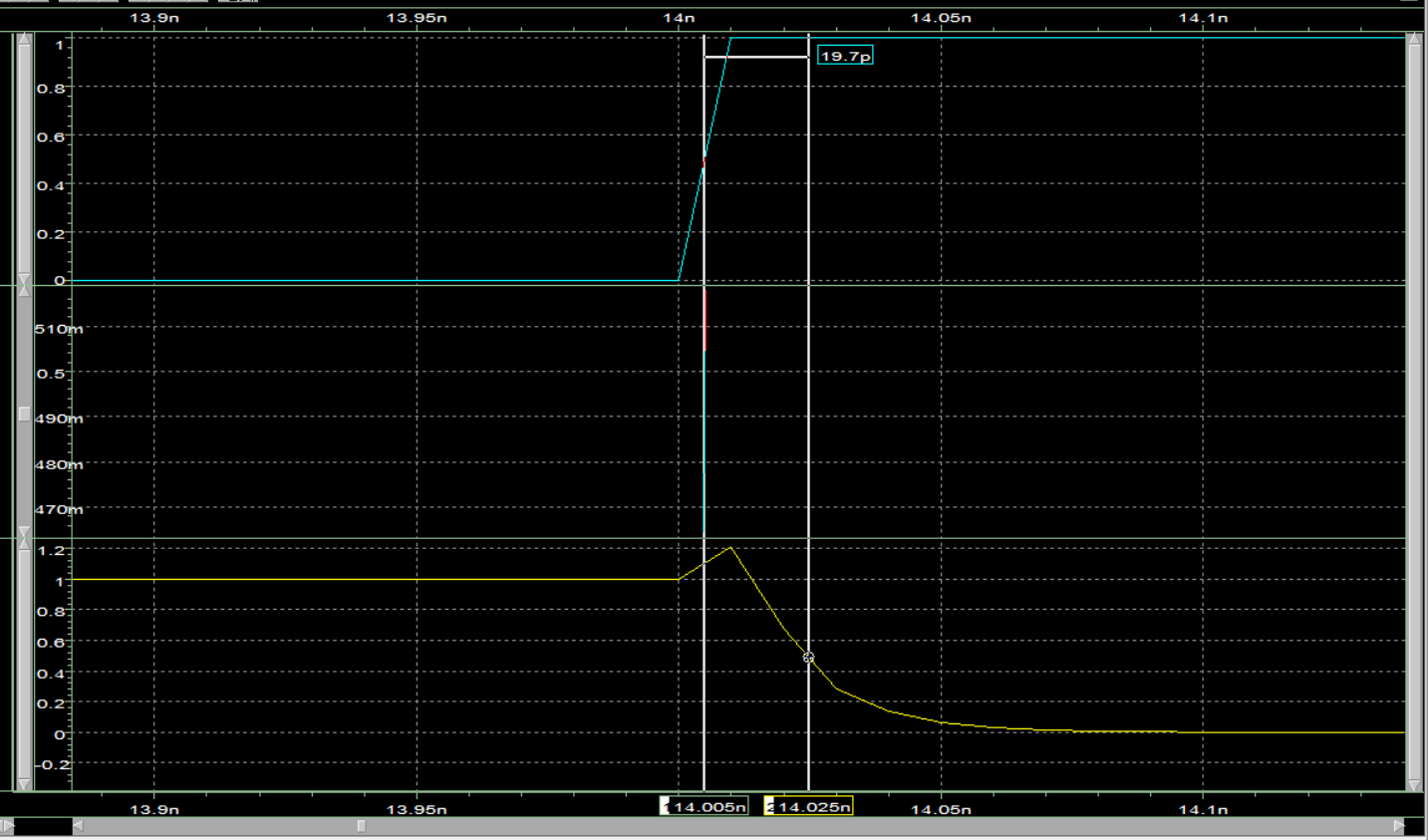


仿真结果为：



可以发现y的输出波形与原来的基本一致，新电路逻辑功能没有问题。

第一级延时：

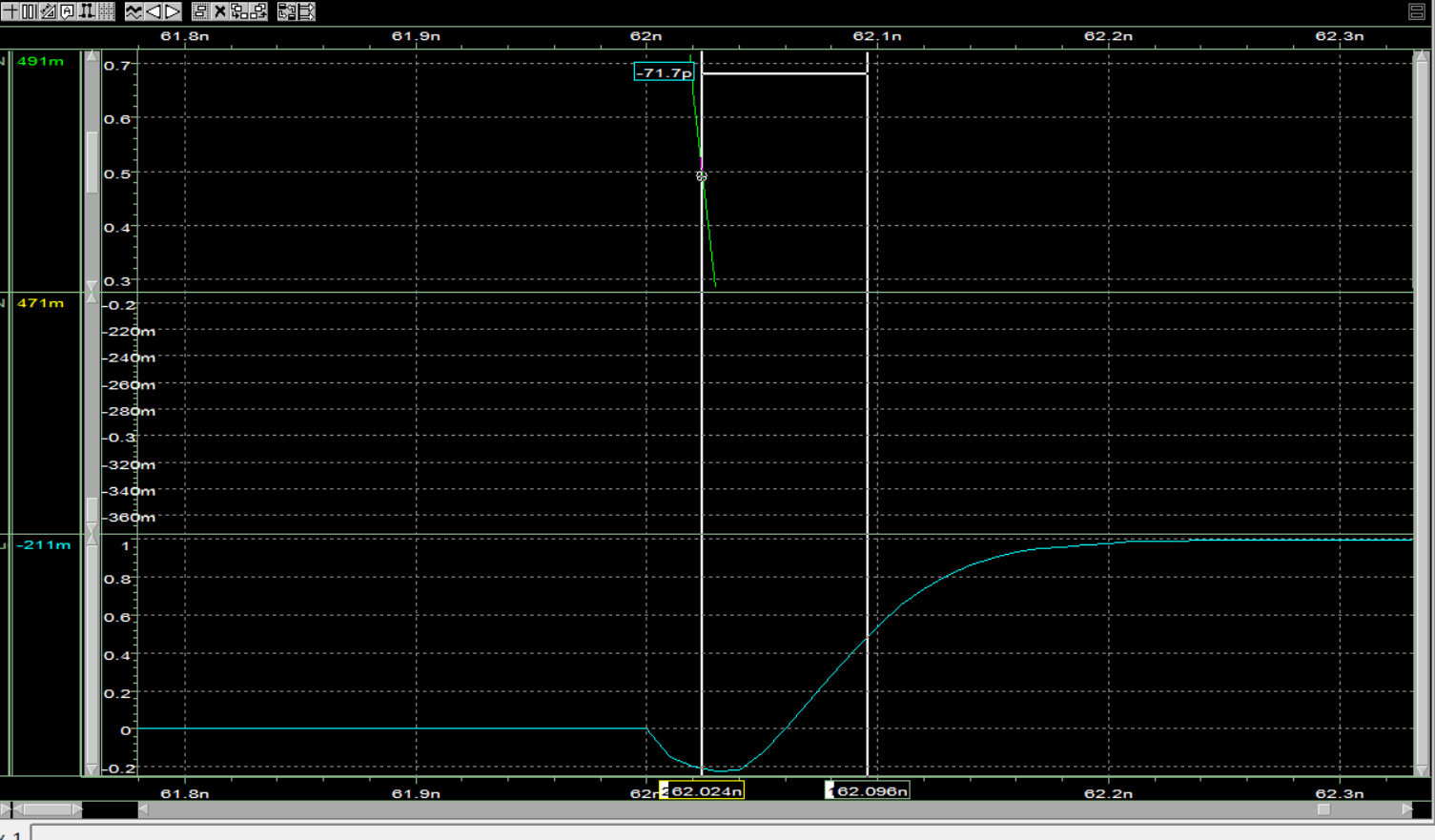


tHL为19.7ps



tLH延时为：31.5ps

第二级延时：



tLH为71.7ps

通过对比发现，重新设计后的电路虽然第一级延时几乎不变（甚至略增大），但是第二级电路的延时确是很明显的减小了。

新电路的优点是：省去求值管，在减小面积，功耗等开销的同时，也显著降低了第二级电路的延时。