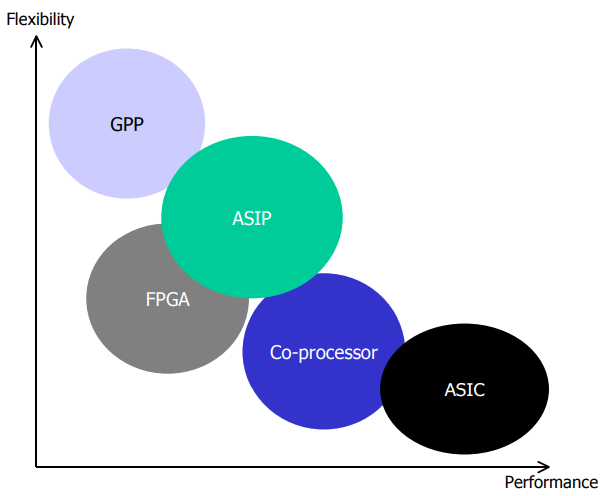
Processeurs De Réseau

**Jihad Nasser et Omar Omar Directé par : Dr. Haytham Zyedeh**

Nous commençons par une définition des processeurs réseau et donnons un bref historique des processeurs réseau.

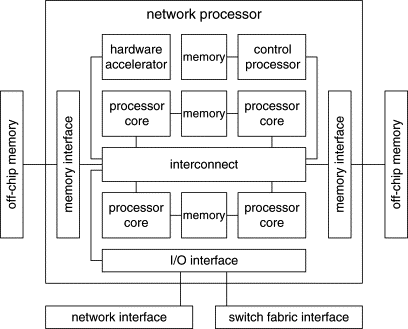
Définition : Les processeurs de réseau sont des processeurs adaptés à l'espace réseau informatique, surtout le traitement des paquets. Les processeurs de réseau, qui sont performants et programmables, traite et renforce les ASIC1 de traitement de paquets, qui sont des solutions performantes mais non programmables, ainsi les processeurs généralisés, qui sont souvent des appareils moins performants, mais sont programmables. Les processeurs de réseau deviennent un sujet de recherche important dans nos jours.

Histoire : Jusqu'à maintenant, les fonctionnalités de mise en réseau maximales au-dessus de la couche corporelle étaient implémentées à l'aide d'un logiciel se déplaçant sur un processeur à cause générale. Les dernières années ont été témoins de l'augmentation exponentielle d'Internet. L'augmentation de la réglementation de ce super-Moore a fait des ravages dans les implémentations de réseau. Pour faire face à cette explosion de visiteurs, de nouvelles réponses ont vu le jour. Tout d'abord, de nombreuses réponses câblées sont prises en compte pour le traitement des couches 2 et 3. Avec l'extrade rapide des protocoles de couche inférieure (par exemple, MPLS, DiffServ) et de meilleures applications de couche (par exemple, Peer-To-Peer, streaming vidéo), cette réponse ne sera désormais plus mise à l'échelle. Le besoin de personnalisation, de programmabilité dans le sujet et de réduction du temps de mise sur le marché des fenêtres d'accueil dans les implémentations de traitement communautaire a suscité au maximum l'intérêt des processeurs de réseaux, qui sont un mixte des processeurs : GPP2, ASIP3, FPGA4, Co-Processors et ASIC.

Une vue générale : Les processeurs de réseaux abordent le point de conception de la flexibilité et offrent une solution au cout de développement élevé des ASIC, en étant programmable. C'est-à-dire, les processeurs de réseau sont capables de s'adapter aux changements de protocoles de réseau, ou d'effectuer fonctions supplémentaires qui n'étaient pas nécessairement prévues lorsque le processeur de réseau a été déployé à l'origine.

En somme, l'avantage de la solution de ces types des processeurs, par rapport aux autres types de µp, est que le processeur offre à la fois des performances comparables au matériel à usage spécial tout en fournissant également la flexibilité souhaitable grâce à sa programmation.

Architecture Générale et Comment travaille :

1. *Processor Core :* Plusieurs *Processor Core* de processeur pour le traitement des chemins de données. Ces processeurs sont utilisés pour le traitement du trafic réseau et sont généralement de simples *Processor Core* RISC5. Le nombre de *Processor Core* peut aller de quelques dizaines à plusieurs centaines.

**7.**

**6.**

**4.**

**6.**

**6.**

**4.**

**6.**

**5.**

**5.**

**3.**

**3.**

**3.**

**1.**

**1.**

**1.**

**1.**

**2.**

**1**

**1**

1. *Control Processor* : Ce processeur est utilisé pour les opérations de contrôle et le traitement lent des paquets.
2. *Memory :* La *chip-memory* consiste en une mémoire d'instructions et de données pour les processeurs de chemin de données et les processeurs de contrôle. Dans la plupart des cas, la mémoire sur puce utilise la technologie SRAM, car une combinaison de DRAM et de logique de traitement.
3. *Off-Chip-Memory :* La quantité du mémoire dans le *chip* qui peut raisonnablement être incluse sur les processeurs du réseau ne fournit généralement pas suffisamment de stockage pour les paquets qui doivent être mis en mémoire tampon ou pour les programmes et l'état des programmes. Pour étendre l'espace mémoire disponible, des mémoires *off-chip6* sont utilisées. Des interfaces pour accéder à ces mémoires sont incluses dans le *chip* du processeur réseau.
4. *Network Interface and Switch Fabric Interface :* Les ports du routeur sur lesquels se trouvent les processeurs de réseau s'interfacent généralement avec une ou plusieurs liaisons physiques d'un côté et la matrice de commutation du routeur de l'autre côté. Étant donné que les liaisons réseau utilisent une grande variété de protocoles de couche physique, (par exemple, câblage en cuivre, fibre optique), les processeurs réseau ne se connectent pas directement au support physique. La même interface est également utilisée pour s'interfacer avec la matrice de commutation du routeur.
5. *Interconnect Between Internal Components :* Les divers composants à l'intérieur du processeur de réseau (*Processor Core* de chemin et de données, *Processor Core* de contrôle, interfaces mémoire, interface d'entrée/sortie « I/O ») doivent être connectés pour permettre le mouvement des données à travers le système. La bande passante de cette interconnexion doit être suffisamment élevée pour faire passer le trafic réseau à pleine bande passante ainsi que pour accueillir les accès mémoire et autres communications liées au traitement. Il existe différentes approches pour concevoir une telle interconnexion. Dans le cas le plus simple, un bus peut être utilisé pour connecter complètement tous les composants. Le choix de l'interconnexion a un impact considérable sur la programmation et la gestion de l'exécution des processeurs réseau, car il peut restreindre les composants pouvant communiquer entre eux.
6. *Hardware Accelerator :* Ils sont des composants facultatifs et très utilisés pour les processeurs de réseau. Ces blocs implémentent des tâches de traitement spécifiques au réseau dans une logique personnalisée et atteignent des performances beaucoup plus élevées que les implémentations logicielles typiques. Des exemples d'accélérateurs matériels courants sont les moteurs de recherche (utilisant une logique spécialisée et/ou TCAM), les coprocesseurs cryptographiques, les moteurs d'inspection de contenu, etc.

Programmation : La majorité des logiciels système embarqués sont désormais développés en C ou C++. D'après la discussion jusqu'à présent, le lecteur peut soupçonner que l'image des processeurs réseau est un peu différente. De nombreux µp ont une architecture qui n'est pas une bonne cible pour C et C++. L'un, par exemple, ne prend pas en charge les pointeurs dans son jeu d'instructions. L'inadéquation architecturale reflète une philosophie de conception qui est assez différente de la philosophie de conception d'un GPP. Alors qu'un GPP est conçu pour exécuter C/C++ aussi rapidement que possible, un µp est conçu pour traiter les informations aussi rapidement que possible pour une quantité donnée de ressources.

Ex de ces types du µp : Motorola (C - Port) C-5 :

 Le Motorola C-5 DCP est un processeur de réseau multiprocesseur à *single chip*. Ils sont des processeurs à 16 canaux (avec 5 coprocesseurs) et 1 processeur à usage général pour le système coordination. Chaque processeur de canal se compose d'un noyau RISC avec 2 *Serial Data Processors*. Le C-5 est destiné au traitement des couches 2 à 7 à des débits de 2,5 Gbit/s. Son architecture est donnée par cette figure :

Diagram

Description automatically generated

Il y a 5 coprocesseurs partagés, chacun avec une fonction différente :

1. Sous-traitant exécutif : coordination avec les sous-traitants externes.
2. *Fabric* *Processor* : pour utiliser plusieurs C-5 dans un *fabric*.
3. Unité de recherche de table : recherche et mise à jour de table.
4. Gestion des files d'attente : gérer les files d'attente de paquets.
5. Gestion des buffers : gestion rapide et flexible de la mémoire.

1. ASIC: Application-Specific Integrated Circuit.

2. GPP: General Purpose Processor.

3. ASIP: Application-specific instruction set processor.

4. FPGA: Field-Programmable Gate Array.

5. RISC: Reduced Instruction Set Computer.

6. Off-Chip : Hors du microprocesseur.

Reference:

<https://youtu.be/wYX02vzfBCY>

Présenté par :   
 Jihad Nasser 1513

Omar Omar 1733

<https://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.446.8052&rep=rep1&type=pdf>

<https://www.embedded.com/the-basics-of-network-processors/>

pdf: Understanding Network Processors by Niraj Shah.

pdf: Architectural Considerations for Network Processor Design by David N. Armstrong.