

HW4:

2016203048 박지홍

NO.1 Explain how control signals in Slide 20 (Chapter 4) work.

Answer. Instruction에서 MUX과 register에서 읽은 값의 결과값, sign-extended로 나온 결과값을 연산결과를 가져오기위해 조정하는 상태.

NO.2 What is the minimum number of cycles needed to completely execute  $n$  instructions on a CPU with a  $k$  stage pipeline? Find a formula.

Answer. 첫번째 instruction에서  $k$  cycle에서 pipeline 시작 되므로 이후에는  $n-1$  cycle 동안 1 사이클이 원형되어  $min = k + n - 1$  이다.

NO.6 Explain the condition for load-use hazard in Slide 11.

ID/EX, MEMRead and

$((ID/EX.RegisterRt = IF/ID.RegisterRs))$  or

$((ID/EX.RegisterRt = IF/ID.RegisterRt))$

Answer. Load instruction 바로 다음에 오는 instruction이 load instruction이  
결과를 사용하는 것이기 때문에 load-use hazard가 발생한다.

NO.3 Add NOP instruction to the <sup>code</sup> below so that it will ~~run~~ run correctly on a pipeline that does not handle data hazards.

```
addi $s0, $s1, 5
add  $s2, $s0, $s1
addi $s3, $s0, 15
add  $s4, $s2, $s1
```

Answer. addi \$s0, \$s1, 5  
NOP  
NOP  
add \$s2, \$s0, \$s1  
addi \$s3, \$s0, 15  
NOP  
add \$s4, \$s2, \$s1

NO.4 Explain the condition of data hazards in slide 69.

- 1a. EX/MEM. RegisterRd = ID/EX. RegisterRs
- 1b. EX/MEM. RegisterRd = ID/EX. RegisterRt
- 2a. MEM/WB. RegisterRd = ID/EX. RegisterRs
- 2b. MEM/WB. RegisterRd = ID/EX. RegisterRt

Answer. (1a. 1b) 같은 경우,  
비교 연산의 instruction의 결과를 사용하는 경우이므로  
EX hazard 이고,  
(2a. 2b) 같은 경우  
2번재 연산의 instruction의 결과를 사용하는 경우이므로  
MEM hazard 이다.



Q.5 Draw the figure in Slide 75.  
Answer.

