

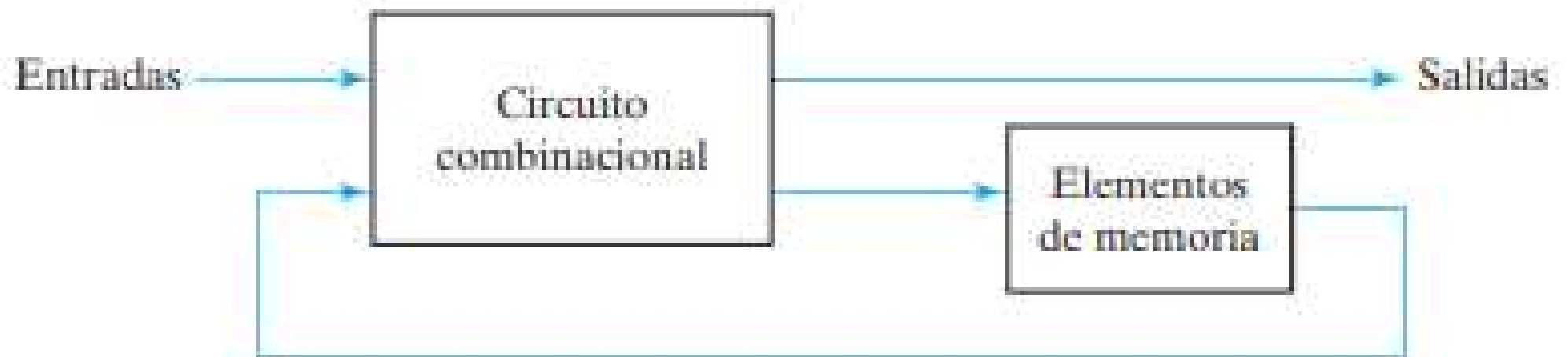
Inicio AOC_06.pptx

Lógica secuencial

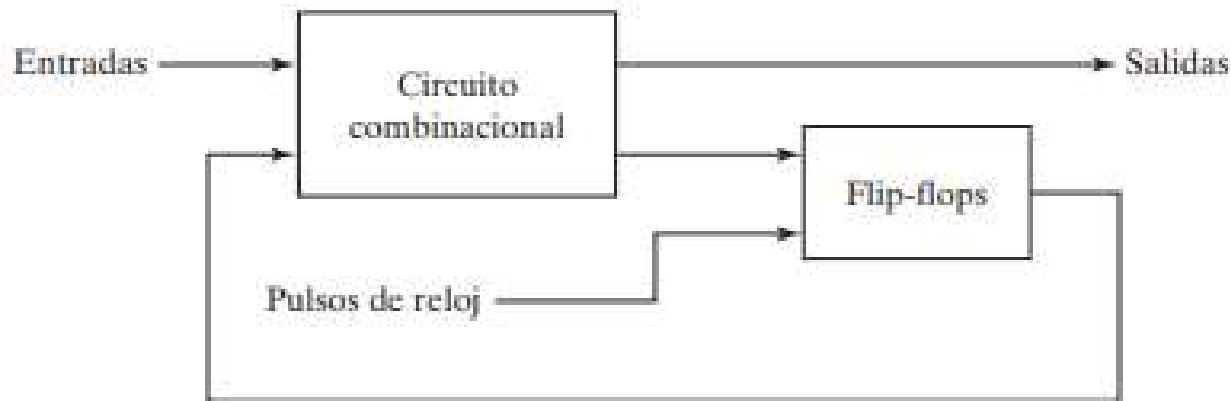
A continuación, se analizará y diseñará lógica secuencial. Las salidas de la lógica secuencial dependen de los valores de entrada actuales y anteriores.

Por lo tanto, la lógica secuencial tiene memoria. La lógica secuencial podría explícitamente recordar ciertas entradas anteriores, o podría denotar las entradas anteriores en una cantidad menor de información llamada estado del sistema. El estado de un circuito secuencial digital es un conjunto de bits llamados variables de estado que contienen toda la información sobre el pasado necesaria para explicar el futuro comportamiento del circuito.

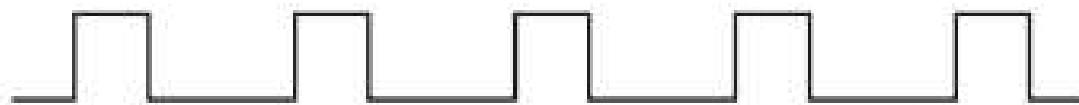
Diagrama de bloques de un circuito secuencial



Un circuito secuencial síncrono utiliza señales que afectan a los elementos de almacenamiento únicamente en instantes discretos. La sincronización se logra con un dispositivo de temporización llamado generador de reloj, el cual produce un tren periódico de pulsos de reloj. Los pulsos de reloj se distribuyen por todo el sistema de modo que los elementos de almacenamiento sólo se vean afectados al llegar cada pulso



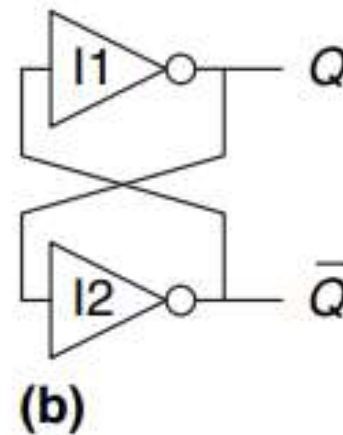
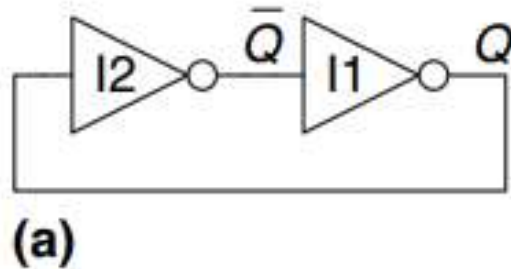
a) Diagrama de bloques



b) Diagrama de temporización de los pulsos de reloj

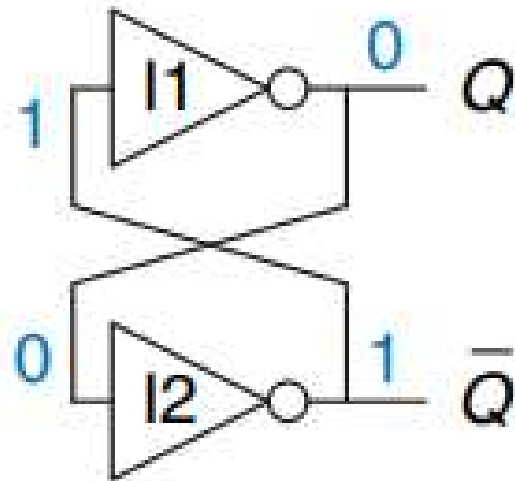
LATCHes y FLIP-FLOPs

El componente fundamental de la memoria es un elemento biestable, un elemento con dos estados estables. La Figura muestra un elemento biestable simple compuesto por un par de inversores conectados en bucle.

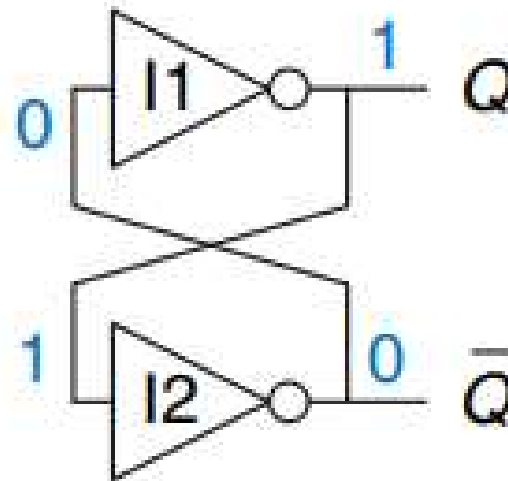


Debido a que los inversores de acoplamiento cruzado tienen dos estados estables, $Q = 0$ y $Q = 1$, se dice que el circuito es biestable.

Un elemento con N estados estables transmite $\log_2 N$ bits de información, por lo que un elemento biestable almacena un bit



(a)



(b)

Cuando se aplica potencia por primera vez a un circuito secuencial, el estado inicial es desconocido y generalmente impredecible.

Puede diferir cada vez que el circuito es encendido
Aunque los inversores de acoplamiento cruzado pueden almacenar un poco de información, no son prácticos porque el usuario no tiene entradas para controlar el estado.

Sin embargo, otros elementos biestables, como latches y flip-flops, proporcionan entradas para controlar el valor de la variable de estado

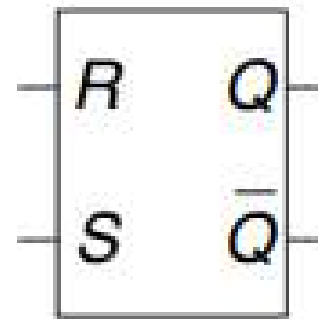
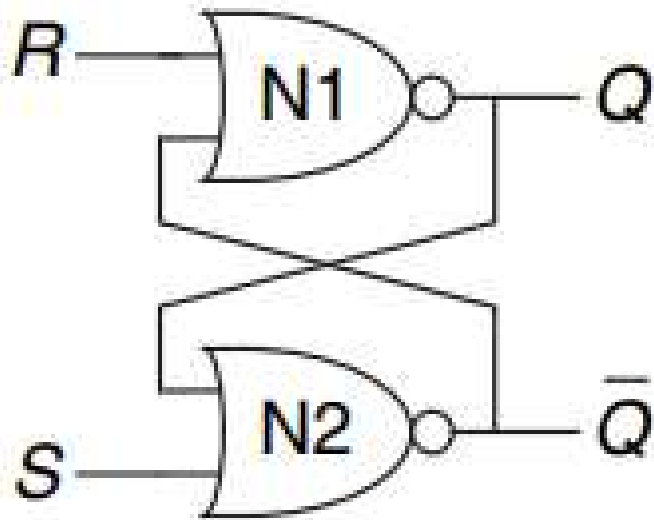
El LATCH-SR

Un componente bistable: el LATCH-SR

Uno de los circuitos secuenciales más simples es el latch SR, que es formado por dos compuertas NOR de acoplamiento cruzado

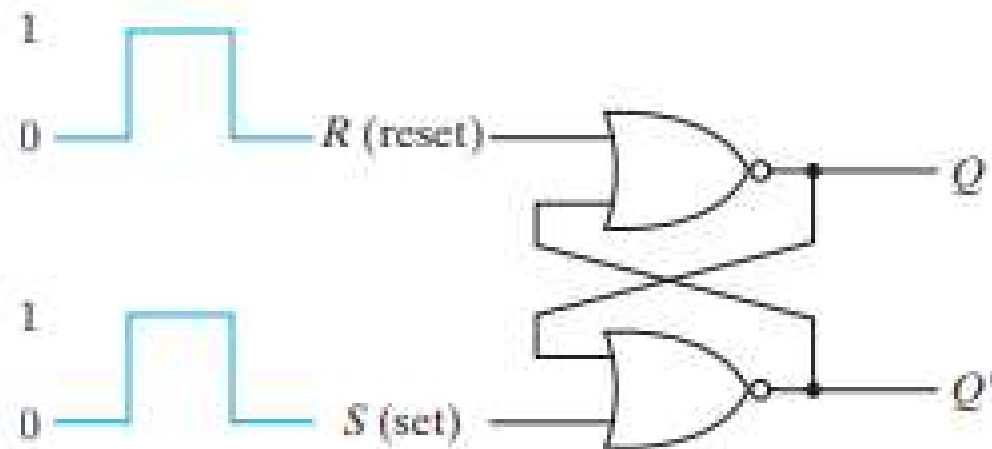
El latch tiene dos entradas, S y R, y dos salidas, Q y \bar{Q} .

Su estado puede controlarse a través de las entradas S y R, que configuran y restablecen el pin Q de salida



SR latch symbol

El latch-SR, trabaja con los cambios de nivel de las señales SET y RESET



a) Diagrama lógico

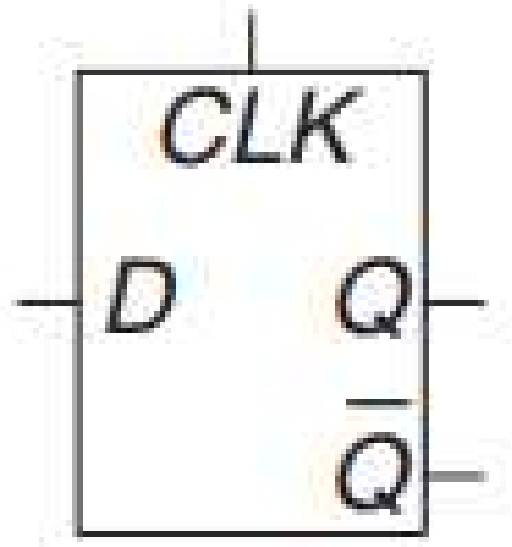
S	R	Q	Q'	
1	0	1	0	(Después de $S = 1, R = 0$)
0	0	1	0	
0	1	0	1	(Después de $S = 0, R = 1$)
0	0	0	1	
1	1	0	0	

b) Tabla de función

El LATCH-D

Otro tipo de latch es el LATCH-D

Tiene dos entradas. La entrada de datos, D, controla cuál es el siguiente estado debiera ser. La entrada de reloj, CLK, controla cuando el estado debe cambiar.



FLIP-FLOP

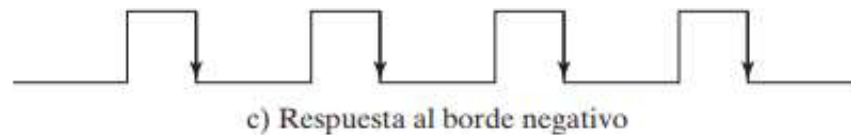
El estado de un latch o flip-flop se conmuta con un cambio en la entrada de control. Este cambio momentáneo se denomina “disparo” y decimos que la transición que causa dispara el flip-flop.

El latch D con pulsos en su entrada de control es básicamente un flip-flop que se dispara cada vez que el pulso alcanza el nivel de 1 lógico.

En tanto la entrada de pulso se mantenga en este nivel, cualquier cambio en la entrada de datos hará que cambie la salida y el estado del latch.

Cuando se usan latches como elementos de almacenamiento, surge una dificultad grave. Las transiciones de estado de los latches se inician tan pronto como el pulso de reloj cambia al nivel de 1 lógico. El nuevo estado del latch aparece en la salida mientras el pulso aún está activo. Esta salida se conecta a las entradas de los latches a través del circuito combinacional. Si las entradas aplicadas a los latches cambian mientras el pulso de reloj todavía está en el nivel de 1 lógico, los latches responderán a nuevos valores y podría presentarse un nuevo estado de salida. El resultado es una situación impredecible, ya que el estado de los latches podría seguir cambiando durante todo el tiempo que el pulso de reloj se mantiene en el estado activo

La clave para que el flip-flop funcione correctamente es dispararlo únicamente durante una transición de la señal. Un pulso de reloj sufre dos transiciones: de 0 a 1 y de 1 a 0 al regresar. Como se aprecia en la figura, la transición positiva se define como el borde (o flanco) positivo, y la negativa, como el borde negativo.

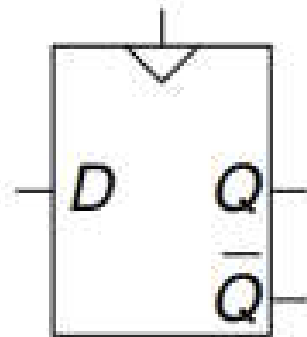


Otros componentes bistables: Los FLIP-FLOPs

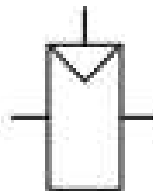
El Flip-Flop tipo D o FLIP-FLOP-D

Un flip-flop D también se conoce como flip-flop master-slave, o flip-flop activado por canto o flanco (edge-triggered flip-flop), o un flip-flop disparado por flanco positivo (positive Edge-Flip flop).

El triángulo en los símbolos denota una entrada de reloj activada por flanco. La salida Q a menudo se omite cuando no es necesaria



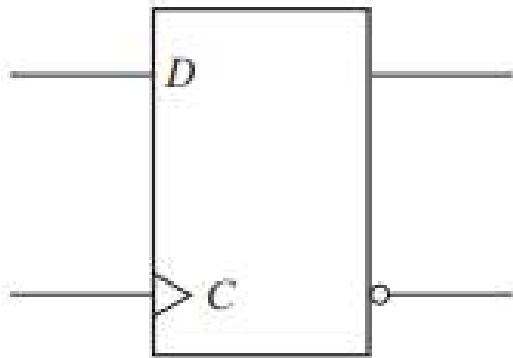
(b)



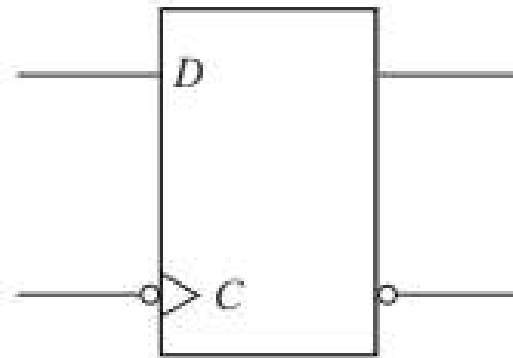
(c)

Otros tipos de Flip-Flop

Símbolo gráfico para el flip-flop D disparado por flancos

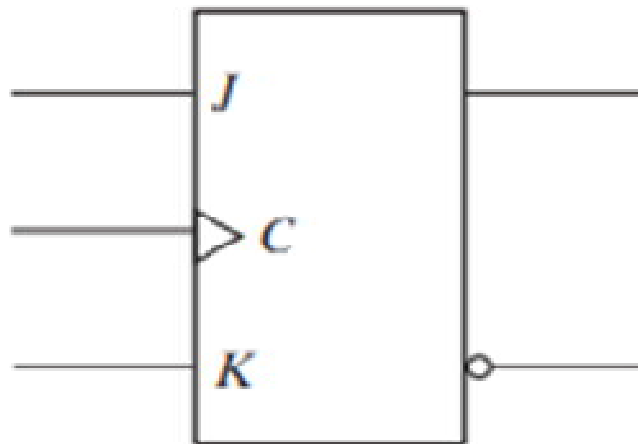


a) Borde positivo



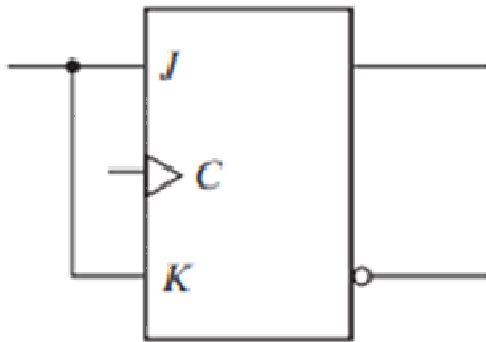
b) Borde negativo

Flip-Flop J-K

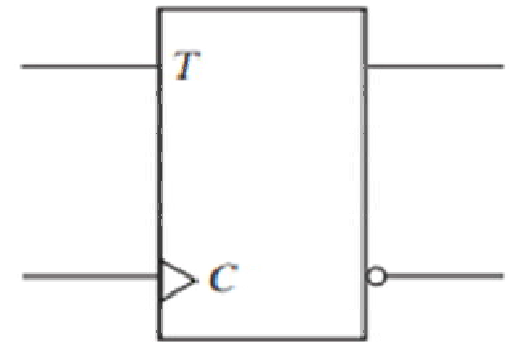


Símbolo gráfico

Flip-Flop T



a) Con un flip-flop JK



c) Símbolo gráfico

Tablas características

Tablas características de flip-flops

Flip-Flop JK			
J	K	$Q(t + 1)$	
0	0	$Q(t)$	Sin cambio
0	1	0	Restablecer
1	0	1	Establecer
1	1	$Q'(t)$	Complementar

Flip-Flop D		
D	$Q(t + 1)$	
0	0	Restablecer
1	1	Establecer

Flip-Flop T		
T	$Q(t + 1)$	
0	$Q(t)$	Sin cambio
1	$Q'(t)$	Complementar

Tablas características para cuatro Flip-Flop

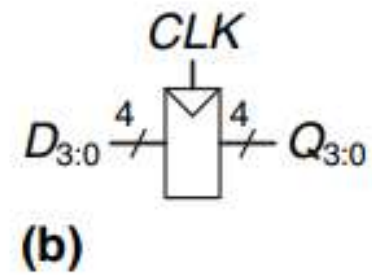
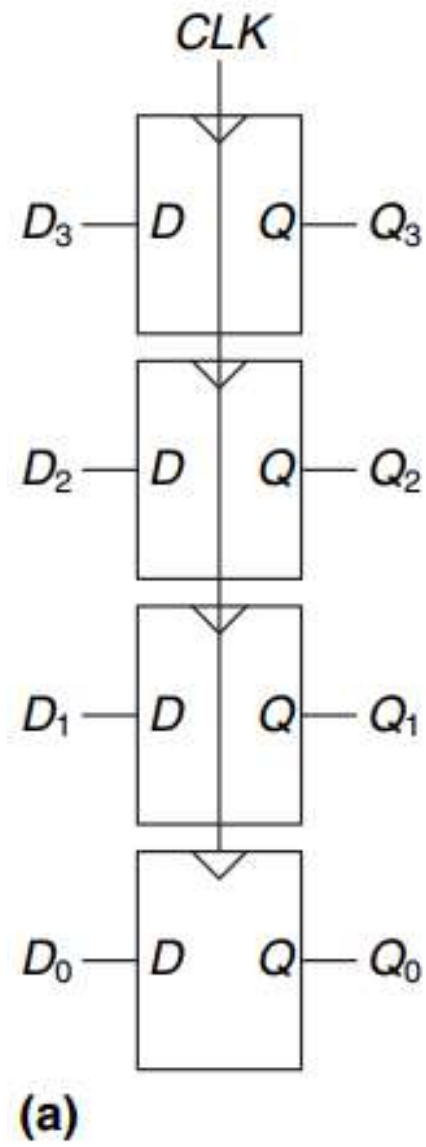
Flip-flop <i>SR</i>				Flip-flop <i>D</i>		
$Q(t)$	$Q(t + 1)$	S	R	$Q(t)$	$Q(t + 1)$	D
0	0	0	×	0	0	0
0	1	1	0	0	1	1
1	0	0	1	1	0	0
1	1	×	0	1	1	1

Flip-flop <i>JK</i>				Flip-flop <i>T</i>		
$Q(t)$	$Q(t + 1)$	J	K	$Q(t)$	$Q(t + 1)$	T
0	0	0	×	0	0	0
0	1	1	×	0	1	1
1	0	×	1	1	0	1
1	1	×	0	1	1	0

Registros

Un registro de N bits es un banco de N flip-flops que comparten una **entrada de CLK** común, para que todos los bits del registro se actualicen al mismo tiempo. Los registros son el bloque de construcción clave de la mayoría de los circuitos secuenciales.

En la figura a continuación, se muestra un registro de 4 bit con entradas $d(3:0)$ y salidas $Q(3:0)$ y ambos son buses de 4 bit



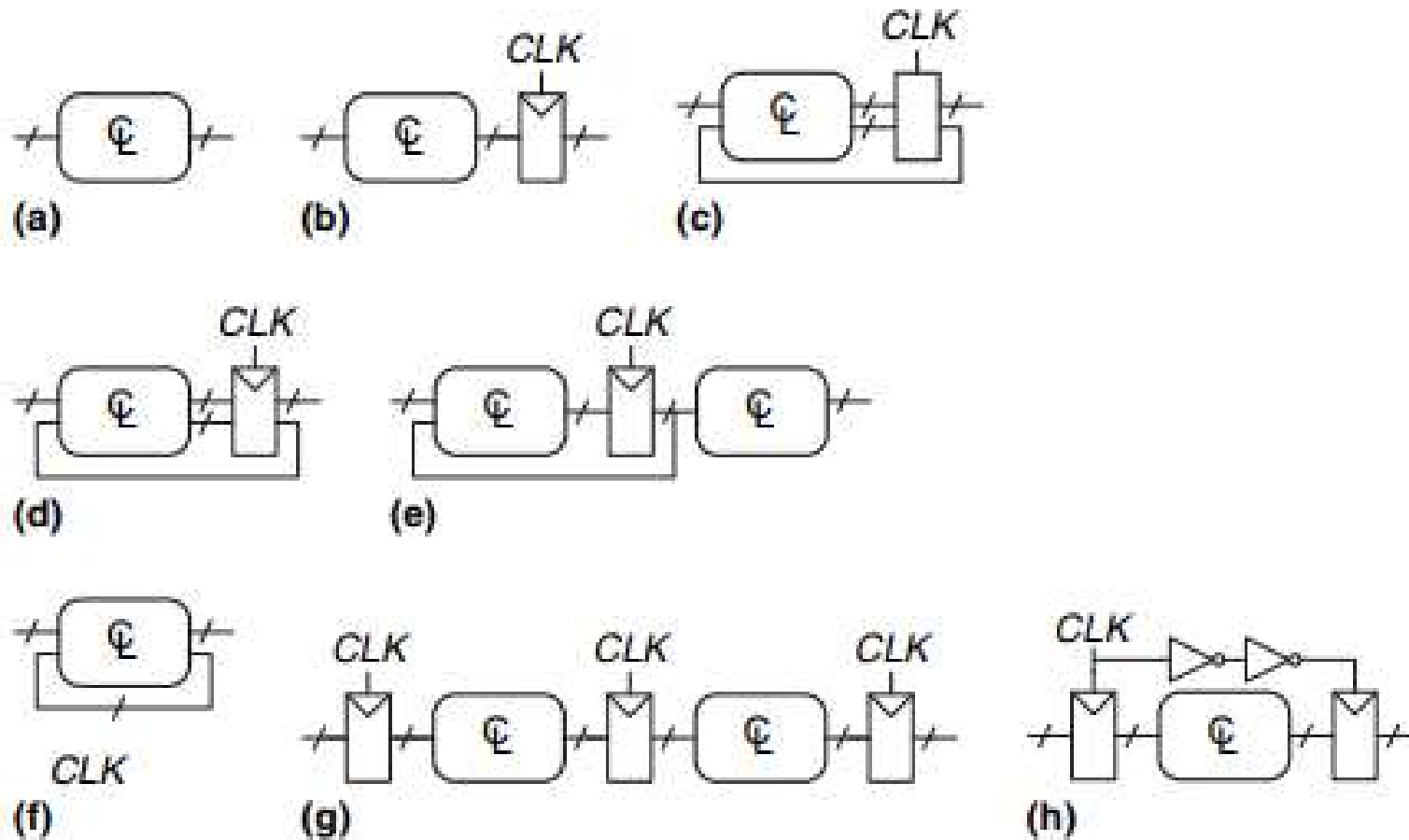
Circuitos secuenciales sincrónicos

Las reglas de constitución de circuitos secuenciales síncronos enseñan que un circuito, es un circuito secuencial síncrono si consta de elementos interconectados del circuito tales que:

- ▶ Cada elemento del circuito es un registro o un circuito combinacional
- ▶ Al menos un elemento del circuito es un registro
- ▶ Todos los registros reciben la misma señal de reloj
- ▶ Cada ruta cíclica contiene al menos un registro.

Los circuitos secuenciales que no son síncronos se denominan asíncronos.

Ejemplos de circuitos secuenciales



a Comb, b Sec s/feedback, d e lóg sec sincr, f Comb, g Sec Sincr pipeline, h no sec diferente CLK

MÁQUINAS DE ESTADOS FINITOS (FSM)

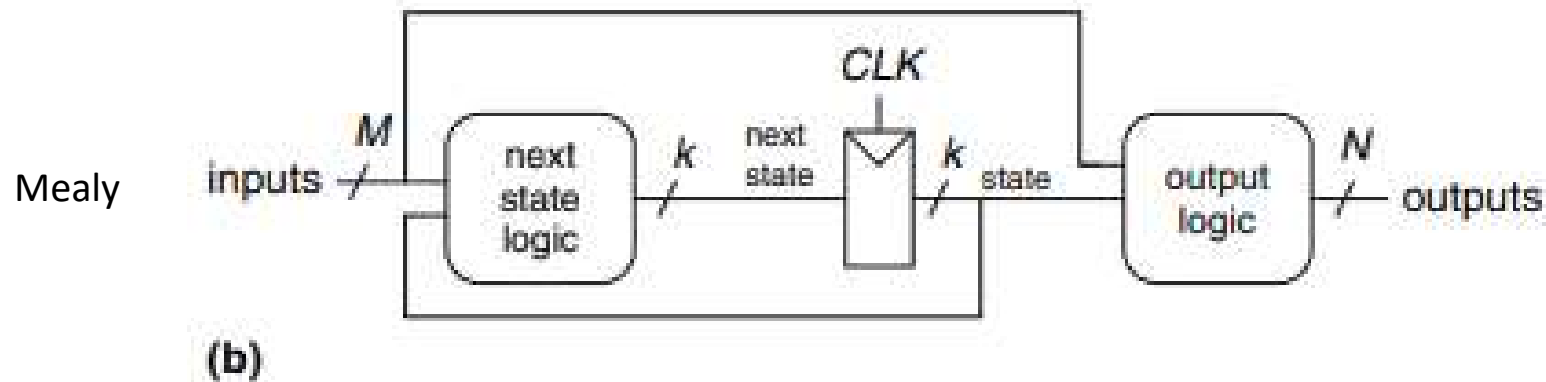
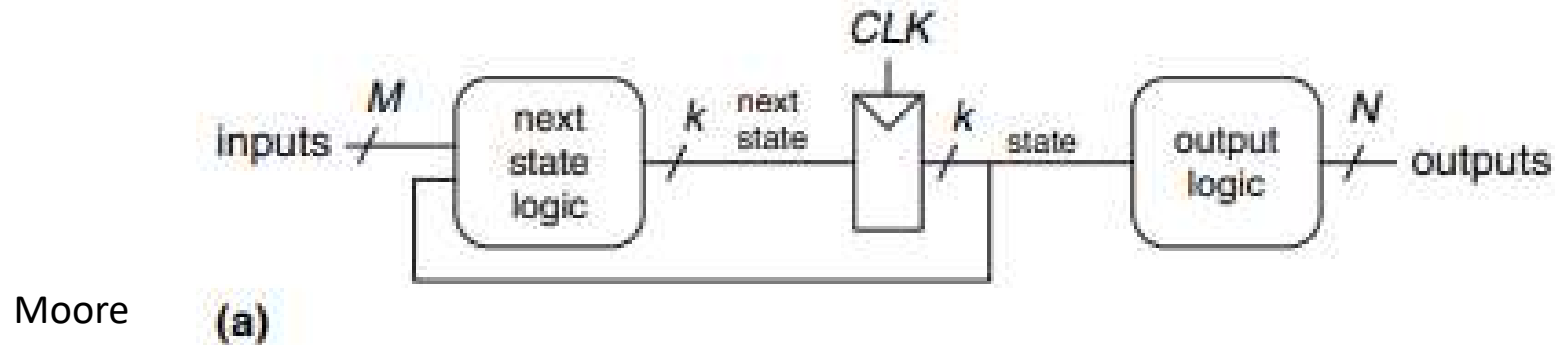
Obtienen su nombre porque un circuito con k registros puede estar en uno de un número número finito (2^k) de estados únicos.

Una FSM tiene M entradas, N salidas y k bits de Estado. También recibe un reloj y, opcionalmente, una señal de reinicio.

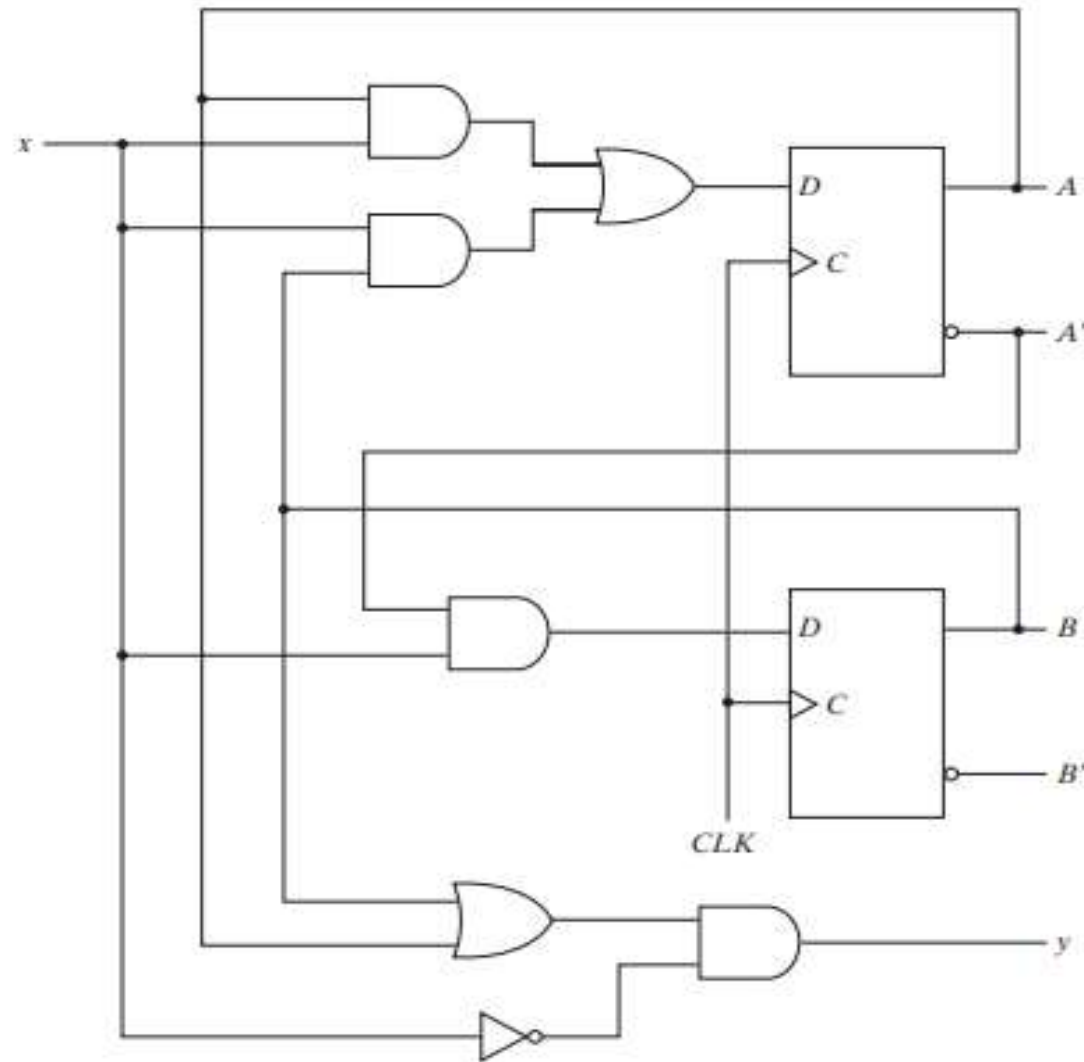
Una FSM consta de dos bloques de lógica combinacional, lógica de siguiente estado y salida lógica, y un registro que almacena el estado.

En cada borde del reloj, el FSM avanza al siguiente estado, que se calculó en función del estado actual y entradas.

Hay dos clases generales de máquinas de estados finitos, caracterizadas por sus especificaciones funcionales. En las máquinas de Moore, las salidas dependen únicamente del estado actual de la máquina. En las máquinas de Mealy, las salidas dependen tanto del estado actual como de las entradas actuales. Las máquinas FSM proporcionan una forma sistemática para diseñar circuitos secuenciales síncronos, dada una especificación funcional.



Análisis de un circuito secuencial síncrono



Ecuaciones de entrada y salida

$$D_A = Ax + Bx$$

$$D_B = A'x$$

$$y = Ax' + Bx'$$

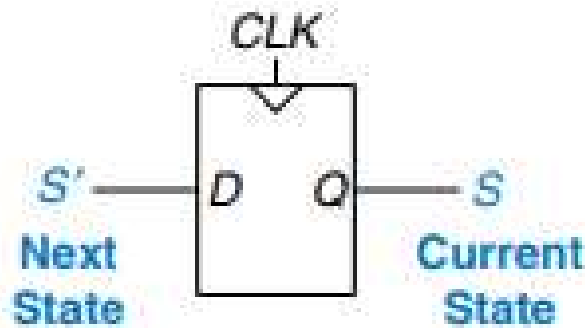


Tabla de Estados

Tabla de Estados para el circuito dado:

Estado actual		Entrada	Siguiete estado		Salida
A	B	x	A	B	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0

La preparación de una tabla de estados requiere enumerar todas las posibles combinaciones binarias de estado actual y entradas. En este caso, tenemos ocho combinaciones binarias, de 000 a 111.

Luego se determinan los valores de siguiente estado a partir del diagrama lógico o de las ecuaciones de estado.

El siguiente estado del flip-flop A deberá satisfacer la ecuación de estado

$$A(t+1) = Ax + Bx$$

La sección de siguiente estado en la columna A de la tabla de estados tiene tres unos, donde el estado actual y el valor de entrada satisfacen las condiciones de que el estado actual de A y la entrada x son ambos 1, o el estado actual de B y la entrada x son ambos 1.

De forma similar, el siguiente estado del flip-flop B se deduce de la ecuación de estado $B(t+1)=A'x$ y es igual a 1 cuando el estado actual de A es 0 y la entrada x es 1.

La columna de salida se deduce de la ecuación de salida
 $y=Ax'+Bx'$

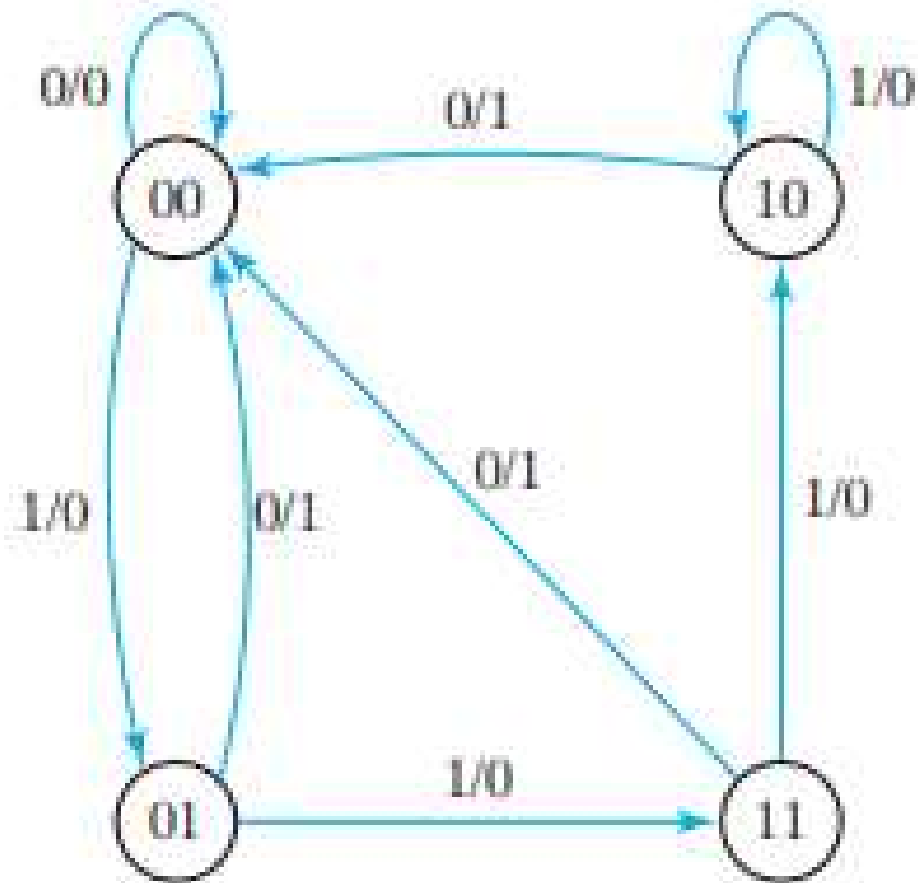
- La tabla de estados de un circuito secuencial con flip-flops tipo D se obtiene por el mismo procedimiento delineado en el ejemplo anterior.
- En general, un circuito secuencial con m flip flops y n entradas necesita 2^{m+n} filas en la tabla de estados.
- Se hace una lista de los números binarios del 0 hasta $2^{m+n} - 1$ bajo las columnas de estado actual y entrada.
- La sección de siguiente estado tiene m columnas, una para cada flip-flop. Los binarios para el siguiente estado se deducen directamente de las ecuaciones de estado.
- La sección de salida tiene tantas columnas como variables de salida haya. Su valor binario se deduce del circuito o de la función booleana de la misma manera que se deduce una tabla de verdad.

Diagrama de estados

La información contenida en una tabla de estados se representa gráficamente en forma de diagrama de estados.

En este tipo de diagramas, un estado se representa con un círculo, y las transiciones entre estados se indican con flechas que conectan a los círculos.

En la figura se aprecia el diagrama de estados del circuito secuencial del ejemplo anterior.



El diagrama de estados proporciona la misma información que la tabla de estados y se obtiene directamente de dicha tabla.

El número binario dentro de cada círculo identifica el estado de los flip-flops.

Las flechas se rotulan con dos números binarios separados por una diagonal. Primero se da el valor de entrada durante el estado actual, y el número después de la diagonal indica la salida durante el estado actual, con esa entrada.

(Es importante recordar que el valor de bit indicado para la salida a lo largo de la flecha se da durante el estado actual y con la entrada indicada, y nada tiene que ver con la transición al siguiente estado.)

Por ejemplo, la flecha del estado 00 a 01 lleva el rótulo 1/0, lo que significa que cuando el circuito secuencial está en el estado actual 00 y la entrada es 1, la salida es 0. Después del siguiente ciclo de reloj, el circuito pasa al siguiente estado, 01. Si la entrada cambia a 0, la salida será 1, pero si la entrada sigue siendo 1, la salida se mantendrá en 0.

Esta información se obtiene del diagrama de estados siguiendo las dos flechas que salen del círculo correspondiente al estado 01.

Una flecha que conecta a un círculo consigo mismo indica que no hay cambio de estado.

No hay diferencia entre una tabla de estados y un diagrama de estados, como no sea en la forma de representación. La tabla de estados se deduce más fácilmente de un diagrama lógico dado y la ecuación de estado. El diagrama de estados se sigue directamente de la tabla de estados

Diseño (síntesis) de un circuito secuencial síncrono

El diseño de un circuito secuencial con reloj parte de un conjunto de especificaciones y culmina en un diagrama lógico o una lista de funciones booleanas de la cual puede obtenerse el diagrama lógico.

En contraste con los circuitos combinacionales, que se especifican cabalmente con una tabla de verdad, los circuitos secuenciales requieren una tabla de estados para su especificación.

El primer paso en el diseño de circuitos secuenciales es la obtención de una tabla de estados o una representación equivalente, como un diagrama de estados. Un circuito secuencial síncrono consta de flip-flops y compuertas combinacionales

El procedimiento para diseñar circuitos secuenciales sincrónicos se resume en una lista de pasos recomendados:

1. Deduzca, de la descripción textual y las especificaciones del funcionamiento deseado, un diagrama de estados para el circuito.
2. Reduzca el número de estados si es necesario.
3. Asigne valores binarios a los estados.
4. Obtenga la tabla de estados codificada en binario.
5. Escoja el tipo de flip-flops que se usarán.
6. Deduzca las ecuaciones simplificadas de entrada y de salida de los flip-flops.
7. Dibuje el diagrama lógico

Ejemplo de síntesis

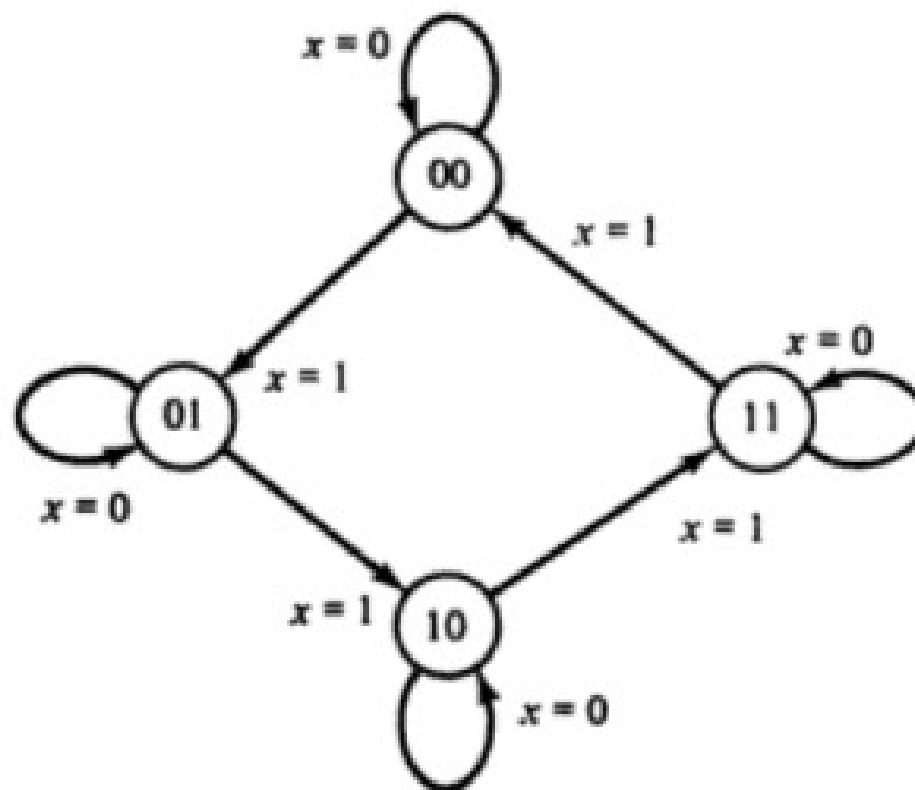
Se desea diseñar un circuito secuencial síncrono que genere una secuencia de estados binarios repetidos 00, 01, 10, 11 cuando la entrada externa $x = 1$.

El estado del circuito permanece sin cambio cuando $x = 0$.

Este circuito se denomina contador binario de 2 bits y la entrada x es la variable de control que especifica cuando se debe producir el Recuento

El contador binario necesita dos FlipFlop para representar los dos bit

Diagrama de estados para contador binario



Este circuito secuencial no tiene salidas externas y por lo tanto sólo el valor de la entrada se etiqueta en el diagrama. El estado de los FlipFlop se considera como salida del contador.
Para este ejemplo se usará FlipFlop tipo J-K.

Las entradas del FlipFlop A se designan por J_A y K_A y para el FlipFlop b se designan por J_B y K_B

Para la tabla característica del FF-JK se tiene lo siguiente:

Flip-flop JK			
$Q(t)$	$Q(t + 1)$	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

Tabla de estados derivada desde el Diagrama de Estados y de la tabla característica del FF-JK

Flip-flop JK				Estado actual		Entrada	Estado siguiente		Entradas de flip-flop			
$Q(t)$	$Q(t + 1)$	J	K	A	B		A	B	J_A	K_A	J_B	K_B
0	0	0	x	0	0	0	0	0	0	x	0	x
0	1	1	x	0	0	1	0	1	0	x	1	x
1	0	x	1	0	1	0	0	1	0	x	x	0
1	1	x	0	0	1	1	1	0	1	x	x	1
				1	0	0	1	0	x	0	0	x
				1	0	1	1	1	x	0	1	x
				1	1	0	1	1	x	0	x	0
				1	1	1	0	0	x	1	x	1

La tabla de verdad para el circuito combinatorio del circuito secuencial está disponible en la tabla de estados

Las columnas de estado presente y entrada constituyen las entradas de la tabla de verdad

Mediante simplificación por K-Map se obtiene un conjunto de ecuaciones de entrada de los FF para el circuito combinacional

The image shows four Karnaugh maps arranged in a 2x2 grid, used for simplifying the input equations for a sequential circuit. Each map is a 2x4 grid with AB on the horizontal axis (00, 01, 11, 10) and X on the vertical axis (0, 1).

Top Left Map (J_A):

AB	00	01	11	10
0			X	X
1		1	X	X

$J_A = Bx$

Top Right Map (J_B):

AB	00	01	11	10
0		X	X	X
1	1	X	X	1

$J_B = x$

Bottom Left Map (K_A):

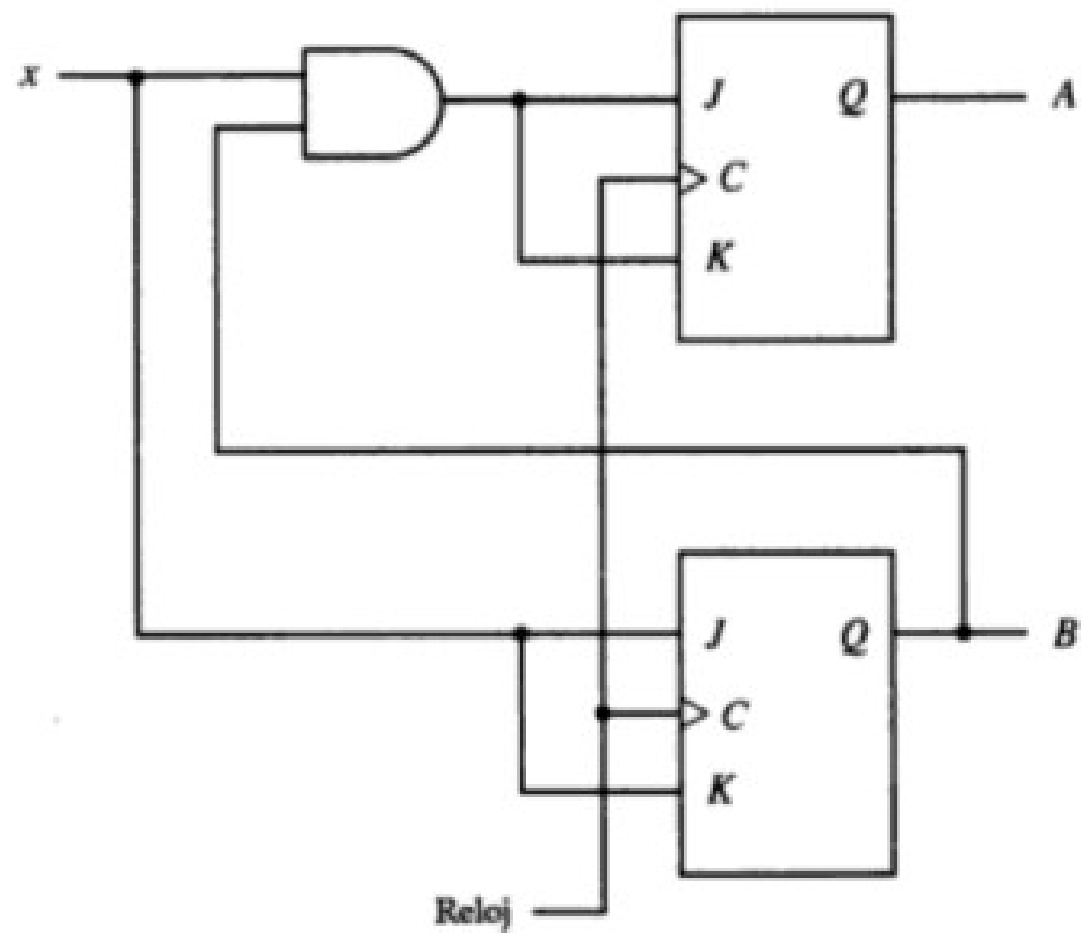
AB	00	01	11	10
0	X	X	X	X
1	X	X	1	X

$K_A = Bx$

Bottom Right Map (K_B):

AB	00	01	11	10
0	X			X
1	X	1	1	X

$K_B = x$



Fin AOC_06.pptx