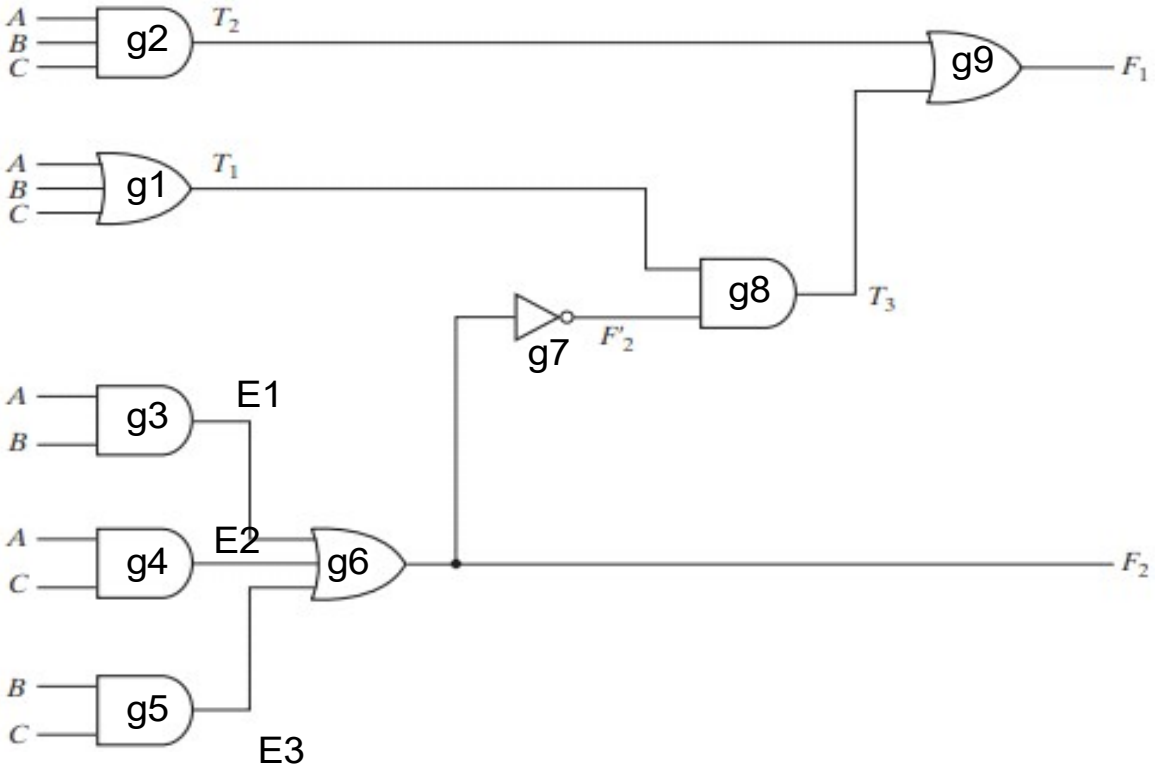
Ejemplo 01 EdaPlayGround.com Configuración inicial

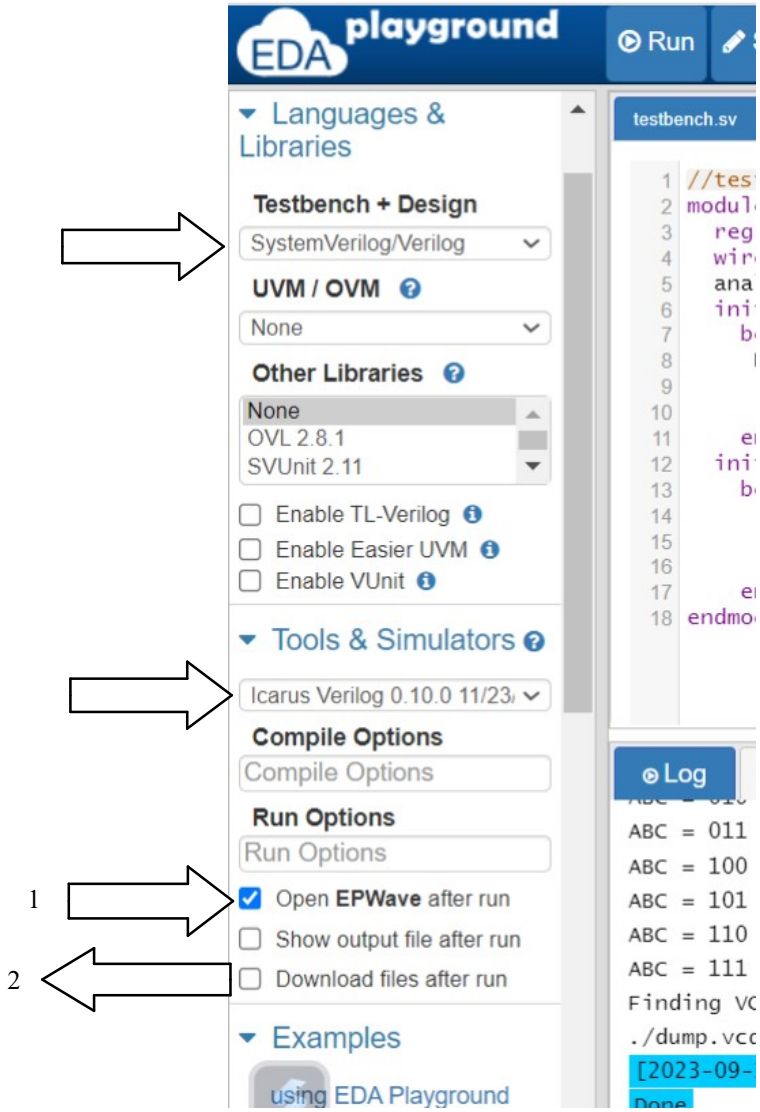
Circuito combinacional para analizar:



Determinación de la tabla de verdad del circuito combinacional

A	B	C	F1	F2
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

EdaPlayGround.com **Configuración inicial**



El resto de los parámetros no se modifican.
1.- En primera instancia dejar elegida la opción Open EPWare after run, con el propósito de obtener las formas de onda digitales del circuito de este ejemplo
2.- Enseguida conviene bajar los archivos después de la ejecución y guardarlos en una carpeta ad-hoc

Al ejecutar el punto 2 se obtienen dos archivos de nuestro interés inmediato:

```
//design.sv
module analisis(A,B,C,F1,F2);
  input A,B,C;
  output F1,F2;
  wire T1,T2,T3,F2not,E1,E2,E3;
  or g1(T1,A,B,C);
  and g2(T2,A,B,C);
  and g3(E1,A,B);
  and g4(E2,A,C);
  and g5(E3,B,C);
  or g6(F2,E1,E2,E3);
  not g7(F2not,F2);
  and g8(T3,T1,F2not);
  or g9(F1,T2,T3);
endmodule
```

```
//test bench
module probar_circuito;
  reg[2:0]D;
  wire F1,F2;
  analisis cto(D[2], D[1], D[0],F1,F2);
  initial
    begin
     D=3'b000;
     repeat(7)
       #10  D=D+1'b1;
    end
  initial
    begin
       $monitor("ABC = %b  F1 = %b  F2 = %b",D,F1,F2);
              $dumpfile("dump.vcd");
              $dumpvars(1);
    end
endmodule
```

Resultados del análisis

```
wire F1,F2;
analisis cto(D[2], D[1], D[0],F1,F2);
initial
```

Log | Share

```
[2023-09-14 21:15:09 UTC] iverilog '-Wall' '-g2012'
VCD info: dumpfile dump.vcd opened for output.
ABC = 000  F1 = 0  F2 = 0
ABC = 001  F1 = 1  F2 = 0
ABC = 010  F1 = 1  F2 = 0
ABC = 011  F1 = 0  F2 = 1
ABC = 100  F1 = 1  F2 = 0
ABC = 101  F1 = 0  F2 = 1
ABC = 110  F1 = 0  F2 = 1
ABC = 111  F1 = 1  F2 = 1
Creating result.zip...
  adding: a.out (deflated 68%)
  adding: dump.vcd (deflated 39%)
  adding: testbench.sv (deflated 36%)
  adding: design.sv (deflated 42%)
  adding: run.sh (deflated 34%)
[2023-09-14 21:15:10 UTC] Waiting for download...
Done
```

Diagrama de temporización