

tabular[t]cMirko Pennone - Mat. M63/000858 tabular[t]cSimone Penna - Mat. M63/000876

Tesina di Architettura dei Sistemi di Elaborazione Gruppo 14

Gabriele Previtera - Mat. M63/000834 Mirko Pennone - Mat. M63/000858
Simone Penna - Mat. M63/000876

5 marzo 2019

Indice

1 Sintesi di macchine combinatorie	1
1.1 Traccia	1
1.2 Soluzione	1
1.2.1 Esercizio 1	1
1.2.2 Esercizio 2	1
1.2.3 Esercizio 3	3
1.2.4 Esercizio 4	3
1.2.5 Esercizio 5	6
1.2.6 Esercizio 6	6
2 Latch e Flip-Flop	10
2.1 Latch RS	10
2.1.1 Traccia	10
2.1.2 Soluzione	10
2.1.2.1 Implementazione	10
2.1.2.2 Simulazione	11
2.2 Latch T	12
2.2.1 Traccia	12
2.2.2 Soluzione	12
2.2.2.1 Implementazione	12
2.2.2.2 Simulazione	15
2.3 Latch JK	15
2.3.1 Traccia	15
2.3.2 Soluzione	16
2.3.2.1 Implementazione	16
2.3.2.2 Simulazione	16
2.4 Flip-flop D edge-triggered	17
2.4.1 Traccia	17
2.4.2 Soluzione	17
2.4.2.1 Implementazione	17
2.4.2.2 Simulazione	18
2.5 Flip-flop RS master-slave	18
2.5.1 Traccia	18
2.5.2 Soluzione	18
2.5.2.1 Implementazione	18
2.5.2.2 Simulazione	18

3 Display a 7 segmenti	21
3.1 Architettura	21
3.2 Clock divisor e contatore modulo 2^n	23
3.2.1 Contatore modulo 2^n	23
3.2.2 Clock divisor	23
3.3 Anodes manager	23
3.4 Cathodes manager	24
3.5 Display on-board	26
3.6 Approfondimento: Display doppio su Nexys 4	26
3.6.1 Double display on board	28
4 Clock generator	31
4.1 Implementazione	31
4.2 Simulazione	31
5 Scan Chain	35
5.1 Implementazione	35
5.2 Simulazione	36
5.3 Approfondimento: Scan Chain on board	37
6 Finite State Machine	39
6.1 Implementazione	39
6.1.1 Implementazione con descrizione a doppio processo (Moore)	39
6.1.2 Implementazione con guardie (Mealy)	40
6.2 Sintesi e simulazione	42
6.2.1 Sintesi e simulazione con descrizione a doppio processo (Moore)	42
6.2.2 Simulazione con guardie (Mealy)	43
7 Ripple Carry Adder	44
7.1 Architettura	44
7.2 Implementazione	45
7.2.1 Full Adder	45
7.2.2 Ripple Carry Adder	45
7.3 Simulazione e sintesi	46
7.3.1 Simulazione	46
7.3.2 Sintesi	46
7.4 Approfondimento: Ripple Carry Adder Add-Sub	46
7.4.1 Architettura e implementazione	46
7.4.2 Simulazione	49
8 Carry Look Ahead	50
8.1 Architettura	50
8.2 Implementazione	50
8.2.1 Propagation/Generation calculator	52
8.2.2 Carry Look Ahead Adder	52
8.3 Simulazione e sintesi	53
8.3.1 Simulazione	53

8.3.2 Sintesi	53
9 Carry Save	55
9.1 Architettura	55
9.2 Implementazione	56
9.2.1 Carry Save Logic	56
9.2.2 Carry Save	56
9.3 Simulazione e sintesi	57
9.3.1 Simulazione	57
9.3.2 Sintesi	57
9.4 Approfondimento: confronto con RCA a tre operandi	57
10 Carry Select	60
10.1 Architettura	60
10.2 Implementazione	61
10.2.1 Carry Select Block	61
10.2.2 Carry Select	61
10.3 Simulazione e sintesi	62
10.3.1 Simulazione	62
10.3.2 Sintesi	62
10.3.2.1 Scelta di P ed M	62
10.3.2.2 Prestazioni all'aumentare del numero di bit	63
10.4 Approfondimento: Carry Select AddSub on board	63
11 Moltiplicatori	66
11.1 Moltiplicatore a celle MAC	66
11.1.1 Architettura	66
11.1.2 Implementazione	68
11.1.2.1 Cella MAC	68
11.1.2.2 Moltiplicatore	68
11.1.3 Simulazione e sintesi	69
11.2 Moltiplicatore di Robertson	69
11.2.1 Architettura	69
11.2.2 Implementazione	72
11.2.2.1 Parte di controllo	72
11.2.2.2 Parte operativa	73
11.2.3 Simulazione e sintesi	73
11.3 Moltiplicatore di Booth	74
11.3.1 Implementazione	75
11.3.1.1 Parte di controllo	75
11.3.1.2 Parte operativa	75
11.3.2 Simulazione e sintesi	77
11.3.3 Approfondimento: Moltiplicatore di Booth on board	77
11.4 Ripple carry multiplier (somma di righe)	79
11.4.1 Architettura	79
11.4.2 Implementazione	80

11.4.3 Simulazione e sintesi	80
12 Divisori	83
12.1 Restoring division	83
12.1.1 Architettura	83
12.1.2 Implementazione	84
12.1.2.1 Parte di controllo	84
12.1.2.2 Parte operativa	86
12.1.3 Simulazione e sintesi	86
12.2 Non-restoring division	87
12.2.1 Architettura	87
12.2.2 Implementazione	88
12.2.2.1 Parte di controllo	88
12.2.2.2 Parte operativa	89
12.2.3 Simulazione e sintesi	89
13 UART	91
13.1 Realizzazione behavioural	91
13.1.1 On board	92
13.2 Realizzazione PO/PC	93
13.2.1 On board	94
14 MIC1	97
14.1 Sintesi del codice fornito	97
14.2 Sostituzione I/O	99
14.2.1 Architettura	99
14.2.2 Implementazione	99
14.2.3 Sintesi	100

Capitolo 1

Sintesi di macchine combinatorie

Eseguire gli esercizi riportati nella traccia Esercitazioni/Esercizi proposti/Esercitazione macchine combinatorie.pdf nell'area FTP.

1.1 Traccia

Eseguire gli esercizi riportati nel documento fornito.

1.2 Soluzione

1.2.1 Esercizio 1

Si progetti una macchina M che, data una parola X di 6 bit in ingresso ($X_5X_4X_3X_2X_1X_0$), restituisca una parola Y di 3 bit ($Y_2Y_1Y_0$) che rappresenta la codifica binaria del **numero di bit alti in X**.

La macchina da progettare non è altro che un contatore parallelo con 6 ingressi e 3 uscite, che coincide con il numero minimo di uscite necessarie per codificare il risultato dell'operazione di conteggio. Utilizzando una rappresentazione 4-2-1 per l'uscita **Y**, si riportano gli ON-SET ottenuti per ogni uscita:

Y₂: ON-SET = {15, 23, 27, 29, 30, 31, 39, 43, 45, 46, 47, 51, 53, 54, 55, 57, 58, 59, 60, 61, 62, 63};

Y₁: ON-SET = {3, 5, 6, 7, 9, 10, 11, 12, 13, 14, 17, 18, 19, 20, 21, 22, 24, 25, 26, 28, 33, 34, 35, 36, 37, 38, 40, 41, 42, 44, 48, 52, 56, 63};

Y₀: ON-SET = {1, 2, 4, 7, 8, 11, 13, 14, 16, 19, 21, 22, 25, 26, 28, 31, 32, 35, 37, 38, 41, 42, 44, 47, 49, 50, 52, 55, 56, 59, 61, 62}.

1.2.2 Esercizio 2

Si derivi la forma minima (**SOP**) per ciascuna delle variabili in uscita dalla macchina M (considerate separatamente l'una dall'altra) utilizzando lo strumento **SIS**, e si confronti la soluzione trovata dal tool con quella ricavabile con una procedura esatta manuale (Karnaugh o Mc-Cluskey). Per una delle uscite si effettui anche il **mapping** su una delle librerie disponibili in SIS e si

CAPITOLO 1. SINTESI DI MACCHINE COMBINATORIE

commentino i risultati ottenuti in diverse modalità di sintesi.

Per poter effettuare tale esercizio, rispettando i requisiti forniti (per poterlo confrontare con procedure esatte manuali), è stato necessario suddividere la descrizione delle tre uscite in di tre file blif separati. Tale operazione si è resa necessaria in quanto il comando *simplify* di SIS, nel procedere alla minimizzazione di una rete combinatoria multilivello e multiuscita, utilizza anche trasformazioni globali come ad esempio *substitute*, che permette di sostituire espressioni già utilizzate in dei nodi del **DAG**.

Si riportano i risultati ottenuti con lo strumento SIS: si è stampata la funzione non semplificata usando *write_eqn* (fig.1.1) e poi si è proceduto alla minimizzazione tramite comando *simplify* delle uscite separate (fig.1.2).

Figura 1.1: Stampa della funzione non semplificata in SIS.

Tra il comando *print_stats* è possibile osservare come i numero di letterali sia sceso da 132 a 60 per Y_2 e da 204 a 96 per Y_1 . Per quanto riguarda Y_0 , invece, lo strumento SIS non è stato in grado di ridurre il numero di letterali, dunque la funzione è già in forma minima.

Per quanto concerne la procedura di minimizzazione manuale, si è utilizzato il metodo di **Mc-Cluskey** sulle tre uscite separate. Confrontando le due soluzioni, si è notato che i numeri di letterali ottenuti in entrambi i casi sono coerenti tra loro. Si è inoltre notato come l'uscita Y_0 ancora una volta non sia stata alterata durante il processo di minimizzazione, a differenza delle altre due uscite che risultano notevolmente ridotte in entrambi i casi. Ciò è perfettamente compatibile con il risultato ottenibile attraverso Mc-Cluskey (fig.1.3), dove si nota chiaramente

che per l'uscita Y_0 non vengono generati consensi: questo è dovuto al fatto che non ci siano classi adiacenti aventi distanza di Hamming pari a 1, pertanto è impossibile che vengano generati consensi.

Per il mapping tecnologico, si è utilizzata la libreria *mcnc.genlib*, contenente le caratteristiche di ogni porta in termini di equazioni, area e ritardi. Come riportato in fig.1.4, sono stati effettuati diversi esperimenti variando la funzione di costo rispetto alla quale viene ottimizzata in base alla tecnologia scelta per il mapping. Ciò è stato fatto utilizzando l'opzione **-m** del comando **map**: in particolare, con **-m 1** si è preferito ottimizzare il ritardo, con **-m 0** l'area, mentre con **-m 0.5** si è effettuata un mapping più bilanciato.

I risultati ottenuti sono perfettamente coerenti con quanto stabilito: nel primo caso, ottimizzando il ritardo, lo slack negativo totale è di -41.13, ma l'area totale risulta essere 196. Nel secondo caso invece, ottimizzando l'area, questa risulta essere scesa a 159, ma lo slack negativo totale raggiunge -53.00. Nel terzo caso infine, dove si è scelta una mediazione tra tempo e area, si è ottenuta una rete la cui area e slack negativo totale si assestano ad un valore "intermedio" rispetto ai due casi precedenti: in particolare, la rete avrà un'area di 169 e uno slack negativo totale pari a -46.50.

1.2.3 Esercizio 3

Si calcoli la forma minima della macchina M come rete multi-uscita utilizzando lo strumento SIS e si disegni il grafo corrispondente.

Per effettuare quest'operazione è stato possibile scegliere tra i diversi algoritmi visti a lezione in grado di minimizzare una funzione a due livelli multiuscita fornendoci una funzione a due livelli o multilivello. Si è deciso di utilizzare lo script *rugged.script*, in grado di operare sia su funzioni multilivello che a due livelli applicando una serie di trasformazioni prestabilite e fornendo, in uscita, una funzione multilivello che ben si presta alla rappresentazione grafica mediante grafo. In fig.1.5 è possibile osservare il risultato.

Si noti come minimizzando tutte le uscite contemporaneamente, e dunque grazie al riutilizzo di alcuni dei nodi della rete per la realizzazione di più uscite, il numero totale di letterali sia sceso a 59, mentre nel caso della minimizzazione delle uscite separate si erano ottenuti 60, 96 e 192 letterali rispettivamente per Y_2 , Y_1 e Y_0 .

Il grafo ottenuto da questo risultato è consultabile in fig.1.6.

1.2.4 Esercizio 4

Si implementi la macchina M, nella forma ottenuta al punto 3, in VHDL seguendo una modalità di descrizione di tipo "data-flow".

Di seguito è riportata l'implementazione in VHDL della macchina M. Si noti come, descrivendo la macchina in modalità data-flow, sono stati riportati i nodi forniti da *rugged.script* come segnali d'appoggio da utilizzare per la realizzazione di Y_2 , Y_1 e Y_0 . Sono stati inoltre utilizzati dei segnali temporanei d'uscita *y2_temp*, *y1_temp* e *y0_temp* per permettere la definizione di Y_2 in funzione di Y_0 e di Y_1 in funzione di Y_2 . Il codice è disponibile qui: *M_dataflow.vhd*.

Figura 1.2: Stampa della uscite semplificate separatamente in SIS.

	x_5	x_4	x_3	x_2	x_1	x_0	
1:	0	0	0	0	0	1	✓
2:	0	0	0	0	1	0	✓
4:	0	0	0	1	0	0	✓
8:	0	0	1	0	0	0	✓
16:	0	1	0	0	0	0	✓
32:	1	0	0	0	0	0	✓
7:	0	0	0	1	1	1	✓
11:	0	0	1	0	1	1	✓
13:	0	0	1	1	0	1	✓
14:	0	0	1	1	1	0	✓
19:	0	1	0	0	1	1	✓
21:	0	1	0	1	0	1	✓
22:	0	1	0	1	1	0	✓
25:	0	1	1	0	0	1	✓
26:	0	1	1	0	1	0	✓
28:	0	1	1	1	0	0	✓
35:	1	0	0	0	1	1	✓
37:	1	0	0	1	0	1	✓
38:	1	0	0	1	1	0	✓
41:	1	0	1	0	0	1	✓
42:	1	0	1	0	1	0	✓
44:	1	0	1	1	0	0	✓
49:	1	1	0	0	0	1	✓
50:	1	1	0	0	1	0	✓
52:	1	1	0	1	0	0	✓
56:	1	1	1	0	0	0	✓
31:	0	1	1	1	1	1	✓
47:	1	0	1	1	1	1	✓
55:	1	1	0	1	1	1	✓
59:	1	1	1	0	1	1	✓
61:	1	1	1	1	0	1	✓
62:	1	1	1	1	1	0	✓

Figura 1.3: Minimizzazione di Y_0 con Mc-Cluskey.

```

sis> read_bif Esercitazione1_2.blif
sis> read_library ~sis-1.3/sis/sis_lib/mcnc.genlib
sis> map -W -m 1 -s
>>> before removing serial inverters <<<
# of outputs: 3
total gate area: 244.00
maximum arrival time: (16.41,16.41)
maximum po slack: (-13.21,-13.21)
minimum po slack: (-16.41,-16.41)
total neg slack: (-43.76,-43.76)
# of failing outputs: 3
>>> before removing parallel inverters <<<
# of outputs: 3
total gate area: 196.00
maximum arrival time: (15.51,15.51)
maximum po slack: (-12.31,-12.31)
minimum po slack: (-15.51,-15.51)
total neg slack: (-41.13,-41.13)
# of failing outputs: 3
# of outputs: 3
total gate area: 196.00
maximum arrival time: (15.51,15.51)
maximum po slack: (-12.31,-12.31)
minimum po slack: (-15.51,-15.51)
total neg slack: (-41.13,-41.13)
# of failing outputs: 3
sis> print_map_stats
Total Area = 196.00
Gate Count = 72
Buffer Count = 0
Inverter Count = 6
Most Negative Slack = -15.51
Sum of Negative Slacks = -41.13
Number of Critical PO = 3
sis> map -W -m 0 -s
>>> before removing serial inverters <<<
# of outputs: 3
total gate area: 161.00
maximum arrival time: (21.50,21.50)
maximum po slack: (-14.30,-14.30)
minimum po slack: (-21.50,-21.50)
total neg slack: (-53.20,-53.20)
# of failing outputs: 3
>>> before removing parallel inverters <<<
# of outputs: 3
total gate area: 161.00
maximum arrival time: (21.50,21.50)
maximum po slack: (-14.30,-14.30)
minimum po slack: (-21.50,-21.50)
total neg slack: (-53.20,-53.20)
# of failing outputs: 3
# of outputs: 3
total gate area: 159.00
maximum arrival time: (21.30,21.30)
maximum po slack: (-14.30,-14.30)
minimum po slack: (-21.30,-21.30)
total neg slack: (-53.00,-53.00)
# of failing outputs: 3
sis> print_map_stats
Total Area = 159.00
Gate Count = 52
Buffer Count = 0
Inverter Count = 9
Most Negative Slack = -21.30
Sum of Negative Slacks = -53.00
Number of Critical PO = 3
sis> map -W -m 0.5 -s
>>> before removing serial inverters <<<
# of outputs: 3
total gate area: 223.00
maximum arrival time: (19.10,19.10)
maximum po slack: (-15.50,-15.50)
minimum po slack: (-19.10,-19.10)
total neg slack: (-50.10,-50.10)
# of failing outputs: 3
>>> before removing parallel inverters <<<
# of outputs: 3
total gate area: 169.00
maximum arrival time: (17.90,17.90)
maximum po slack: (-14.30,-14.30)
minimum po slack: (-17.90,-17.90)
total neg slack: (-46.50,-46.50)
# of failing outputs: 3
# of outputs: 3
total gate area: 169.00
maximum arrival time: (17.90,17.90)
maximum po slack: (-14.30,-14.30)
minimum po slack: (-17.90,-17.90)
total neg slack: (-46.50,-46.50)
# of failing outputs: 3
sis> print_map_stats
Total Area = 169.00
Gate Count = 58
Buffer Count = 0
Inverter Count = 10
Most Negative Slack = -17.90
Sum of Negative Slacks = -46.50
Number of Critical PO = 3

```

Figura 1.4: Mapping tecnologico effettuato tramite libreria *mcnc.genlib* fornendo come parametri di bilanciamento, rispettivamente, 1, 0 e 0.5.

```

sis> write_eqn
INORDER = X5 X4 X3 X2 X1 X0;
OUTORDER = Y2 Y1 Y0;
Y2 = X5*!Y0*[10] + X4*[8]*[9] + X4*[6]*[7] + [7]*[9];
Y1 = X4*![3]*![6]*![10] + X4*![3]*[9]*[10] + !Y2*!Y0*[8] + !Y2*[3]*[6] + !Y2*[10] + !Y2*[9];
Y0 = ![5]*[6]*![9] + [5]*[9] + [5]*![6];
[3] = X5*X4 + !X5*X4;
[4] = !X3*![3] + X3*[3];
[5] = !X2*![4] + X2*[4];
[6] = X0 + X1;
[7] = X5*!Y0 + [10];
[8] = X2 + X3;
[9] = X1*X0;
[10] = X3*X2;
esercizio1_2 pi= 6 po= 3 nodes= 11      latches= 0
lits(sop)= 59
sis> 

```

Figura 1.5: Risultato della minimizzazione con *rugged.script*.

Si è poi proceduto alla realizzazione di un *testbench* per simulare la macchina tramite il tool *GHDL*. In tale testbench, i sei ingressi vengono portati da 0 ad 1 a distanza di 10 ns da una transizione all'altra. Il risultato è visibile in fig.1.7.

1.2.5 Esercizio 5

Si progetti la macchina M per composizione di macchine a partire da blocchi full-adder, e si implementi la soluzione trovata in VHDL.

Ricordando che un full-adder è in grado di sommare 3 bit riportando in uscita il bit meno significativo s_i e quello più significativo r_i , possiamo procedere come segue: scomponendo la somma di 6 bit in due somme di 3 bit, effettuabili tramite 2 full-adder, otterremo due somme parziali s_0 e s_1 che andranno a loro volta sommate tra loro per ottenere il bit meno significativo dell'uscita y_0 . Per quanto riguarda i riporti r_0 e r_1 , aventi entrambi peso 1, questi andranno sommati tra loro tenendo anche conto del riporto ottenuto calcolando y_0 (ossia r_2 , di peso 1). Il risultato di questa ultima operazione di somma sarà la cifra di peso 1 (y_1) della nostra soluzione, mentre il riporto sarà la cifra di peso 2 (y_2). Usando dunque 4 full-adder, lo schema ottenuto è consultabile in fig.1.8.

Per quanto concerne l'implementazione in VHDL, si è dapprima proceduto all'implementazione di un full-adder seguendo una modalità di descrizione di tipo “dataflow”.

```

1 entity full_adder is
2 Port ( X : in STD_LOGIC;
3        Y : in STD_LOGIC;
4        CIN : in STD_LOGIC;
5        S : out STD_LOGIC;
6        C : out STD_LOGIC
7 );
8 end full_adder;
9
10 architecture dataflow of full_adder is
11 begin
12     S <= (X xor Y xor CIN);
13     C <= ((X and Y) or ((X xor Y) and CIN));
14 end dataflow;
```

Codice Componente 1.1: Implementazione in VHDL di un full-adder.

Dopodiché, utilizzando questi componenti, si è proceduto a costruire la macchina M seguendo una modalità di descrizione di tipo “structural”. Il codice è visualizzabile qui: M.vhd. Il risultato della simulazione è analogo a quello dell'esercizio 4.

1.2.6 Esercizio 6

Si progetti una macchina S che, date 6 stringhe di 3 bit ciascuna in ingresso (A, B, C, D, E, F), rappresentanti la codifica binaria di numeri interi positivi, ne calcoli la somma W espressa su 6 bit. La macchina S deve essere progettata per composizione di macchine utilizzando la macchina

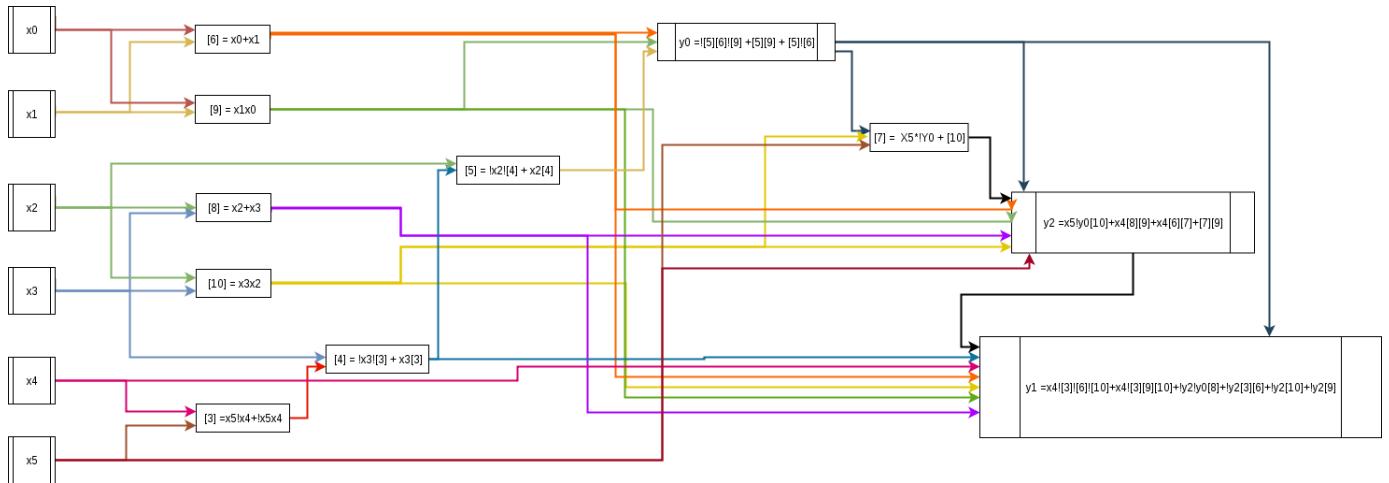
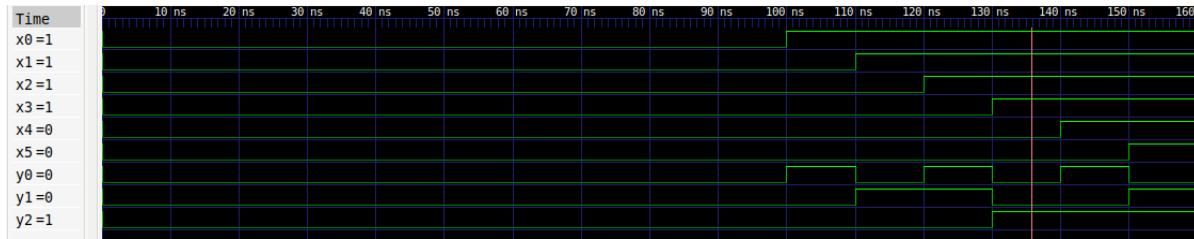
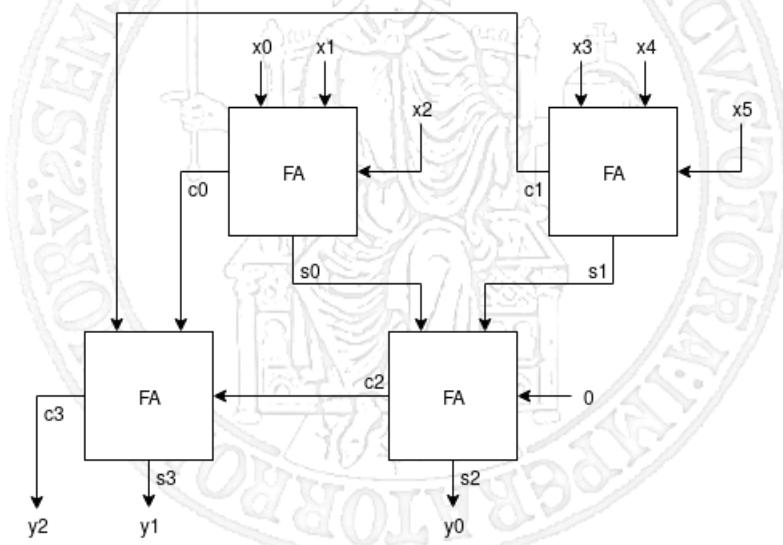

 Figura 1.6: Grafo della funzione minimizzata tramite *rugged.script*.

 Figura 1.7: Simulazione della macchina M in *gtkwave*.


Figura 1.8: Schema della macchina M a partire da blocchi full-adder.

M progettata al punto 5) e componenti full-adder, opportunamente collegati.

Come descritto nell'esercizio 5, la macchina M è in grado di determinare, dati 6 bit in ingresso, il numero di bit alti. Dal momento che si può considerare tale macchina come sommatore in grado di sommare 6 bit, si è deciso di utilizzarla per sommare tra loro le cifre dello stesso peso delle 6 stringhe fornite in ingresso alla macchina S. Essendo tali stringhe composte da 3 bit ciascuna (di peso 2, 1 e 0), si è scelto di usare 3 macchine M per sommare le cifre di stesso peso tra loro. Una volta ottenute tali somme (ciascuna, rispettivamente, espressa su 3 bit in codifica binaria), si è proceduto con tali osservazioni: il bit di peso 0 della somma dei 6 bit di peso 0 non è altro che la cifra di peso 0 del risultato della macchina S, ossia della somma delle 6 stringhe. Il bit di peso 1 della stessa somma, invece, rappresenta invece un bit di peso 1 della somma totale delle stringhe, e lo stesso ragionamento è valido per il bit di peso 2. Passando alla somma dei 6 bit di peso 1 delle stringhe di partenza, si noti come la cifra di peso 0 di tale somma non è altro che un bit di peso 1 della somma totale delle stringhe, mentre la cifra di peso 1 è un bit di peso 2 per la somma totale, e così via.

Seguendo questo ragionamento, è stato possibile combinare le cifre delle somme di peso analogo utilizzando dei full-adder, ottenendo lo schema consultabile in fig.1.9.

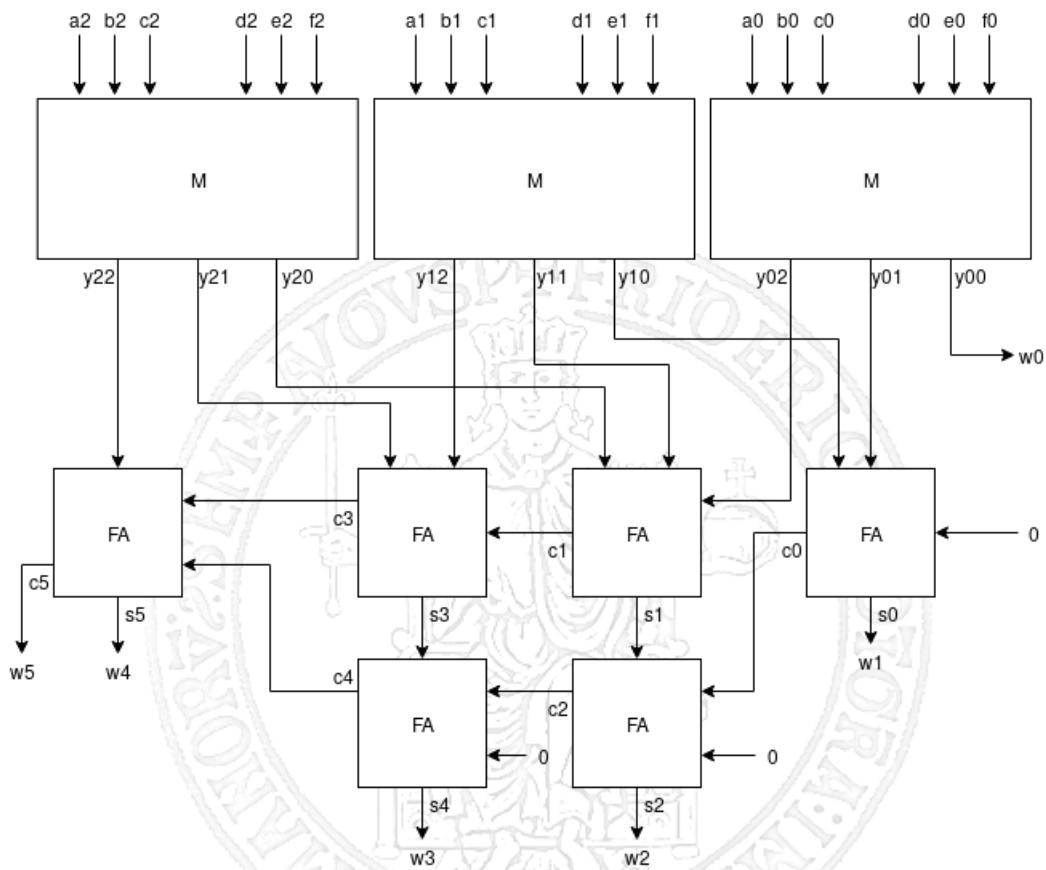


Figura 1.9: Schema della macchina S.

Dopodiché si è proceduto alla sua realizzazione in VHDL utilizzando una modalità di descrizione “structural” rispecchiando lo schema nella fig.1.9. Il codice è visualizzabile qui: [S.vhd](#).

Il risultato della simulazione è riportato in fig.1.10.

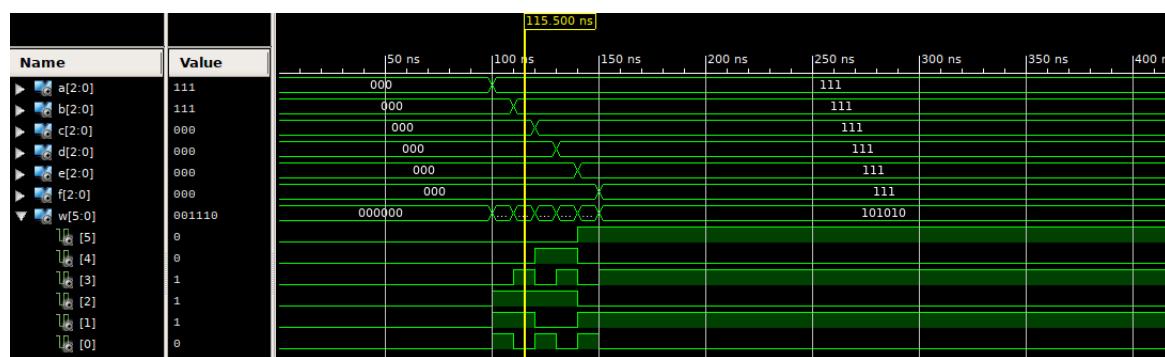
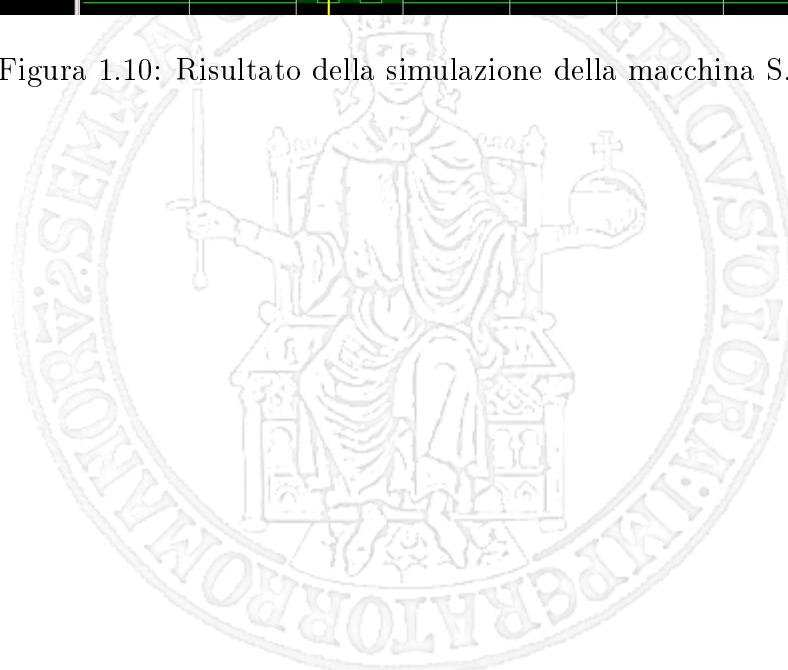


Figura 1.10: Risultato della simulazione della macchina S.



Capitolo 2

Latch e Flip-Flop

Sviluppare i circuiti illustrati nel documento sui flip-flop. Eseguire per ciascun esercizio una simulazione comportamentale e post-sintesi, illustrando i passaggi salienti.

2.1 Latch RS

2.1.1 Traccia

Implementare e simulare un latch RS 1-attivo abilitato.

2.1.2 Soluzione

2.1.2.1 Implementazione

Il latch RS abilitato è stato realizzato tramite “*schematic*” in VHDL, dove sono state collegate opportunamente le porte NOR e AND, queste ultime necessarie per l’abilitazione. Lo schema di collegamento è riportato in fig.2.1.

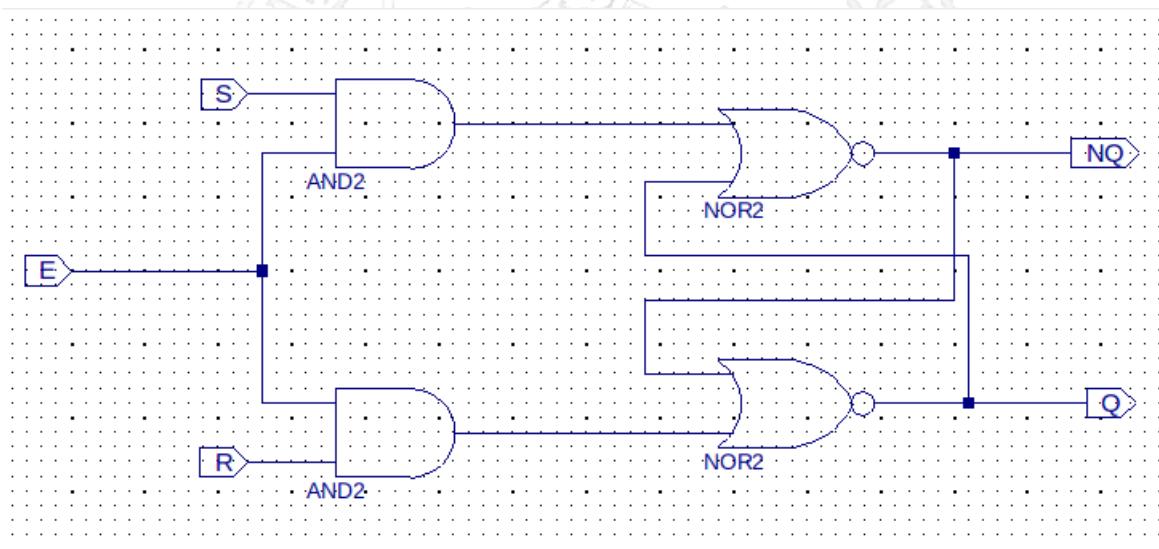


Figura 2.1: Schematico del latch RS abilitato.

Tale soluzione porterà il nostro componente latch RS a funzionare secondo una logica 1-attiva: in particolare, quando il segnale E (enable) è alto il latch è pronto a effettuare eventuali commutazioni. Quando S=1 e R=0 il valore di Q si porta a 1 (Set), mentre per portare Q a 0 (Reset) bisognerà portare R a 1 e S a 0. Si noti come, in tale componente, la combinazione S=1 e R=1 non è ammessa, in quanto porterebbe a cambiamenti di stato non definiti a priori e potrebbe portare a violare la condizione per cui NQ deve essere il negato di Q.

2.1.2.2 Simulazione

Per la simulazione behavioural di tale componente, dapprima si è testato il comportamento a fronte delle due tipologie di ingresso ammesse. In particolare si è posto prima S=1 e R=0 e, come atteso, il valore di Q risulta 1. Dopodiché, ponendo R=1 e S=0, il valore di Q risulta 0. Anche il caso neutro S=0 e R=0, come previsto, fa in modo che Q non cambi il suo valore. Per quanto concerne la combinazione non ammessa S=1 e R=1, si noti come tale coppia di ingressi porti il latch ad assumere un comportamento non deterministico, in quanto sia la rete di set che quella di reset lavorano simultaneamente per cambiare i valori delle uscite. In simulazione si può osservare come, a partire da 80 ns, sia Q che NQ siano entrambi a 0: ciò indica che il nostro componente non sta lavorando correttamente, in quanto l'espressione “ $Q \text{ XOR } NQ = 1$ ” non risulta verificata.

Un caso di particolare interesse da osservare è la transizione da R=1, S=1 a R=0, S=0, in cui dallo stato non ammesso si passa allo stato neutro. Tale transizione porta, nelle ipotesi di idealità del circuito, a dei fenomeni oscillatori per le uscite. In simulazione behavioural infatti, i ritardi delle porte e delle linee risultano identici sia per le due porte NOR che per le due retroazioni positive e sono pari a 0, cioè assenza di ritardo. Tuttavia, tali oscillazioni non sono visibili in quanto, essendo la simulazione behavioural, i ritardi di propagazione sono nulli e dunque il periodo di oscillazione è da considerarsi infinitesimo (fig.2.2). A prova di ciò, il simulatore raggiunge il limite massimo di delta cycle a causa di queste oscillazioni che si accumulano nello stesso istante di commutazione, terminando con un errore: ”*ERROR: at 100 ns(10000): Iteration limit 10000 is reached. Possible zero delay oscillation detected where simulation can not advance in time because signals can not resolve to a stable value*”.

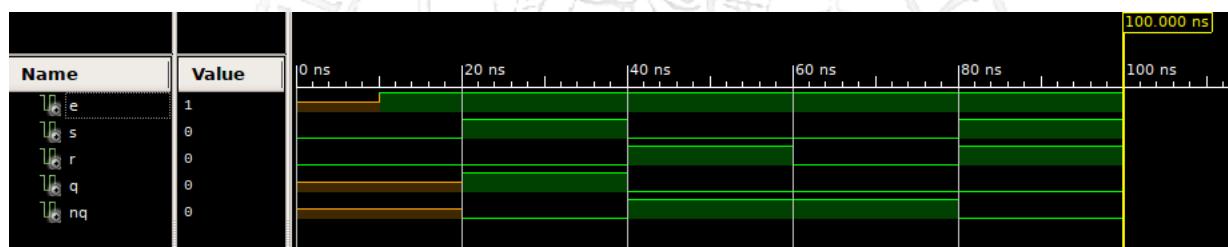


Figura 2.2: Simulazione behavioural del latch RS.

Tali oscillazioni sono visibili invece nella simulazione post-map riportata in fig.2.3: in tale simulazione, ad ogni porta logica è associato il relativo ritardo di porta specificato nella libreria di ISE, ma non sono considerati i ritardi di propagazione sulle linee di collegamenti che risultano ancora essere nulli.

Per quanto riguarda la simulazione post-route, le connessioni tra i componenti non sono più considerate ideali, ma vengono considerati anche i ritardi di propagazione sulle linee secondo libreria

ISE e in base al mapping che è stato effettuato durante la procedura di sintesi. Dal momento che i ritardi di propagazione sono diversi per le due retroazioni a causa dell'asimmetria del circuito, tale simulazione non dovrebbe generare più oscillazioni persistenti quando si passa dal caso non ammesso a quello neutro. Tale ipotesi è verificabile tramite simulazione su board Nexys 2 (fig.2.4), dove i ritardi di propagazione risultano effettivamente diversi e le oscillazioni non sono più presenti, come nel caso reale.

Nel caso in cui la simulazione venga effettuata su board Nexys 4 DDR (fig.2.5), le oscillazioni invece continuano a presentarsi. Ciò è dovuto al fatto che, in tale simulazione, i ritardi di propagazione considerati sono tra loro praticamente identici (secondo i dati che il simulatore ha a disposizione): a prova di ciò vi è il fatto che i periodi di oscillazione di Q e NQ sono praticamente uguali. A differenza del caso della Nexys 2, dunque, non c'è una linea nettamente più veloce dell'altra e tale da forzare il nostro latch ad assumere un valore stabile dopo un certo intervallo di tempo.

Per verificare tale ipotesi, è possibile utilizzare lo strumento FPGA editor di ISE (fig.2.5): si noti come i due percorsi delle retroazioni sono quasi simmetrici. Ciò porterebbe all'identificazione di una probabile PUF (Physical Unclonable Function) che si può generare utilizzando una cascata di latch RS, ma quando tale componente viene sintetizzato e provato sulla board si ha che l'uscita va a 0 molto velocemente per tutti i latch della batteria e che il comportamento viene quindi viziato a 0.

2.2 Latch T

2.2.1 Traccia

Implementare e simulare un latch T abilitato.

2.2.2 Soluzione

2.2.2.1 Implementazione

Si è implementato il latch T abilitato tramite descrizione behavioural. Come da comportamento previsto, il valore di Q verrà invertito solo in caso di abilitazione ($en=1$) e di valore in ingresso $T=1$, condizione espressa tramite struttura if then.

```

1 architecture behavioural of latch_T is
2 signal Qtemp : std_logic := '0';
3 begin
4   process(en,T) is
5   begin
6     if (T='1' and en='1') then
7       Qtemp <= not(Qtemp);
8     end if;
9   end process;
10
11  Q <= Qtemp;
12  QN <= not Qtemp;
```

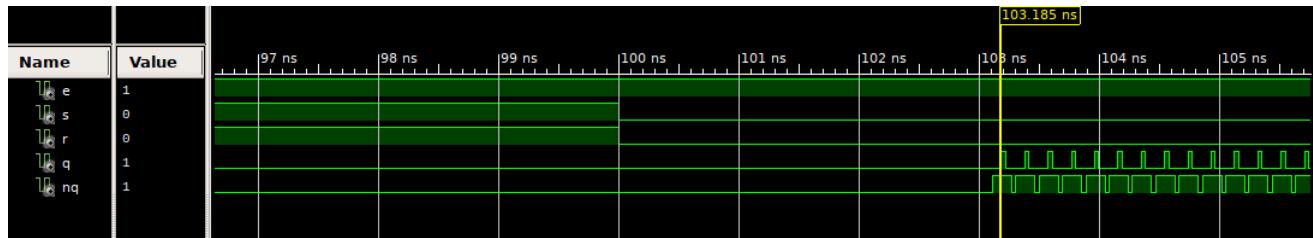


Figura 2.3: Simulazione post-map del latch RS.

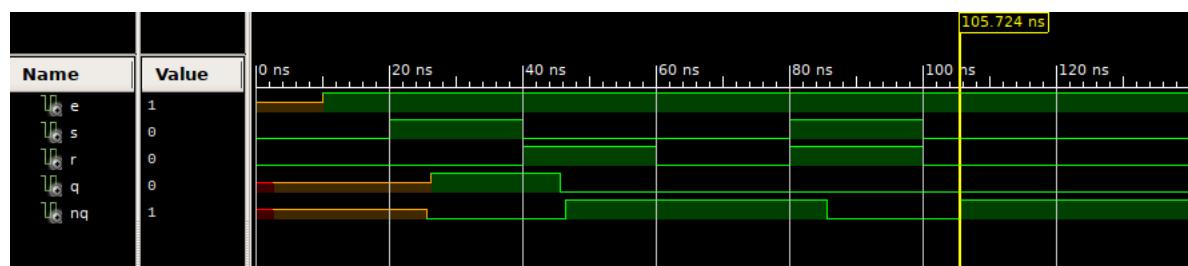


Figura 2.4: Simulazione post-route del latch RS su board Nexys 2.

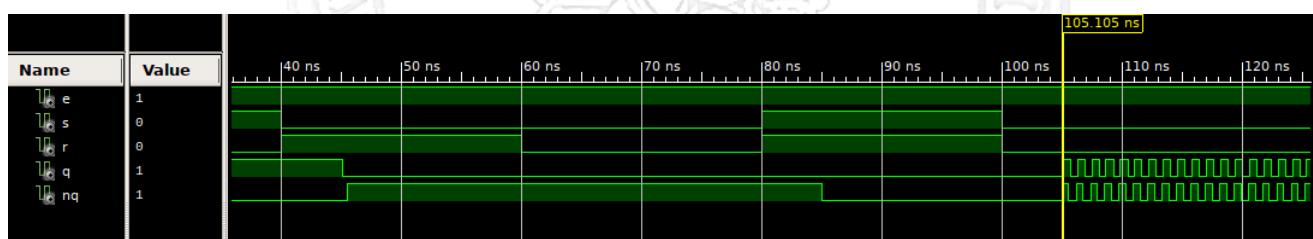


Figura 2.5: Simulazione post-route del latch RS su board Nexys 4 DDR.

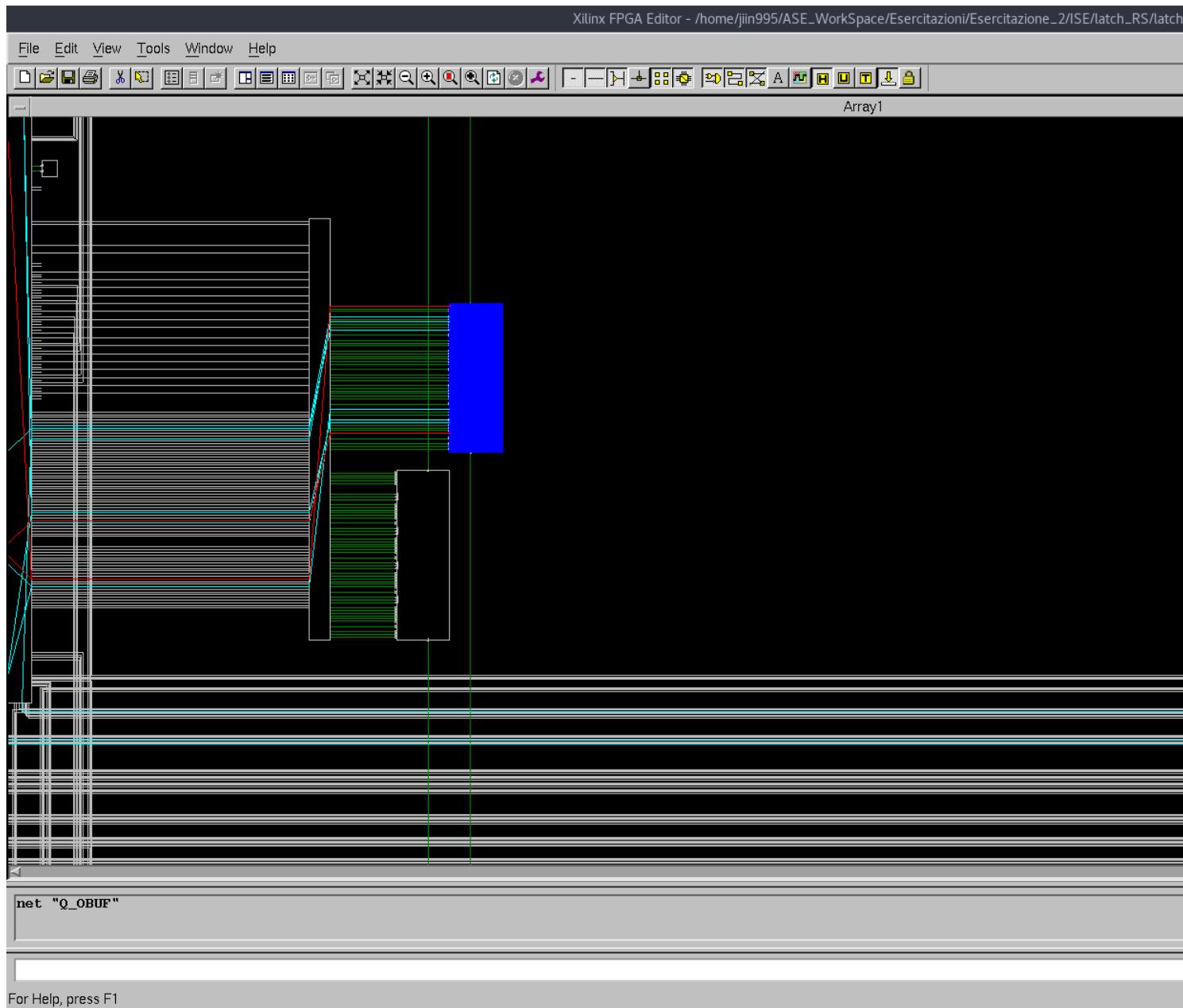


Figura 2.6: Latch RS in FPGA editor.

```

13
14 end behavioural;

```

Codice Componente 2.1: Implementazione behavioural di un latch T abilitato.

2.2.2.2 Simulazione

Dalla simulazione behavioural (fig.2.7), si può osservare come il valore Q (e dunque notQ) cambi solamente in corrispondenza di T=1 ed en=1, invertendo il valore precedente.

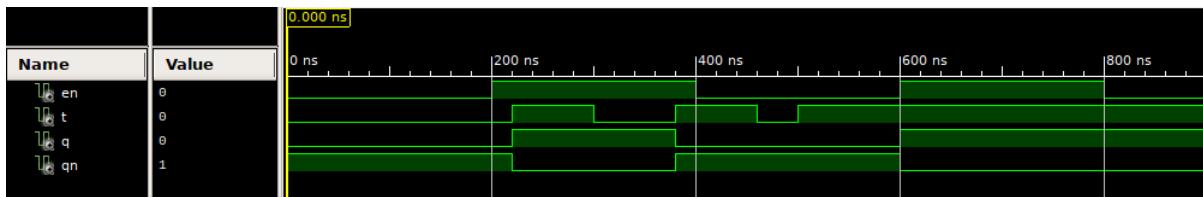


Figura 2.7: Simulazione behavioural del latch T abilitato.

E' interessante notare cosa succede nel caso di simulazione post-map (fig.2.8): dopo aver effettuato il mapping tecnologico, in corrispondenza di T=1 ed en=1 si verificano eventi oscillatori sull'uscita. Una volta che tale coppia di ingressi viene cambiata, infine, il segnale mantenuto resta indeterminato a seguito degli eventi oscillatori.

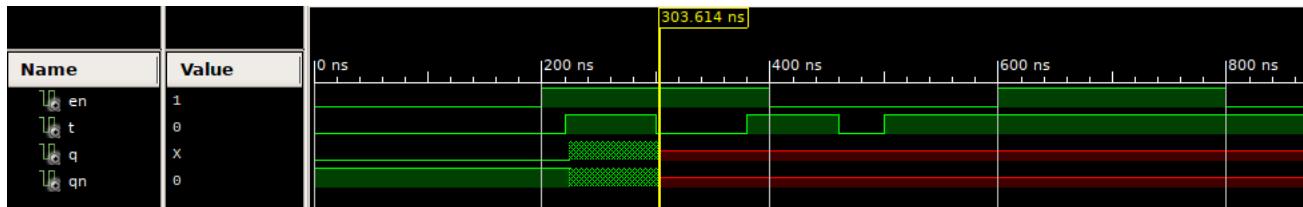


Figura 2.8: Simulazione post-map del latch T abilitato.

Tale fenomeno non si verifica nella simulazione post-route (fig.2.9), dove l'introduzione dei ritardi di propagazione fa sì che l'uscita Q torni al valore corretto dopo le oscillazioni.

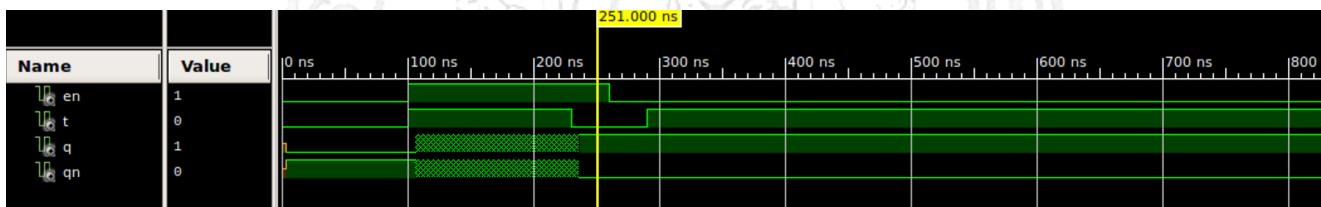


Figura 2.9: Simulazione post-route del latch T abilitato.

2.3 Latch JK

2.3.1 Traccia

Implementare e simulare un latch JK.

2.3.2 Soluzione

2.3.2.1 Implementazione

Il latch JK è stato realizzato mediante descrizione behavioural. Le condizioni if-else utilizzate controllano i valori di J e K in ingresso: per J alto e K basso, Q viene portato a 1; nel caso contrario, Q è portato a 0. Se entrambi sono alti, invece, il comportamento del latch JK è assimilabile a quello del latch T, e dunque il valore di Q viene invertito.

```

1 architecture behavioral of latch_jk is
2   signal Qtemp: std_logic := '0';
3 begin
4   p: process(J,K) is
5   begin
6     if(J='1' and K='0') then
7       Qtemp<='1';
8     else
9       if(J='0' and K='1') then
10         Qtemp<='0';
11       else
12         if(J='1' and K ='1') then
13           Qtemp<= not Qtemp;
14         end if;
15       end if;
16     end if;
17   end process;
18
19   Q <= Qtemp;
20   Qnot <= not Qtemp;
21
22 end behavioral;
```

Codice Componente 2.2: Implementazione behavioural di un latch JK abilitato.

2.3.2.2 Simulazione

Durante la simulazione behavioural (fig. 2.10), il valore di Q segue perfettamente il comportamento descritto precedentemente. In particolare si noti come, in corrispondenza di J=1 e K=1, il valore di Q venga invertito come nel latch T.

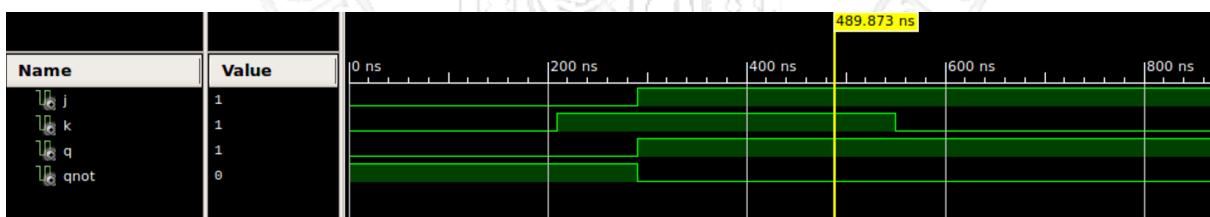


Figura 2.10: Simulazione behavioural del latch JK.

Si noti invece il comportamento del latch in simulazione post-map (fig.2.11): in corrispondenza di $J=1$ e $K=1$ si ripresentano gli stessi eventi oscillatori tipici del latch T, proprio perché il comportamento del latch JK è assimilabile a quello del latch T per questi due ingressi. Una volta posto $K=0$, invece, il comportamento ritorna ad essere quello descritto precedentemente e Q viene alzato.

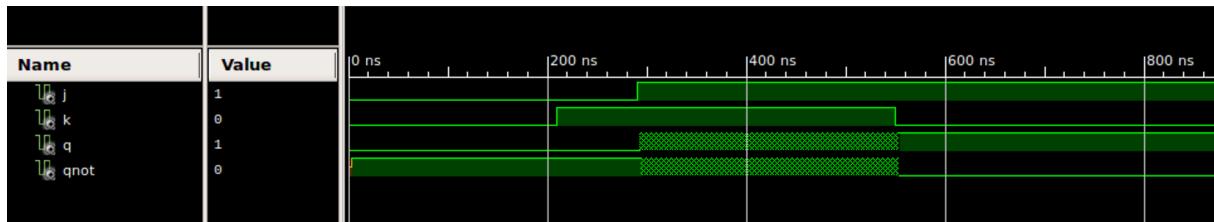


Figura 2.11: Simulazione post-map del latch JK.

2.4 Flip-flop D edge-triggered

2.4.1 Traccia

Implementare e simulare un flip-flop D edge-triggered abilitato che commuta sul fronte di salita con reset asincrono.

2.4.2 Soluzione

2.4.2.1 Implementazione

Il flip-flop D edge-triggered è stato realizzato tramite implementazione behavioural. Si noti come il process, sensibile solo al cambiamento di CLK e reset, porta il valore di D in Q solamente sul fronte di salita di CLK, descrivendo proprio il comportamento atteso del flip-flop. Nel caso in cui invece il reset venga portato al valore `reset_level`, il valore di Q viene resettato a prescindere dal comportamento del clock (reset asincrono).

```

1 architecture behavioural of flipflop_d_risingEdge_asyncReset is
2 signal q_temp : STD_LOGIC := init_value;
3 begin
4     q <= q_temp;
5     ff : process(clk, reset)
6     begin
7         if ( reset = reset_level ) then
8             q_temp <= init_value;
9         elsif ( rising_edge(clk) and (enable = enable_level) ) then
10            q_temp <= d;
11        end if;
12    end process ff;
13 end behavioural;
```

Codice Componente 2.3: Implementazione behavioural di un flip-flop D edge-triggered.

2.4.2.2 Simulazione

I risultati della simulazione behavioural sono consultabili in figura 2.12. Si noti come i risultati ottenuti sono perfettamente coerenti con il comportamento previsto: in particolare, al fronte di salita del clock, il valore di Q si porta al valore di D solamente se enable è alto.

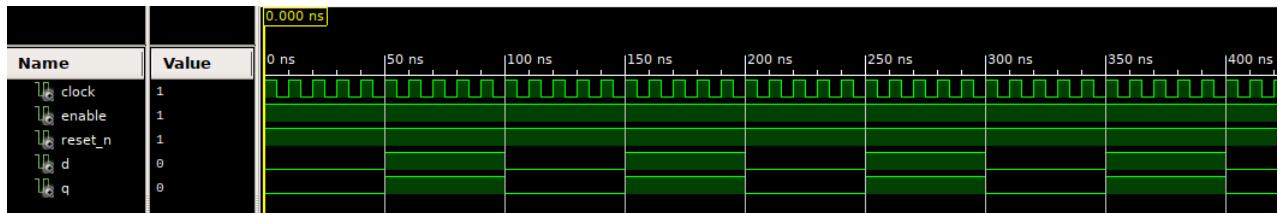


Figura 2.12: Simulazione behavioural del flip-flop RS master-slave.

Si noti inoltre come, nella simulazione post-map (fig. 2.13), a causa del ritardo di propagazione, Q si porta al valore di D solamente qualche istante dopo l'effettivo fronte di salita del clock.

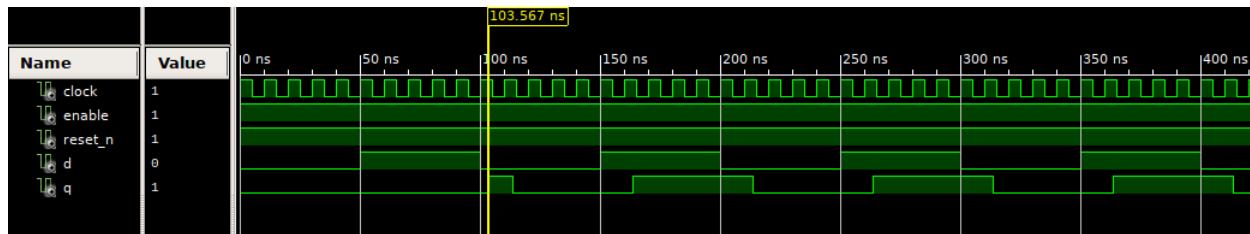


Figura 2.13: Simulazione post-map del flip-flop RS master-slave.

2.5 Flip-flop RS master-slave

2.5.1 Traccia

Implementare e simulare un flip-flop RS master-slave che commuta sul fronte di discesa.

2.5.2 Soluzione

2.5.2.1 Implementazione

Il flip-flop RS master-slave è stato realizzato tramite l'utilizzo di due latch RS collegati in cascata, come riportato in (fig.2.14). In particolare, il primo viene abilitato quando CLK = 1, mentre il secondo quando CLK = 0. Le uscite dunque saranno calcolate sul fronte di salita di clock, ma i risultati saranno visibili sul fronte di discesa.

2.5.2.2 Simulazione

Per la simulazione behavioural di tale componente (fig.2.15), si è proceduto analogamente al caso latch RS. In particolare, si è prima posto R=0 e S=1, in modo tale che, al fronte di discesa del CLK, Q si porta a 1. Anche il caso opposto, con R=1 e S=0, porta come previsto Q a 0, mentre per

R=0 e S=0 la Q mantiene il proprio valore ad ogni fronte di discesa. Per quanto concerne il caso particolare R=1 e S=1, si noti come al fronte di discesa del clock si verifichino eventi oscillatori su Q dovuti all'utilizzo dei latch RS, che il simulatore behavioural non è in grado di mostrare a causa dell'elevatissimo numero di delta cycle.

Tali oscillazioni sono osservabili invece in simulazione post-map (fig.2.16).



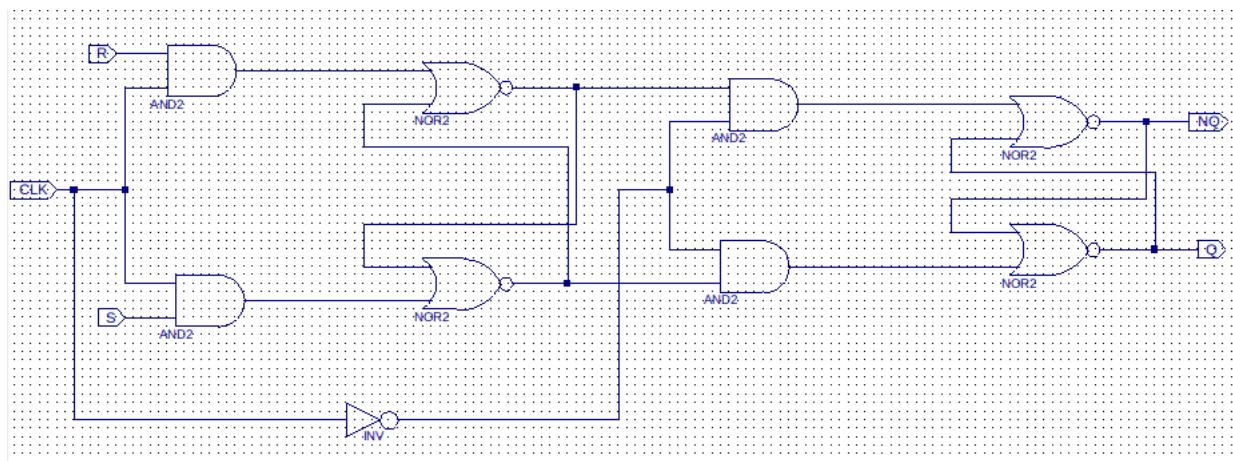


Figura 2.14: Schematico del flip-flop RS master-slave.

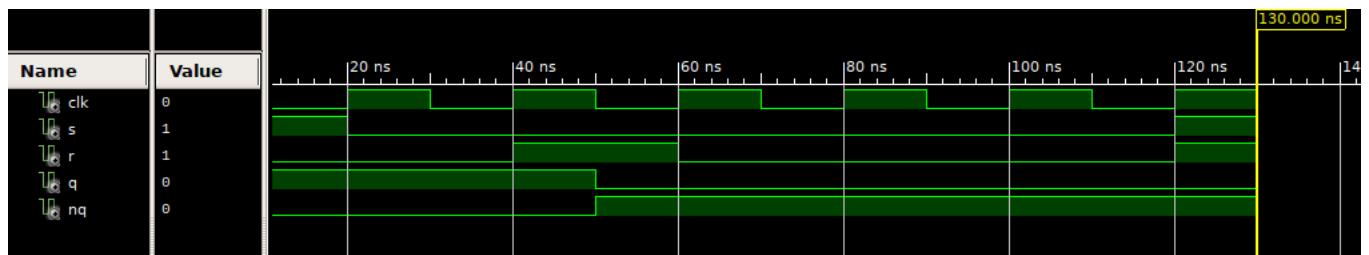


Figura 2.15: Simulazione behavioural del flip-flop RS master-slave.

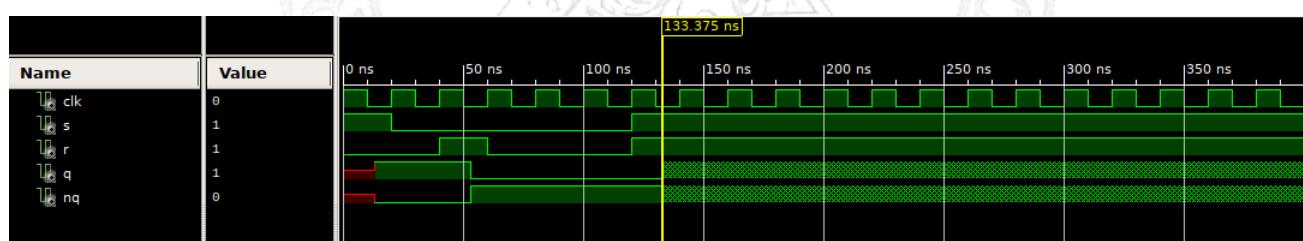


Figura 2.16: Simulazione post-map del flip-flop RS master-slave.

Capitolo 3

Display a 7 segmenti

Illustrare la realizzazione di un'architettura che consenta di mostrare su un array di 4 display a 7 segmenti un valore intero. Tale può essere una parola da 16 bit, composta cioè di 4 cifre esadecimali, ciascuna espressa su di un nibble (4 bit). Sviluppare la traccia discutendo l'approccio di design adottato.

3.1 Architettura

Sulla board che abbiamo in dotazione per risparmiare sul numero di segnali necessari per pilotare 8 digit, la Digilent ha provveduto a collegare i catodi omologhi a tutte le digit tra di loro e collegare gli anodi di ogni segmento della digit tutti ad un anodo comune per ogni digit, come riportato in fig 3.1.

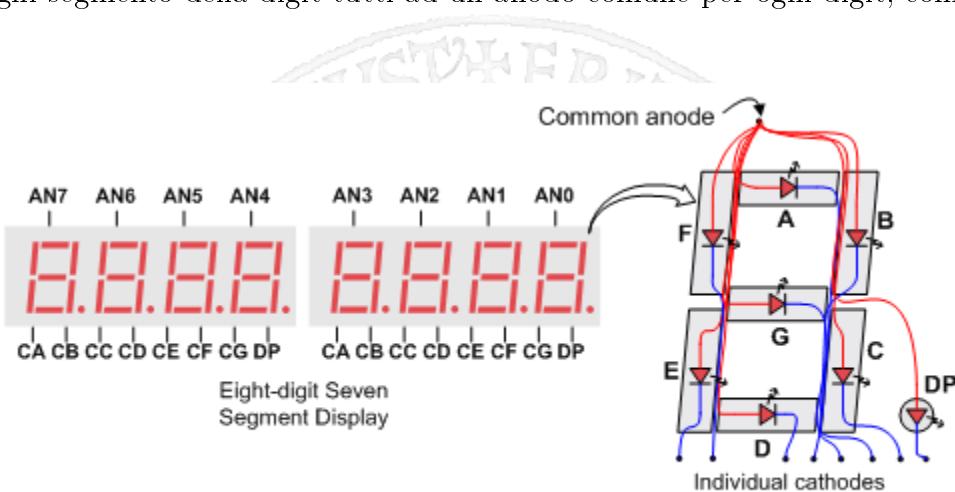


Figure 18. Common anode circuit node.

Figura 3.1: Display a 7 segmenti sulla Nexys 4

Pertanto per abilitare una digit bisognerà innanzitutto alimentare opportunamente l'anodo e poi pilotando i catodi opportunamente verrà mostrato sul display il valore. Tale soluzione così fatta presenta però un problema di fondo, alimentando tutte le digit si mostrerà su di esse la stessa cifra contemporaneamente. Pertanto si deve provvedere a realizzare una soluzione più ingegnosa, in particolare, sfruttando la persistenza dell'immagine sulla retina e la velocità a cui può funzionare

la board si riesce a mostrare valori diversi su ogni digit. In particolare ci saranno due componenti che molto velocemente attivano una sola digit alla volta e pilotano i catodi per mostrare il valore che si vuole mostrare su quella digit.

La seguente descrizione si riferisce all'architettura in grado di pilotare soltanto 4 digit, le modifiche necessarie per poterne pilotare 8 sono descritte nell'apposito paragrafo.

L'architettura del componente è mostrata in fig.3.2.

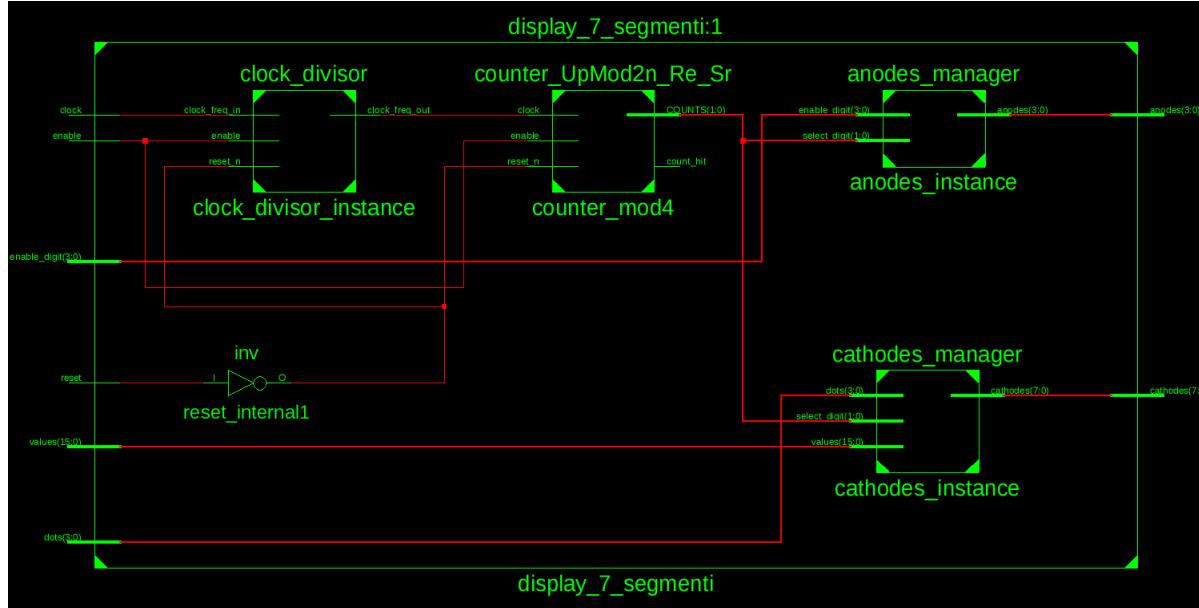


Figura 3.2: Schematico del display a 7 segmenti.

I segnali in ingresso alla top level entity che gestisce il display saranno:

- *clk* - segnale di clock per la temporizzazione;
- *reset* - segnale di reset, per resettare il valore del display quando è alto (tramite eventuale pressione di un pulsante);
- *values* - segnale di 16 bit per determinare il valore da visualizzare sul display, 4 bit per ogni digit;
- *dots* - segnale di 4 bit per l'abilitazione dei punti decimali sul display;
- *enable_digit* - segnale di 4 bit per l'abilitazione degli 4 anodi corrispondenti alle 4 cifre sul display (logica 1-attivo);

I segnali in uscita saranno invece:

- *anodes* - bus per l'abilitazione delle 4 digit della batteria di display (0-attivo);
- *cathodes* - bus per pilotare i dei segmenti di ogni cifra (0-attivo);

Il componente è stato realizzato tramite la composizione dei seguenti componenti:

- *clock_divisor* - divisore di frequenza per il clock, necessario perchè se utilizziamo una frequenza elevata vedremmo lo stesso valore per ogni digit;
- *counter_mod2n* - contatore modulo 2^n , con $n=2$, per la selezione della cifra da attivare in base al valore di conteggio;
- *anodes_manager* - componente per la selezione degli anodi delle cifre da attivare, formato da un decoder 2-4;
- *cathod_manager* - componente per la selezione dei segmenti da attivare per ogni cifra, formato da un multiplexer 4-1 che sceglie in base al valore di conteggio il nibble da passare al cathod coder che abilita opportunamente i segmenti in modo da mostrare il valore in esadecimale presente sul nibble associato a quella digit.

L'implementazione completa è consultabile qui: [display_7_segmenti.vhd](#).

3.2 Clock divisor e contatore modulo 2^n

3.2.1 Contatore modulo 2^n

Il contatore è un componente che conta il numero di impulsi applicati in ingresso (sul fronte di salita del clock). Oltre al *clock*, in ingresso c'è un segnale di abilitazione (1-attivo) e un segnale di *reset_n* per resettare il conteggio. In uscita, il segnale *counter* riporta il valore di conteggio corrente, mentre *counter_hit* diventa 1 solamente se il valore del conteggio è costituito da tutti 1 (valore massimo). L'implementazione, effettuata tramite descrizione behavioural, è consultabile qui: [counter_mod2n.vhd](#).

3.2.2 Clock divisor

Prima di utilizzarlo, il segnale di *clock* in ingresso al componente viene filtrato tramite un *clock divisor*, che si occupa di filtrare i fronti del *clock* ad una frequenza *clock_frequency_in* per averli ad una frequenza più bassa *clock_frequency_out*. Il funzionamento di tale componente è del tutto analogo a quello di un contatore modulo 2^n , dove *clock_frequency_out* non è altro che il *counter_hit*, ossia un valore che diventa alto solamente quando il contatore ha raggiunto il suo valore massimo (calcolabile come *clock_frequency_in/clock_frequency_out - 1*). Ovviamente sappiamo che il *clock* generato con questo metodo non è esente da problemi di sincronizzazione e di scue, ma per i nostri scopi e per il fatto che avevamo bisogno di frequenze minori di 5 Mhz, tale scelta risulta più adatta .

L'implementazione, effettuata tramite descrizione behavioural, è consultabile qui: [clock_divisor.vhd](#).

3.3 Anodes manager

L'obiettivo di tale componente è la gestione degli anodi relativi alle cifre del display. Dal momento che i singoli anodi relativi a ciascuna delle 4 cifre del display sono 0-attivi (la Nexys4 DDR utilizza i transistor per pilotare abbastanza corrente nel punto di anodo comune, le abilitazioni dell'anodo

sono invertite), l'anodes manager dovrà attivare uno solo dei 4 diversi anodi mantenendo basso uno solo dei 4 bit relativi agli anodi, utilizzando in ingresso il valore fornito dal contatore. Il componente dovrà inoltre tenere conto del segnale enable in ingresso, che permette di attivare e disattivare manualmente i singoli anodi.

Per realizzare l'anodes manager si è utilizzato un decoder 2-4: ricevuto in ingresso il valore del contatore, il decoder alza solo uno dei 4 bit relativi agli anodi. Tali uscite sono poi messe in AND con il segnale di enable per pilotare soltanto le digit che si è deciso di abilitare. Infine, i bit vengono invertiti per rispettare la logica 0-attiva. L'implementazione completa, effettuata tramite descrizione data-flow, è consultabile qui: `anodes_manager.vhd`.

E' interessante notare come, nell'implementazione del decoder, oltre alle 4 possibili combinazioni di ingressi è stato aggiunto il caso "others", che genera in uscita tutti bit alti (che verranno poi negati successivamente). Tale tecnica serve ad evitare il fault masking, poiché avendo tutti 0 in uscita (caso non previsto dal normale funzionamento di un decoder) posso riconoscere subito la presenza di comportamenti imprevisti nel componente, che verranno poi manifestati all'esterno mostrando su tutte le digit lo stesso valore anche quando i valori dovrebbero essere diversi, perché tutti gli anodi sono abilitati nello stesso istante. Una soluzione duale consisterebbe nello spegnere tutte le digit, basta sostituire x"F" con x"0".

```

1 architecture dataflow of anodes_manager is
2   signal anodes_swhitching : STD_LOGIC_VECTOR (3 downto 0) := (others =>
3     '0');
4   begin
5     anodes <= not anodes_swhitching OR not enable_digit;
6     with select_digit select anodes_swhitching <=
7       x"1"    when "00",
8       x"2"    when "01",
9       x"4"    when "10",
10      x"8"    when "11",
11      x"F"    when others;
12 end dataflow;
```

Codice Componente 3.1: Implementazione data-flow dell'anodes manager.

3.4 Cathodes manager

Il cathodes manager permette di gestire i catodi associati ad ogni segmento omologo di ogni cifra del display a 7 segmenti. Per accendere il giusto segmento è necessario che il catodo corrispondente sia posto a 0, poichè i catodi sono pilotati da segnali 0-attivi. Il componente prende in ingresso:

- il bus *counter*, uscita del contatore (come l'anodes manager), che serve per scegliere quale nibble mostrare sulla digit;
- il bus *values* (16 bit) per determinare il valore di ogni cifra e dunque i segmenti da accendere;
- il bus *dots* (4 bit) per determinare quali dei 4 punti decimali accendere.

In uscita abbiamo un bus ad 8 bit *cathodes* che indica la configurazione dei catodi relativi alla cifra attiva in quel momento e all'eventuale punto da accendere.

Per realizzare tale componente, si è utilizzata un'implementazione di tipo behavioural. In particolare, abbiamo due *process*:

- *digit_switching* - in base al valore di *select_digit* (contatore), si occupa di settare i bit del bus interno *nibble*¹ corrispondenti alla rappresentazione del valore che si vuole mostrare su quella digit ;
- *decoder* - in base alla *digit* presente nel *nibble*, imposta *cathodes_for_digit* al valore necessario per accendere i segmenti nel modo corretto per rappresentare il valore richiesto. Tali valori sono espressi come costanti e ricavabili dal reference manual.

Infine, per determinare l'accensione dei dots, si utilizza un *multiplexer 4-1* generico. Il valore di cathodes è dunque determinato come segue: si calcola dapprima la parte dei dots, selezionando solo quelli relativi alle cifre selezionate e poi negandoli (per logica 0-attiva), e infine concatena *cathodes_for_digit*.

```

1  digit_switching: process (select_digit,values)
2  begin
3      case select_digit is
4          when "00" => nibble <= digit_0;
5          when "01" => nibble <= digit_1;
6          when "10" => nibble <= digit_2;
7          when "11" => nibble <= digit_3;
8          when others => nibble <= (others => '0');
9      end case;
10     end process;
11     decoder : process (nibble)
12     begin
13         case nibble is
14             when "0000" => cathodes_for_digit <= zero;
15             when "0001" => cathodes_for_digit <= one;
16             when "0010" => cathodes_for_digit <= two;
17             [...]
18             end case;
19         end process;
20
21     cathodes <= not dots(to_integer(unsigned(select_digit))) &
22     cathodes_for_digit;
```

Codice Componente 3.2: Determinazione del valore di cathodes.

L'implementazione completa è consultabile qui: [cathodes_manager.vhd](#).

¹Un nibble è una stringa di 4 bit.

3.5 Display on-board

Osserviamo il funzionamento del display a 7 segmenti su board. Per poter caricare l'architettura descritta sulla board Nexys 4, si è realizzata un'entità di più alto di livello denominata *display_onBoard*. Inoltre, è stato necessario l'utilizzo del file *Nexys4DDR_master.ucf* per effettuare il mapping tra i componenti fisici della board e i segnali di ingresso/uscita. In particolare, i valori di cathodes e anodes corrispondono alle prime 4 digit del display presente sulla board, mentre le digit rimanenti sono state disattivate manualmente. Per quanto concerne gli ingressi, invece, i valori del segnale *values* vengono determinati tramite l'utilizzo degli switch presenti sulla board.

```

1 architecture structural of display_onBoard is
2 [...]
3 alias anodes_0_3 is anodes (3 downto 0); -- i bit da 3 a 0 di values
4 alias anodes_4_7 is anodes (7 downto 4); -- i bit da 4 a 7 di values
5 begin
6     display: display_7_segmenti port map (
7         clock => clock,
8         reset => reset,
9         values => values,
10        dots => dots,
11        enable_digit => enable_digit,
12        anodes => anodes_0_3,
13        cathodes => cathodes );
14    anodes_4_7 <= (others => '1');
15 end architectural;

```

Codice Componente 3.3: Determinazione del valore di cathods..

L'implementazione completa è consultabile qui: [display_onBoard.vhd](#).

3.6 Approfondimento: Display doppio su Nexys 4

La board Nexys 4 DDR ha installato a bordo due batterie di 4 digit ciascuna, per un totale di 8 digit. La soluzione che abbiamo visto precedentemente però permette di controllare una sola batteria di 4 digit, e non potendo instanziare due componenti che controllano ciascuno 4 digit, è necessario apportare alcune modifiche agli elementi che costituiscono il componente che pilota il display a 7 segmenti. In particolare, di seguito, vediamo alcune modifiche che abbiamo apportato ai componenti per poter pilotare tutte le digit che mette a disposizione la Nexys 4 DDR.

Nella top level entity del componente che permette di mostrare i valori sui display, il numero di segnali che indicano la cifra da mostrare passa da 16 a 32, in quanto per ogni digit servono 4 bit per poter codificare i valori in esadecimale che possiamo mostrare su di essi. Poichè il numero di cifre da pilotare passa da 4 a 8, anche il numero di segnali che pilotano i punti, le digit e gli anodi aumentano. Inoltre, il contatore non è più un contatore modulo 4 ma è un contatore modulo 8, in quanto devono essere abilitate 8 digit.

```

1 entity display_7_segments is PORT ( enable      : in STD_LOGIC;
2                               clock       : in STD_LOGIC;
3                               reset       : in STD_LOGIC;
4                               values      : in STD_LOGIC_VECTOR (31 downto 0);
5                               dots        : in STD_LOGIC_VECTOR (7 downto 0) ;
6                               enable_digit : in STD_LOGIC_VECTOR (7 downto 0);
7                               anodes      : out STD_LOGIC_VECTOR (7 downto 0);
8                               cathodes    : out STD_LOGIC_VECTOR (7 downto 0)
9 );
10 end display_7_segments;
11 [...]
12 component counter_UpMod2n_Re_Sr is
13     GENERIC ( n : NATURAL :=3      );
14     PORT ( enable      : in STD_LOGIC ;
15             reset_n    : in STD_LOGIC;
16             clock      : in STD_LOGIC;
17             count_hit  : out STD_LOGIC;
18             COUNTS     : out STD_LOGIC_VECTOR ((n-1) downto 0)           );
19 end component;

```

Codice Componente 3.4: Entità di alto livello modificata per Nexys 4.

Tali modifiche riguardano anche l'anodes_manager, che dovrà pilotare 8 anodi invece di 4: pertanto il decoder 2:4 diventa un decoder 3:8, come si nota di seguito:

```

1 with select_digit select anodes_switching <=
2   x"01"    when "000",
3   x"02"    when "001",
4   x"04"    when "010",
5   x"08"    when "011",
6   x"10"    when "100",
7   x"20"    when "101",
8   x"40"    when "110",
9   x"80"    when "111",
10  (others => '0') when others;
11 end case;

```

Codice Componente 3.5: Abilitazione degli anodi su Nexys 4.

Per il *cathodes_manager* cambia il numero di nibble che dobbiamo gestire: infatti anche essi passano da 4 a 8, e ad ognuno corrispondono 4 bit di values, stringa del valore da mostrare sul display (codificato in binario). In particolare, partendo dal LSB ogni 4 bit di values codifica il valore da mostrare su una delle digit. Anche il process che si occupa di assegnare ai catodi la corretta codifica del valore viene esteso per poter gestire 8 digit e non più 4.

```

1
2 alias digit_0 is values (3 downto 0);
3 alias digit_1 is values (7 downto 4);
4 alias digit_2 is values (11 downto 8);
5 alias digit_3 is values (15 downto 12);

```

```

6  alias digit_4 is values (19 downto 16);
7  alias digit_5 is values (23 downto 20);
8  alias digit_6 is values (27 downto 24);
9  alias digit_7 is values (31 downto 28);
10
11 ...
12
13  digit_switching: process (select_digit,values)
14  begin
15    case select_digit is
16      when "000" => nibble <= digit_0;
17      when "001" => nibble <= digit_1;
18      when "010" => nibble <= digit_2;
19      when "011" => nibble <= digit_3;
20      when "100" => nibble <= digit_4;
21      when "101" => nibble <= digit_5;
22      when "110" => nibble <= digit_6;
23      when "111" => nibble <= digit_7;
24      when others => nibble <= (others => '0');
25    end case;
26  end process;

```

Codice Componente 3.6: Cathodes Manager su Nexys 4.

3.6.1 Double display on board

Osserviamo il funzionamento del display a 7 segmenti su board. Per poter testare il componente descritto sulla board Nexys 4 utilizzando tutte e 8 le digit, si è realizzata un'entità di più alto livello denominata *DoubleDisplayOnBoard* che utilizza il componente descritto nel paragrafo precedente. L'idea che abbiamo seguito consiste nel testare il funzionamento del display mostrando su di esso il valore esadecimale dato in input facendo commutare i 16 switch presenti sulla board. Il primo problema che abbiamo incontrato consiste nel fatto che, per poter mostrare il valore su tutte le 8 digit, abbiamo bisogno di un bus con parallelismo di 32 bit, quindi con gli switch possiamo pilotare massimo 4 digit. Per questo si è suddiviso il bus values in ingresso al componente display_7_segments in due metà: tali metà sono state collegate a due registri di tipo D abilitati con parallelismo di 16 bit. In ingresso a tali registri si sono collegati i 16 switch: collegando gli enable di tali registri con due pulsanti sulla board, si possono caricare i valori nei registri separatamente:

```

1 [...]
2 architecture structural of display_onBoard is
3   entity DoubleDisplayOnBoard is
4     Port ( clock          : in STD_LOGIC;
5           values         : in STD_LOGIC_VECTOR (15 downto 0);
6           load_reg_0_3   : in STD_LOGIC;
7           load_reg_4_7   : in STD_LOGIC;
8           anodes        : out STD_LOGIC_VECTOR (7 downto 0);

```

```

9      cathodes      : out STD_LOGIC_VECTOR (7 downto 0)
10     );
11 end DoubleDisplayOnBoard;
12 [...]
13 alias values_0_3 is values_int (15 downto 0) ;
14 alias values_4_7 is values_int (31 downto 16) ;
15 begin
16   register_0_3: register_d_Re_Ar PORT MAP (  clock    => clock,
17                                             load     => load_reg_0_3,
18                                             reset    => reset,
19                                             d        => values,
20                                             q        => values_0_3
21   );
22   register_4_7: register_d_Re_Ar PORT MAP (  clock    => clock,
23                                             load     => load_reg_4_7,
24                                             reset    => reset,
25                                             d        => values,
26                                             q        => values_4_7
27   );
28 [...]
29 [...]

```

Codice Componente 3.7: Double display on board.

L'implementazione completa è consultabile qui: double_display_on_board.vhd.

Si noti infine come è stato opportunamente configurato il file Nexys4DDR_master.ucf per effettuare il mapping tra i physical della board e le interfacce di ingresso/uscita del componente che abbiamo sintetizzato. Di seguito si riporta il collegamento dei segnali di load dei registri ai pulsanti presenti sulla scheda: ciò ci permette di poter scegliere in quale registro e di conseguenza su quale batteria di display mostrare il valore che stiamo dando in input con gli switch.

```

1 [...]
2 #bottone destro
3   NET "load_reg_0_3"
4     IO_L12P_T1_MRCC_14
5   LOC=P17 | IOSTANDARD=LVCMS33; #
6 #bottone sinistro
7   NET "load_reg_4_7"
8     IO_L10N_T1_D15_14
9   LOC=M17 | IOSTANDARD=LVCMS33; #
10 [...]

```

Codice Componente 3.8: Collegamento dei pulsanti in *Nexys4DDR_{master}.ucf*.

Il risultato su board è visibile in fig.3.3.

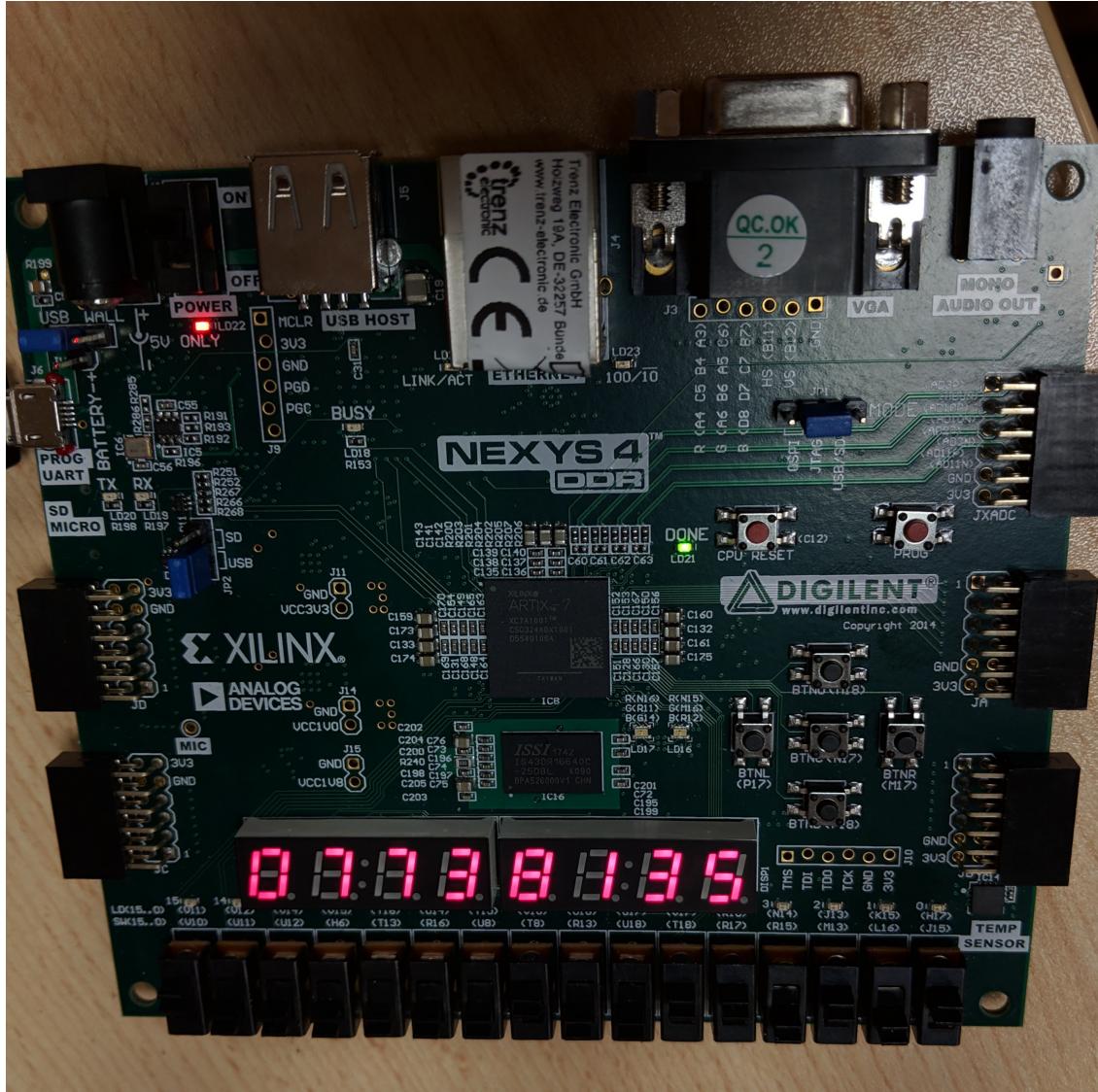


Figura 3.3: Display a 7 segmenti su board Nexys 4.

Capitolo 4

Clock generator

Sviluppare un progetto di sintesi di un DCM.

4.1 Implementazione

Prima di procedere con lo svolgimento dell'esercizio, si noti che sulle board FPGA della famiglia Artix7 il DCM¹ è stato sostituito dal CMT²: tale componente include all'interno sia un MMCM³ che un PLL⁴.

Per poter sintetizzare un generatore di clock con una frequenza minore o multipla di 100 Mhz limitando lo skew, possiamo utilizzare il CMT in dotazione. Per utilizzare tale componente, Xilinx fornisce un IP-core personalizzabile mediante il clocking-wizard, al fine di poter generare un modulo VHDL che utilizzi correttamente il CMT sulla board e ottenere un clock alla frequenza desiderata o che si avvicini a tale frequenza (in quanto non sono tutte ottenibili). Durante la personalizzazione del componente, il clocking wizard ci permette di scegliere se avere o meno un segnale *LOCKED*: tale segnale diventerà alto quando il CMT riuscirà ad agganciare la fase del clock principale, segnalandoci quindi la possibilità di utilizzare tutti i dispositivi che si servono del clock in uscita al CMT. Nella fig.4.1 è possibile osservare come è stato configurato il componente che utilizza il CMT: in particolare, si è deciso di utilizzare tre uscite di tale componente, configurate in modo tale da fornire segnali di clock con frequenza pari alla metà, un quarto e un decimo della frequenza in ingresso. Dal momento che la board Nexys4 è dotata di un oscillatore con frequenza pari a 100 Mhz, sono state inserite come frequenze in output richieste 50, 25 e 10 Mhz. Una volta conclusa la procedura, il wizard genera un file .vhd già pronto per essere utilizzato nel proprio progetto.

4.2 Simulazione

Per poter simulare e verificare il corretto funzionamento del componente, si è deciso di realizzare un left-shift register che esegue un'operazione di shift ad ogni colpo di clock generato. La top

¹Digital Clock Manager

²Clock Management Tile

³mixed-mode clock manager

⁴phase-locked loop

level entity presenta la seguente interfaccia:

```

1 [...]
2 entity clk_tester is
3   GENERIC( N : integer := 8      );
4   Port ( clock_in      : in  STD_LOGIC;
5         enable        : in  STD_LOGIC;
6         reset_n       : in  STD_LOGIC;
7         d_in          : in  STD_LOGIC;
8         q_out         : out STD_LOGIC;
9         Q             : out STD_LOGIC_VECTOR (N-1 downto 0);
10        half_clock    : out STD_LOGIC;
11        quarter_clock : out STD_LOGIC;
12        tenth_clock   : out STD_LOGIC;
13        locked        : out STD_LOGIC
14      );
15 end clk_tester;
16 [...]
```

Codice Componente 4.1: Left shift register utilizzato per testare il clock.

Si precisa che tale interfaccia presenta come uscita i segnali di clock soltanto per rendere più agevole la fase di analisi della simulazione. Per quanto concerne invece il collegamento tra il clock generator e lo shift register, questo è stato realizzato come di seguito:

```

1 [...]
2 signal enable_int    : STD_LOGIC := '1';
3 begin
4   half_clock      <= half_clock_int;
5   quarter_clock   <= quarter_clock_int;
6   tenth_clock     <= tenth_clock_int;
7   locked          <= enable_int;
8
9   clock_Ints: my_clock port map(
10     CLK_IN1 => clock_in,
11     CLK_OUT1 => half_clock_int,
12     CLK_OUT2 => quarter_clock_int,
13     CLK_OUT3 => tenth_clock_int,
14     LOCKED  => enable_int
15   );
16
17   shift_register_inst: shiftRegister generic map (
18     N => N
19   ) port map (
20     clock    => half_clock_int,
21     enable   => enable_int,
22     reset_n  => reset_n,
23     left     => left,
24     d_in     => d_in,
```

```

25      q_out    => q_out,
26      Q        => Q
27  );
28 [ ... ]

```

Codice Componente 4.2: Collegamento tra clock e shift register.

In particolare, lo shift register è abilitato dal segnale locked del generatore di clock: pertanto, appena il componente ci segnalera che ha agganciato correttamente la fase del segnale in ingresso, lo shift register sarà abilitato e funzionerà ad una frequenza pari a metà di quella del segnale in ingresso al componente che usa il CMT (che nel nostro caso è 100Mhz, fornendoci quindi 50Mhz di frequenza in uscita). In fig.4.2, sono riportati i risultati della simulazione.

Dopo circa 40 cicli di clock (4.650 us), il segnale locked va alto perché il CMT ha agganciato la fase e lo shift register viene abilitato. Sul fronte di salita di half_clock, e dunque ogni due fronti di salita di clock_in, il registro viene correttamente shiftato verso sinistra. Si osservi inoltre come, poichè d_in resta alto per circa un periodo e mezzo, il valore in ogni cella dello shift register viene mantenuto alto per due periodi di half_clock. Dopo il terzo periodo, il valore ritorna basso a causa dello shift effettuato. L'implementazione completa è consultabile qui: [clock_tester.vhd](#).



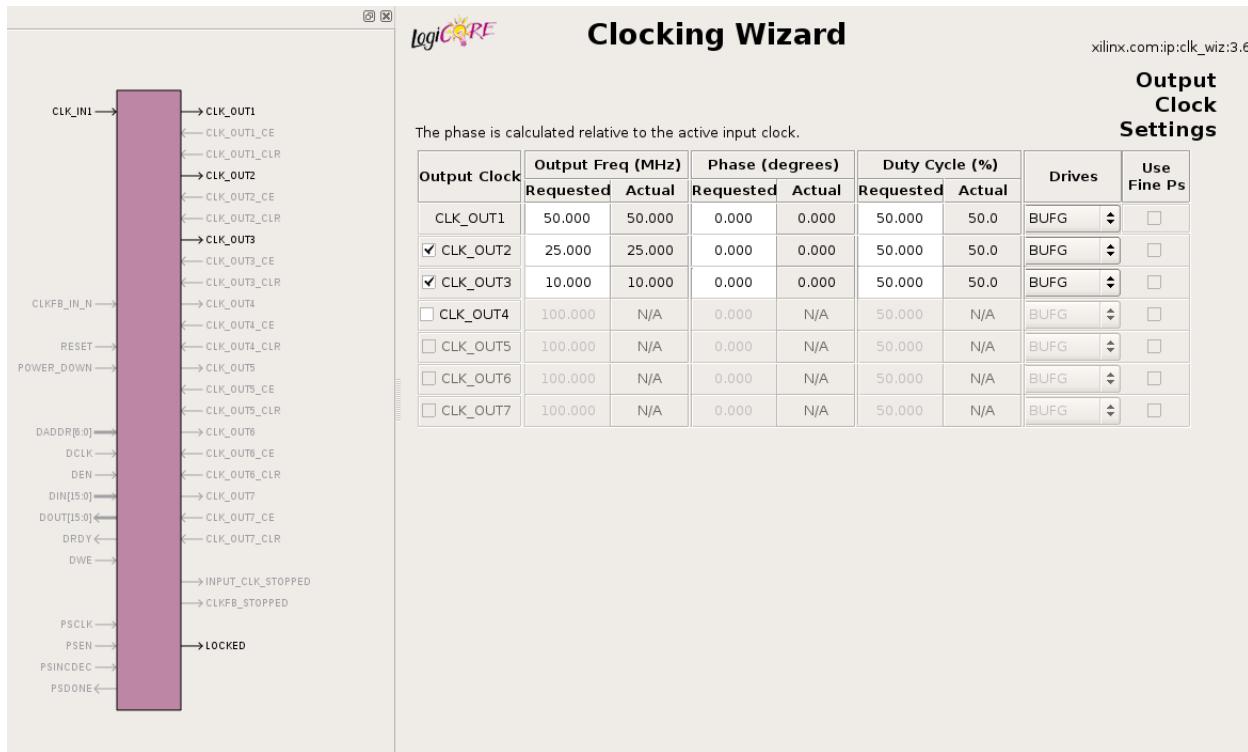


Figura 4.1: DClocking_wizard

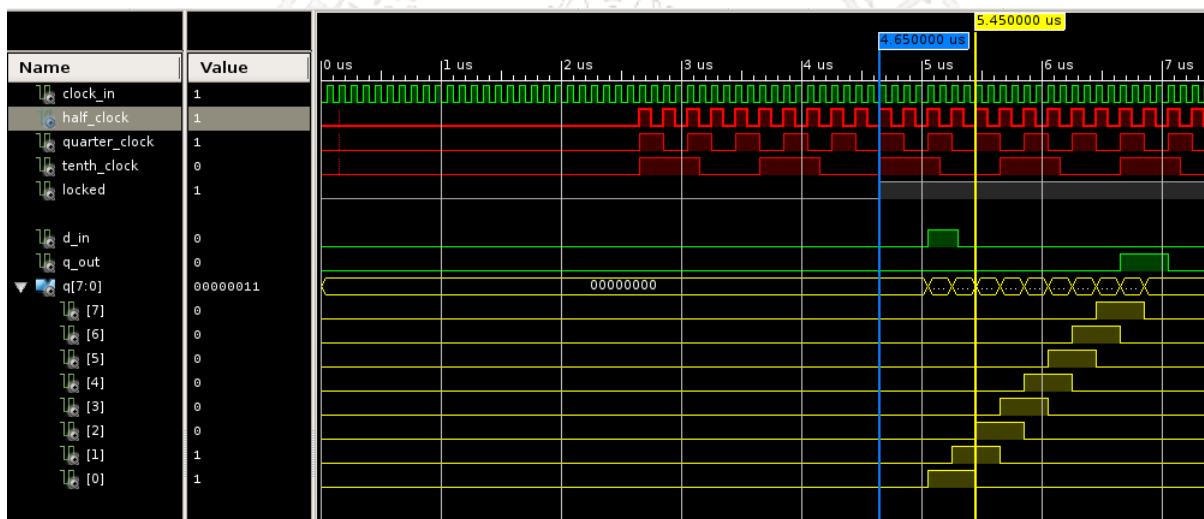


Figura 4.2: Simulazione Clock Generator

Capitolo 5

Scan Chain

Progettare una rete composta da una serie di N Flip Flop D abilitati ad operare nei seguenti due modi:

1. Modalità normale: l'array si comporta come un registro di N posizioni;
2. Modalità controllo: i flip-flop possono essere scritti e letti individualmente configurandoli in cascata come uno shift register.

Utilizzare una rete di controllo in grado di alimentare il primo stadio con un valore e generare tanti colpi di clock quanto è la distanza del primo stadio dalla cella da raggiungere.

5.1 Implementazione

L'interfaccia del componente è la seguente:

```
1 entity scan_chain is
2   generic(
3     width      : integer := 8;
4     shift_direction : std_logic := '1'
5   );
6   Port (
7     clock      : in  STD_LOGIC;
8     en         : in  STD_LOGIC;
9     reset_n    : in  STD_LOGIC;
10    scan_en    : in  STD_LOGIC;
11    scan_in    : in  STD_LOGIC;
12    d_reg      : in  STD_LOGIC_VECTOR (width-1 downto 0);
13    q_reg      : out STD_LOGIC_VECTOR (width-1 downto 0);
14    scan_out   : out STD_LOGIC
15  );
16 end scan_chain;
```

Codice Componente 5.1: Implementazione data-flow dell'anodes manager.

In ingresso, oltre ai segnali di *clock*, *enable* e *reset*, il componente avrà i seguenti segnali:

- *scan_en*: bit di selezione della modalità di funzionamento (0 per modalità normale (registro parallelo), 1 per modalità controllo);
- *d_reg*: valori in ingresso dei flip-flop nel registro;
- *scan_in*: valore in ingresso da inserire nel registro in caso di shift;

In uscita, invece, *q_reg* sarà l'uscita del registro, mentre *scan_out* sarà il bit tirato fuori dal registro in caso di shift.

Per quanto riguarda l'implementazione, è stata utilizzata una descrizione di tipo *structural* (fig.5.1). In particolare, è stato generato un numero di flip-flop multiplexati pari al valore generico *width*, che rappresenta il parallelismo del registro. Tale componente è un tipo particolare di flip-flop D il cui ingresso viene prima selezionato tramite multiplexer. Per generare un registro che effettui shift a destra, si fissa come *scan_in* di ogni flip-flop il valore in uscita del flip-flop precedente (alla sua sinistra), dopodiché si utilizza il multiplexer per decidere quale ingresso portare nel flip-flop. In particolare, *scan_en* sarà il segnale di selezione: se 0 (modalità normale), in ingresso avremo il corrispettivo valore in ingresso di *d_reg*, se 1 (modalità controllo) l'ingresso del flip-flop sarà *scan_in*, e dunque l'uscita di quello precedente. Il discorso è analogo nel caso di shift a sinistra: in base al valore generico *shift_direction* si stabilisce quale tipologia di scan chain si vuole generare e dunque come collegare tra loro i flip-flop. L'implementazione completa è consultabile qui: `scan_chain.vhd`.

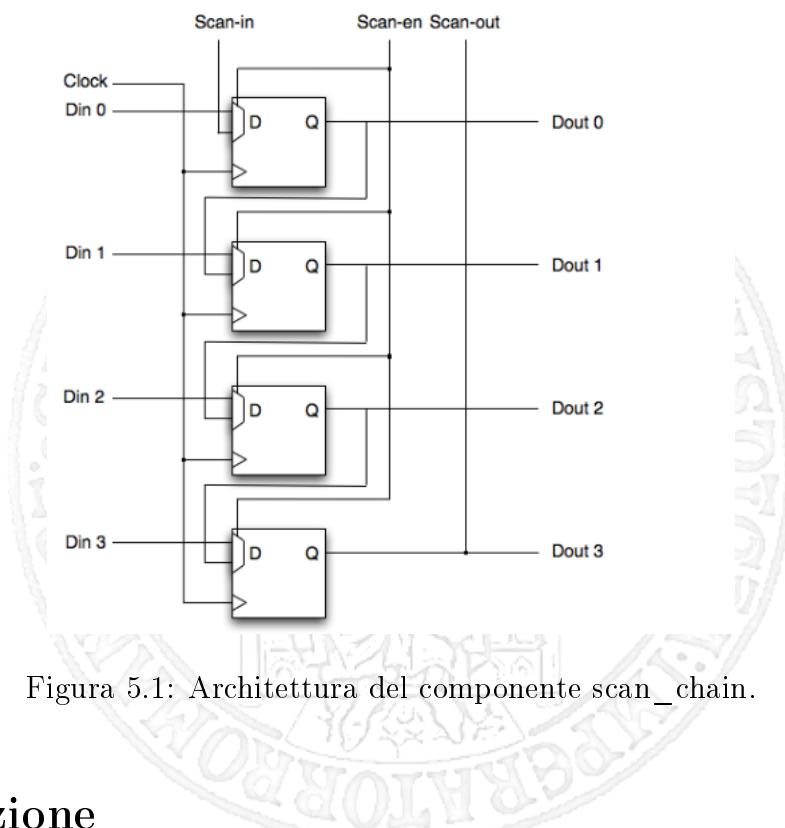


Figura 5.1: Architettura del componente `scan_chain`.

5.2 Simulazione

Per testing, si è effettuata una simulazione behavioural del componente: durante tale simulazione, si è utilizzato il componente in entrambe le sue modalità di funzionamento con la stringa '00000111'.

In particolare, dapprima si è utilizzata la modalità normale ($scan_en=0$) per caricare i valori nel registro. Dopodiché, quando $scan_en=1$, il registro si comporta correttamente come uno shift register, shiftando i bit a sinistra ad ogni fronte di salita del clock. Una volta posto di nuovo $scan_en=0$, il registro smette di shiftare le cifre e, al successivo fronte di salita del clock, carica di nuovo il valore in ingresso nel registro. I risultati sono consultabili in fig. 5.2.

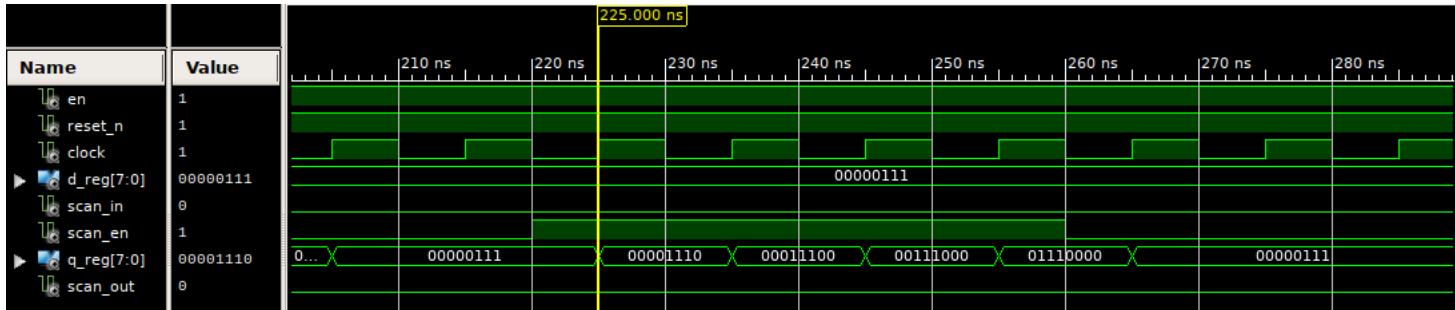


Figura 5.2: Simulazione del componente scan chain (shift a sinistra).

Per completezza, in fig. 5.3 è stato riportato il risultato della simulazione con shift a destra ($shift_direction=0$), perfettamente coerente con il comportamento atteso.

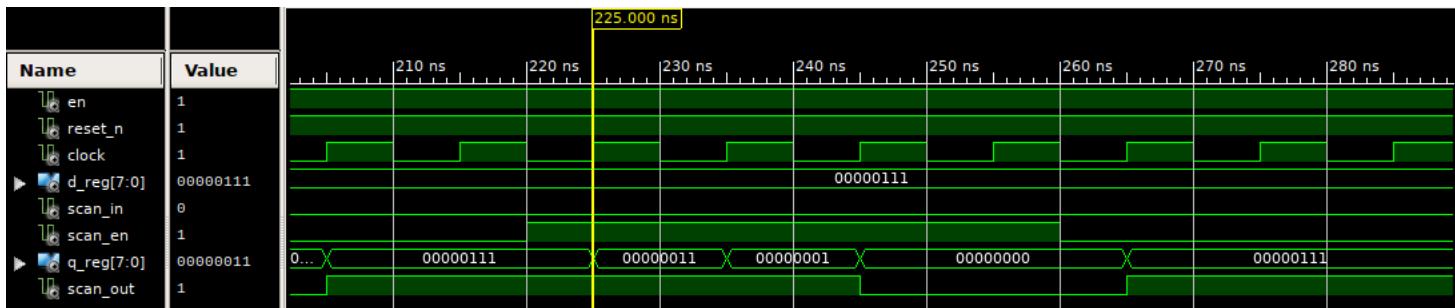


Figura 5.3: Simulazione del componente scan chain (shift a destra).

5.3 Approfondimento: Scan Chain on board

Oltre alla classica simulazione, per testare il corretto funzionamento della scan chain abbiamo deciso di provare tale componente sulla board. In particolare, si è realizzata una top level entity che utilizza la scan chain per sostenere il valore in ingresso ad una batteria di display a 7 segmenti presenti sulla board. L'interfaccia della top level entity è la seguente:

```

1  entity scan_chain_on_board is
2      Port (  clock      : in  STD_LOGIC;
3              scan_in    : in  STD_LOGIC;
4              scan_clk   : in  STD_LOGIC;
5              scan_en    : in  STD_LOGIC;
6              scan_out   : out STD_LOGIC;
7              anodes     : out STD_LOGIC_VECTOR (7 downto 0);

```

```

8      cathodes  : out STD_LOGIC_VECTOR (7 downto 0)
9  );
10 end scan_chain_on_board;

```

Codice Componente 5.2: Interfaccia top level entity.

In ingresso, oltre ai segnali di *clock*, *scan_in* e *scan_en*, abbiamo anche *scan_clk*. Quest'ultimo segnale è il clock per la scan chain: essendo quello della board un segnale a frequenza troppo elevata, abbiamo deciso di generare manualmente il clock premendo uno dei pulsanti presenti sulla board per poter apprezzare al meglio il funzionamento della scan chain sul display. Tale scelta è stata fatta solo a scopo dimostrativo e non è da considerarsi ideale nel caso pratico, come ci è stato segnalato anche dallo stesso tool di sintesi: mappando infatti *scan_clk* su un pulsante viene generato un errore. Per aggirare tale problema, ci è stata suggerita dall'IDE l'opportuna modifica da effettuare al file ucf, ossia aggiungere “*CLOCK_DEDICATED_ROUTE = FALSE*” in corrispondenza della riga dove si effettua il mapping del bottone. Di seguito è riportato il mapping di *scan_en* e di *scan_clk* sull'ucf:

```

1 #bottone centrale
2   NET "scan_en"           LOC=N17 | IOSTANDARD=LVCMS33; #IO_L9P_T1_DQS_14
3 #bottone inferiore
4   NET "scan_clk"          CLOCK_DEDICATED_ROUTE = FALSE | LOC=P18 |
      IOSTANDARD=LVCMS33; #IO_L9N_T1_DQS_D13_14

```

Codice Componente 5.3: *NexysDDR4master.ucf* per *scanchainonBoard*.

Per testare il funzionamento del componente, si è dapprima settato il bit in ingresso alla scan chain (*scan_in*) tramite il primo switch della board. Premendo poi il pulsante centrale per abilitare *scan_en*, è stato possibile far shiftare il registro simulando i colpi di clock tramite il pulsante in basso. Infine, per rappresentare *scan_out* (ossia il bit in uscita dal registro a fronte di uno shift) si è utilizzato il primo led della board, che si illuminerà nel caso in cui il bit risulti alto. L'implementazione completa della top level entity è consultabile qui: *scanchain_on_board.vhd*.



Capitolo 6

Finite State Machine

1. Realizzare un riconoscitore di una generica sequenza a N bit (e.g. 1011001) in VHDL utilizzando dapprima la descrizione behavioral a singolo o doppio processo (opzionale: poi i costrutti con guardia e simulare con GHDL).
2. A partire dal riconoscitore di sequenza realizzato al punto 1 con i costrutti behavioral a singolo o doppio processo del VHDL, sintetizzare la macchina 1 specificando al tool di sintesi Xilinx ISE diverse codifiche per gli stati. Per quelle rilevanti estrapolare la codice assegnata dal sintetizzatore, area occupata e frequenza massima di lavoro, apportando eventuali commenti.

6.1 Implementazione

6.1.1 Implementazione con descrizione a doppio processo (Moore)

Si è deciso di realizzare una macchina di Moore per il riconoscimento della sequenza '1011001'. L'automa a stati finiti realizzato è rappresentato in fig.6.1.

Per l'implementazione di questo automa in VHDL, si è deciso di utilizzare una descrizione di tipo behavioural e si è lasciato ad ISE la scelta della codifica degli stati. In particolare, si definito un tipo stato e si è utilizzata la tecnica con due processi per l'implementazione di una FSM:

- *update_state*, che si occupa di aggiornare lo stato corrente ad ogni colpo di clock;
- *choose_next_state*, che rappresenta la parte combinatoria della macchina, atta a determinare lo stato prossimo e l'uscita usando un costrutto *case*;

Tale scelta, sebbene renda il codice meno compatto, risulta più facilmente leggibile nella parte di determinazione dello stato prossimo. Si noti come, essendo questa una macchina di Moore, la determinazione dell'uscita dipende solamente dallo stato in cui si trova la macchina: in particolare, come osservabile anche nel codice, l'uscita sarà alta solamente quando la macchina avrà rilevato l'intera stringa.

```
1 type state_type is (init, s1,s10, s101, s1011, s10110, s101100, s1011001);
2
3 when s1011001 =>
4     value_out <= '1';
```

```

5   if value_in = '0' then
6     next_state <= init;
7   else
8     next_state <= s1;
9   end if;

```

Codice Componente 6.1: Determinazione dell'uscita in VHDL (Moore).

L'implementazione completa è consultabile qui: fsm_moore.vhd

6.1.2 Implementazione con guardie (Mealy)

Si è deciso di realizzare tale macchina anche come Mealy: in particolare, dal momento che in questa implementazione l'uscita dipende dall'ingresso e dallo stato corrente, il valore in uscita sarà 1 quando, trovandoci nello stato s101100, si riceve in ingresso il valore 1. Fatto ciò, è stato dunque possibile rimuovere lo stato s1011001 ed aggiungere due transizioni da s101100 a init a fronte degli ingressi 0 e 1, quest'ultima con uscita alta. L'automa a stati finiti realizzato è rappresentato in fig.6.2.

Per l'implementazione di questo automa in VHDL, si è ricorso all'utilizzo di costrutti di assegnazione con guardia e funzione di risoluzione. In particolare, sono stati utilizzati due guardie innestate: quella esterna per far commutare lo stato solo sul fronte di salita del clock e quelle interne per determinare stato corrente e uscita in funzione degli ingressi. La funzione di risoluzione, invece, permette di determinare lo stato *current_state* in caso di assegnazioni concorrenti (si sceglie lo stato più a sinistra nel vettore degli stati concorrenti).

```

1  function one_of (source: state_vector) return state is
2    begin
3      return source(source'left);
4    end one_of;
5
6  signal current_state: one_of state register := init;
7  begin
8    clocking: block (clock='1' and not clock'stable)
9      begin
10        q0: block (current_state=init and guard)
11          begin
12              current_state<= guarded s1 when x='1' else init;
13          end block q0;
14        [...]
15      end block clocking;
16  [...]

```

Codice Componente 6.2: Determinazione dell'uscita in VHDL (Moore).

fsm_mealy.vhd

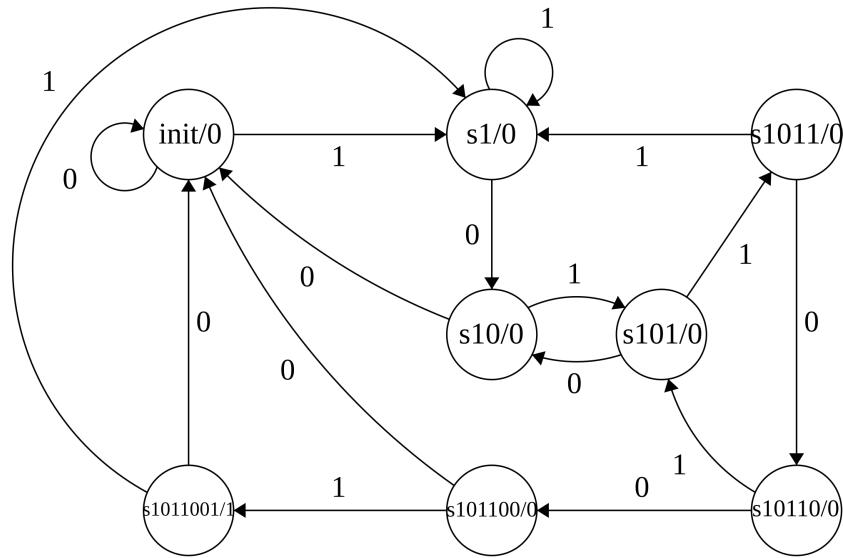


Figura 6.1: Automa a stati finiti della macchina (Moore).

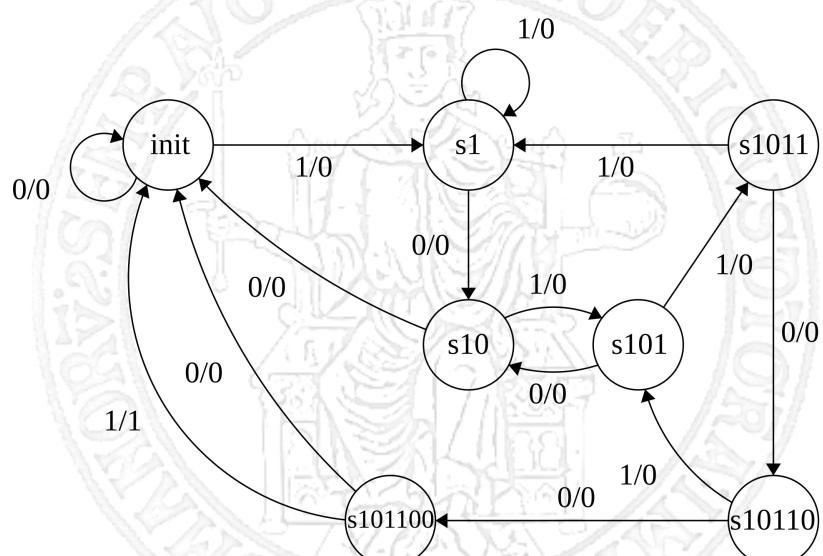


Figura 6.2: Automa a stati finiti della macchina (Mealy).

6.2 Sintesi e simulazione

6.2.1 Sintesi e simulazione con descrizione a doppio processo (Moore)

Si è proceduto alla sintesi e alla simulazione della macchina tramite il tool Xilinx ISE. Per quanto riguarda la codifica degli stati, sono state utilizzate le codifiche One hot, Compact, Sequential, Gray, Johnson e Speed1. Le codifiche per ciascuno stato sono riportate nella tabella seguente:

stato	One hot	Compact	Sequential	Gray	Johnson	Speed1
init	00000001	000	000	000	0000	100000100
s1	00000010	010	001	001	0001	100000010
s10	00000100	101	010	011	0011	000000101
s101	00001000	011	011	010	0111	010000010
s1011	00010000	110	100	110	1111	101000000
s10110	00100000	111	101	111	1110	000100001
s101100	01000000	001	110	101	1100	000010100
s1011001	10000000	100	111	100	1000	100001100

Una volta sintetizzata la macchina, si sono osservati i risultati ottenuti: in particolare, la frequenza massima di lavoro e l'area occupata in termini di numero di slice (registri e LUT) e di flip-flop sono rappresentati nella seguente tabella:

parametro	One hot	Compact	Sequential	Gray	Johnson	Speed1
Freq. massima (MHz)	968.898	1008.776	1008.770	1008.776	964.971	1177.163
n. di Slice	16	7	7	7	9	14
n. di Flip-Flop	8	3	3	3	4	7

Dato il numero esiguo di stati, le diverse tipologie di codifica non presentano significative differenze. In generale, possiamo dire che la Speed1, come previsto, ottimizza la frequenza massima di lavoro, mentre per ottenere migliori prestazioni in termini di area si preferiscono le codifiche Compact, Sequential e Gray.

I risultati della simulazione sono riportati in fig.6.3. Si noti come l'uscita diventa alta solamente dopo che, in corrispondenza dei fronti di salita del clock, l'ingresso presenta la sequenza '1011001', per poi abbassarsi al successivo colpo di clock in quanto la macchina è tornata nello stato *init*.

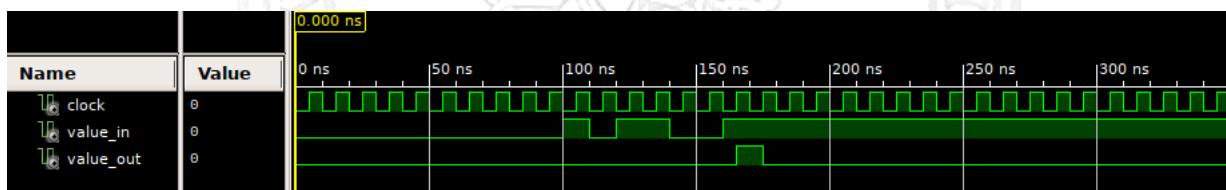


Figura 6.3: Risultati della simulazione della macchina (Moore).

6.2.2 Simulazione con guardie (Mealy)

Per quanto concerne la macchina Mealy, dal momento che sono stati utilizzati i costrutti di guardia¹ e la funzione di risoluzione, non è stato possibile sintetizzarla poichè *current_state* è pilotato da più segnali e ISE infatti rilancia il seguente errore: “*Signal current_state[2] in unit fsm_mealy is connected to following multiple drivers*”. I risultati della simulazione, effettuata dunque tramite il tool GHDL, sono riportati in fig.6.4. Si noti come questi sono completamente analoghi al caso Moore.



Figura 6.4: Risultati della simulazione della macchina (Mealy).



¹non sintetizzabili in ise

Capitolo 7

Ripple Carry Adder

Realizzare un'architettura di tipo Ripple Carry per un sommatore ad N bit generico. Il circuito deve essere realizzato a partire da blocchi di Full Adder, espresso mediante porte logiche XOR/AND/OR. Riportare considerazioni sull'area occupata e tempo di calcolo al variare di N e commentare il risultato con le formule teoriche.

7.1 Architettura

Il ripple carry adder è stato realizzato a partire da una serie di full-adder in cascata: ogni full adder i prenderà in ingresso due cifre dello stesso peso i e il carry uscente dallo stadio precedente $i-1$ e darà in uscita la cifra i del risultato. L'architettura può essere osservata in fig.7.1.

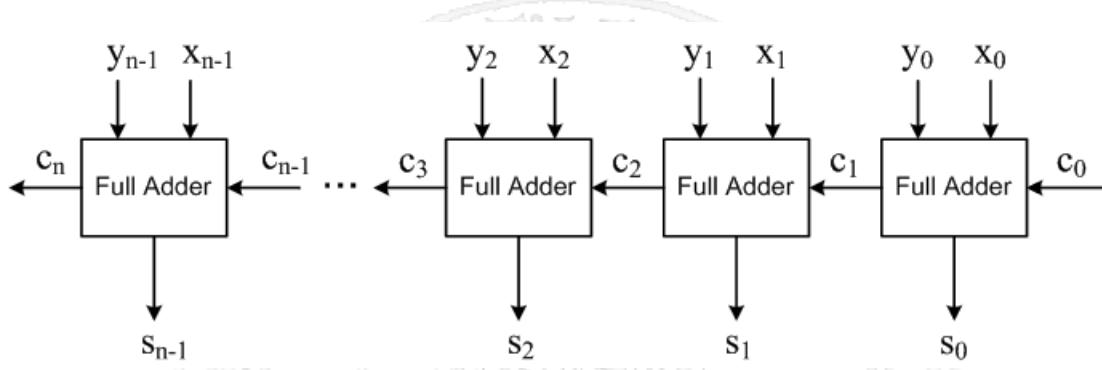


Figura 7.1: Architettura del Ripple Carry Adder.

A causa dell'architettura a cascata utilizzata, tale circuito presenta tempi di calcolo più elevati delle sue controparti parallele. Se si considera il suo path critico (gli $n+1$ carry dei full-adder), il tempo di calcolo aumenta linearmente con il numero di full adder, e dunque con il numero di bit n delle stringhe da sommare. In particolare, $T = nT_{FA}$, dove T_{FA} è il tempo di propagazione del full adder impiegato. I vantaggi dell'utilizzo di questo circuito sono la sua regolarità, dal momento che è una rete iterativa monodimensionale con flusso di informazione monodirezionale e con celle combinatorie tutte dello stesso tipo che ne facilita la sintesi sul silicio, e la sua ridotta area: anche questa, infatti, dipende linearmente dal numero di full adder e dunque da n : $A = nA_{FA}$, dove A_{FA} è l'area del full adder.

7.2 Implementazione

7.2.1 Full Adder

Per la realizzazione del RCA, si è dapprima proceduto alla realizzazione di un full adder. Per tale implementazione, si è utilizzata una descrizione di tipo data-flow:

```

1 architecture dataflow of full_adder is
2 begin
3     S <= (X xor Y xor CIN);
4     C <= ((X and Y) or ((X xor Y) and CIN));
5 end dataflow;

```

Codice Componente 7.1: Implementazione data-flow di un full adder.

L'implementazione completa è consultabile qui: [full_adder.vhd](#)

7.2.2 Ripple Carry Adder

Per implementare il RCA, invece, si è utilizzata una descrizione di tipo structural. Tramite l'utilizzo del costrutto *for generate* si generano *width* full adder, collegati secondo lo schema visto nel paragrafo precedente:

```

1 architecture structural of rippleCarry_adder is
2 [...]
3 begin
4     S <= S_temp;
5     carries (0) <= c_in;
6     c_out <= carries(width);
7     rippleCarry_adder : for i in 0 to width-1 generate
8         f_adder: full_adder port map (
9             x => X(i),
10            y => Y(i),
11            c_in => carries(i),
12            s => S_temp(i),
13            c_out => carries(i+1)
14        );
15     end generate rippleCarry_adder;
16 end structural;

```

Codice Componente 7.2: Implementazione structural di un RCA.

L'implementazione completa è consultabile qui: [ripple_carry_adder.vhd](#)

7.3 Simulazione e sintesi

7.3.1 Simulazione

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati cambiati sia gli operandi in ingresso che il carry in ingresso.

I risultati ottenuti sono osservabili in fig.7.2.

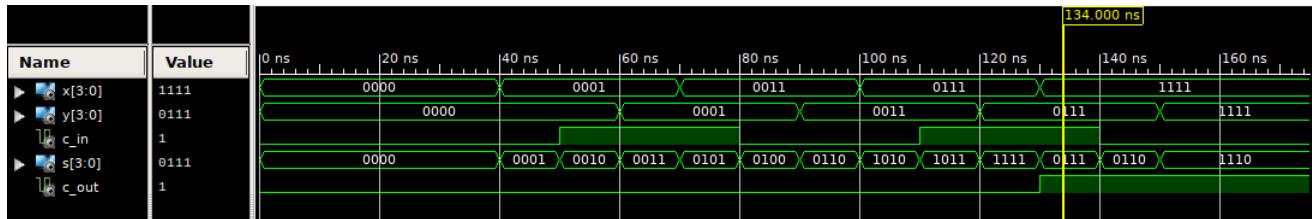


Figura 7.2: Simulazione behavioural del Ripple Carry Adder.

7.3.2 Sintesi

Si è proceduto poi alla sintesi del componente utilizzando diversi valori di lunghezza in bit delle stringhe, ottenuti cambiando il parametro generico *width*: a fronte di ogni valore n scelto, attraverso l'utilizzo del report di sintesi, sono stati ricavati i seguenti termini:

- *numero di slices*, relativo dunque all'area occupata;
- *maximum combinational path delay* (inteso come reciproco della massima frequenza di funzionamento), relativo dunque al ritardo.

I risultati, in funzione del numero di bit, sono riportati in fig.7.3.

Si noti come, sia nel caso dell'area che con il ritardo, i risultati siano perfettamente coerenti con l'andamento lineare teorico già descritto precedentemente. L'andamento risulta tuttavia migliore nel caso pratico che in quello teorico: ciò è dovuto al fatto che, in fase di sintesi, il tool effettua un'ottimizzazione dell'architettura del componente, sfruttando a pieno le matrici di interconnessione tra i CLB presenti nell'FPGA per ridurre i ritardi del circuito.

Si noti infine che, a fronte di sintesi del componente con un numero di bit maggiore di 64, il tool riporta il seguente warning: “*WARNING:Xst:1336 - (*) More than 100% of Device resources are used*”. Questo è dovuto al fatto che le risorse necessarie per sintetizzare il componente sulla board non sono sufficienti, e dunque tali risultati sono da considerarsi solo in teoria.

7.4 Approfondimento: Ripple Carry Adder Add-Sub

7.4.1 Architettura e implementazione

Si è deciso inoltre di implementare un Ripple Carry Adder in grado di effettuare sia addizioni che sottrazioni su operandi rappresentati in complemento a 2. Tale componente è stato realizzato nel

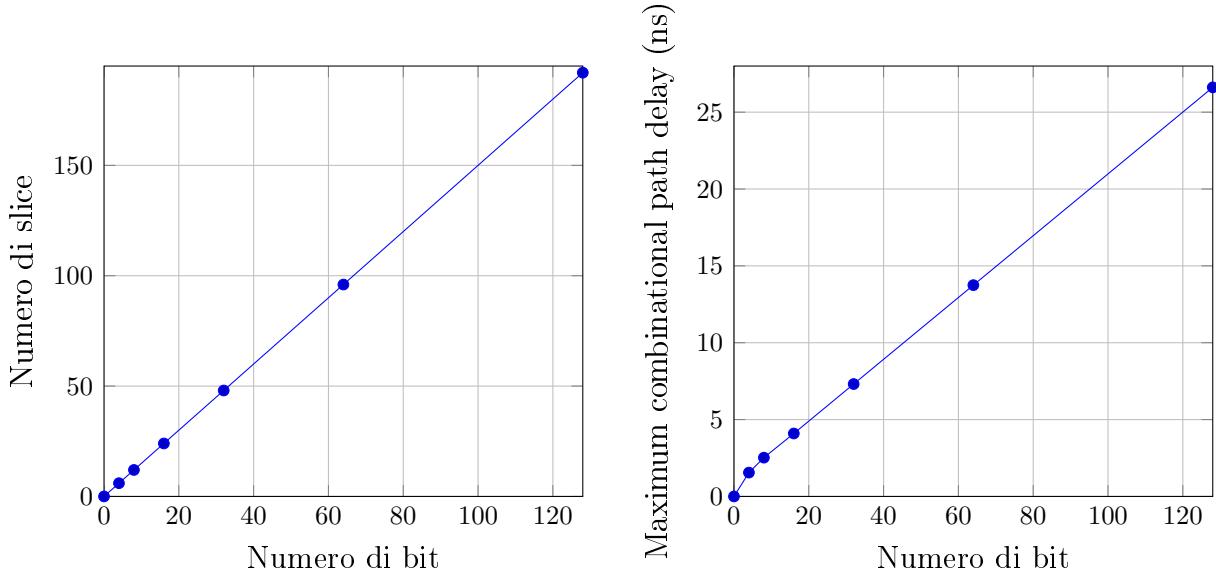


Figura 7.3: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

seguito modo: prima di portare il secondo operando in ingresso al RCA, viene effettuata la XOR di tale operando con *subtract*: se *subtract*=0 (modalità addizione), il segnale entrerà inalterato nell'RCA, altrimenti se *subtract*=1 (modalità sottrazione) la XOR ne effettuerà il complemento. All'interno dell'RCA il carry in ingresso sarà proprio *subtract*: se questo è 0, verrà effettuata una normale addizione A+B; se invece *subtract*=1 verrà effettuata l'addizione A+(-B), in quanto B è stato prima complementato e poi incrementato di 1. Queste operazioni permettono di ottenere la rappresentazione in complemento a due di -B.

Si noti come tale addizionatore può presentare una condizione di overflow¹, dal momento che gli operandi rappresentati in complemento a 2 perdono un bit utile alla rappresentazione del valore per utilizzarlo come segno. In particolare, si verificherà una condizione di overflow in questi casi:

- somma di due positivi con risultato negativo;
- somma di due negativi con risultato positivo;
- differenza di positivo e negativo con risultato negativo;
- differenza di negativo e positivo con risultato positivo.

Per identificare tale condizione, è stata utilizzata una macchina denominata `overflow_checker`, progettata utilizzando la mappa di Karnaugh in fig.7.4.

L'architettura di questa macchina è riportata in fig.7.5.

Tale macchina è stata implementata tramite descrizione structural. L'implementazione completa è consultabile qui: [rippleCarry_addsub.vhd](#)

¹si supera il valore massimo rappresentabile

a \ b	00	01	11	10
00		1		
01			1	
11	1			
10				1

Figura 7.4: Mappa di Karnaugh dell'overflow checker.

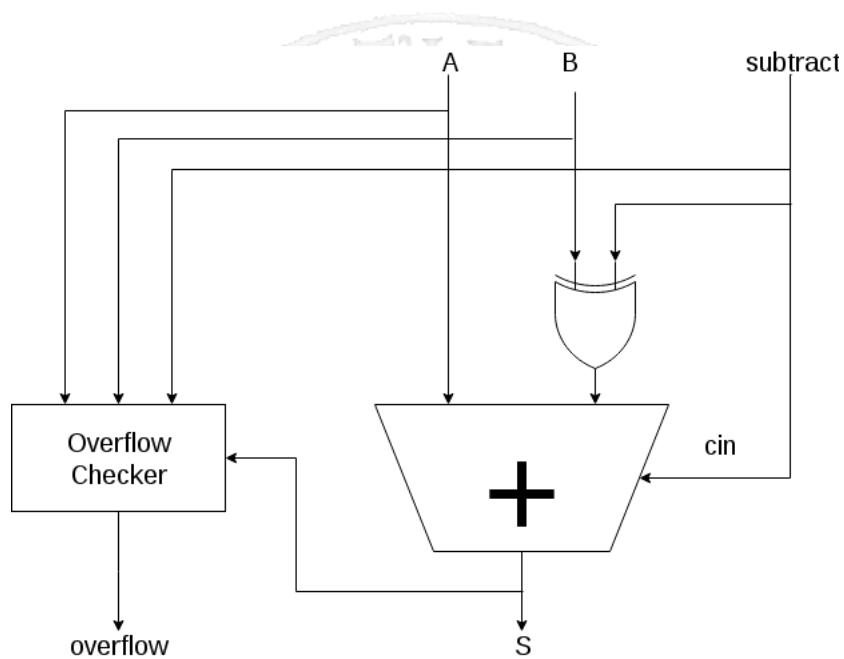


Figura 7.5: Architettura del Ripple Carry Adder Add-Sub.

7.4.2 Simulazione

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati cambiati sia gli operandi in ingresso che il valore *subtract* per effettuare sia addizioni che sottrazioni. I risultati ottenuti sono osservabili in fig.7.6. Si noti come il bit di overflow in uscita viene impostato correttamente ad 1 a fronte delle combinazioni che generano overflow.

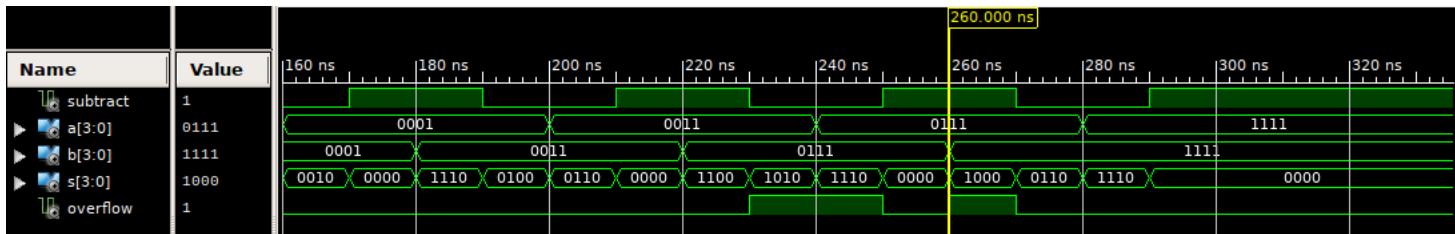


Figura 7.6: Simulazione behavioural del Ripple Carry Adder.



Capitolo 8

Carry Look Ahead

Realizzare un'architettura di tipo Carry Look Ahead per un sommatore ad 8 bit. Il circuito deve essere realizzato a partire dai blocchi:

1. Propagation/Generation calculator
2. Carry Look Ahead
3. Full Adder

(opzionale: rendere il CLA generico.)

8.1 Architettura

L'architettura di tale componente è riportata in fig.8.1. Si noti come, per ottimizzare i ritardi rispetto al RCA, si calcolano in anticipo i riporti sugli stadi successivi utilizzando le condizioni di propagazione (X or Y) e generazione (X and Y). In particolare, i componenti utilizzati sono:

1. *Propagation/Generation calculator*, che si occupa del calcolo delle condizioni di propagazione (P_i) e generazione (G_i);
2. *Carry Look Ahead*, che si occupa del calcolo dei riporti in ingresso agli addizionatori sottostanti. In particolare, $C_{i+1} = G_i + P_i C_i$, con C_0 pari al carry in ingresso;
3. *Full adder*, che si occupano del calcolo della somma tra i valori di X e Y e i carry in ingresso.

8.2 Implementazione

Si è deciso di implementare il componente *carry_look_ahead_adder* direttamente in forma generica, permettendo di specificare il numero di bit delle stringhe tramite parametro generico *width*. Per l'implementazione, si è utilizzata una descrizione di tipo structural. Di seguito vengono riportati i componenti utilizzati.

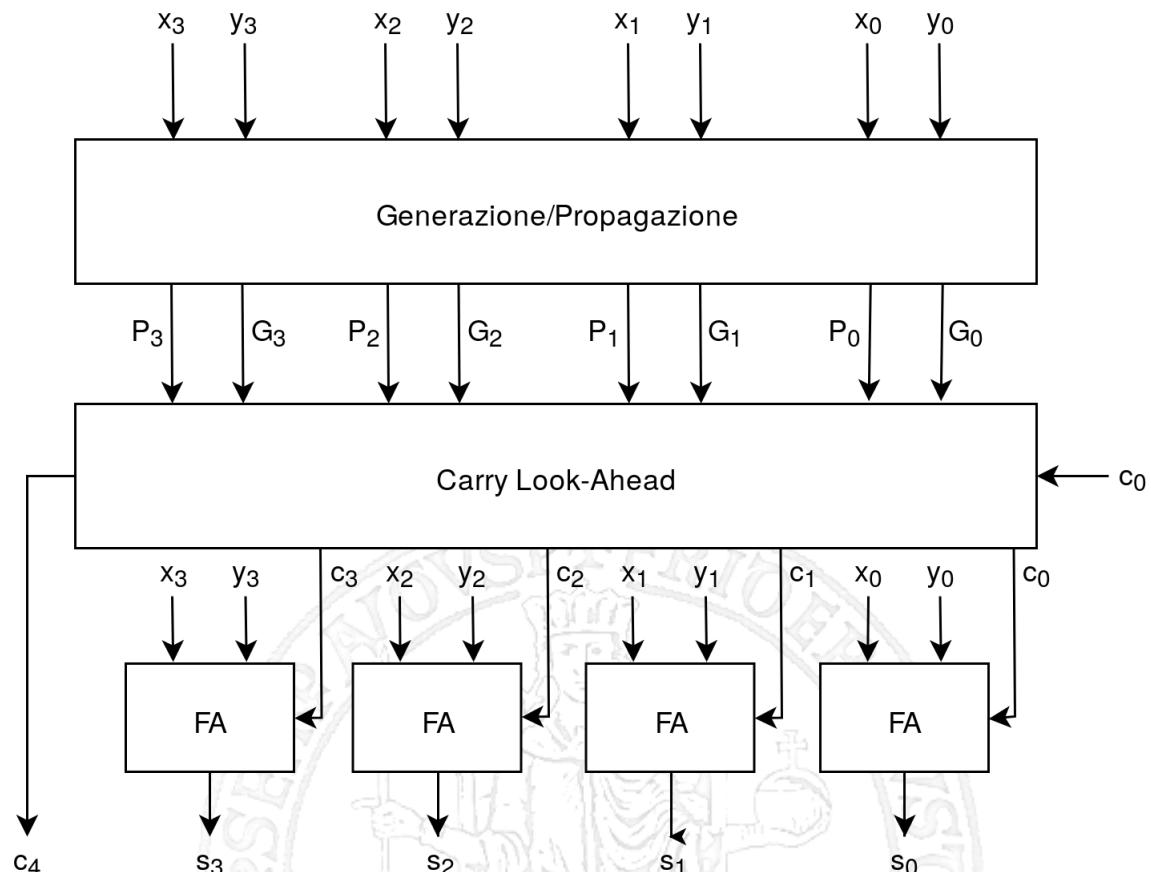


Figura 8.1: Architettura del Carry Look Ahead.

8.2.1 Propagation/Generation calculator

L'implementazione di questo componente è stata realizzata tramite descrizione dataflow. In particolare, di seguito è riportata la parte di codice relativa alla generazione delle condizioni di propagazione e generazione:

```

1 architecture dataflow of propagation_generation_calculator is
2 begin
3     G <= X and Y;
4     P <= X or Y;
5 end;
```

Codice Componente 8.1: Descrizione dataflow del Propagation/Generation calculator.

L'implementazione completa è consultabile qui: propagation_generation_calculator.vhd

8.2.2 Carry Look Ahead Adder

Per realizzare l'addizionatore, oltre al propagation/generation calculator, si sono utilizzati altri due componenti generati tramite costrutto generate: *carry_look_ahead*, per il calcolo dei riporti, e *full_adders* per la rete di full adder atta al calcolo delle somme:

```

1 carry_look_ahead: for i in 0 to (width-1) generate
2     carry_ahead :
3         C(i+1) <= G(i) or (P(i) and C(i));
4     end generate carry_look_ahead;
5
6 full_adders: for i in 0 to (width-1) generate
7     fullAdder : full_adder port map (
8         x    => X(i),
9         y    => Y(i),
10        c_in => C (i),
11        s    => S_TEMP(i),
12        c_out => open
13    );
14 end generate full_adders;
```

Codice Componente 8.2: Generazione del *carrylookahead* dei *fulladder*.

Si noti come, all'interno del port map di ciascun full_adder, non siano stati utilizzati i riporti in uscita *c_out*, sono stati collegati a open¹, dal momento che tali riporti sono già stati calcolati precedentemente dal *carry_look_ahead*. L'implementazione completa è consultabile qui: carry_look_ahead_adder.vhd

¹parola chiave di vhdl che indica che le uscite o gli ingressi di un componente non devono essere collegate a nessun segnale

8.3 Simulazione e sintesi

8.3.1 Simulazione

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati fatti variare i due operandi e il riporto in ingresso. I risultati ottenuti sono osservabili in fig.8.2.

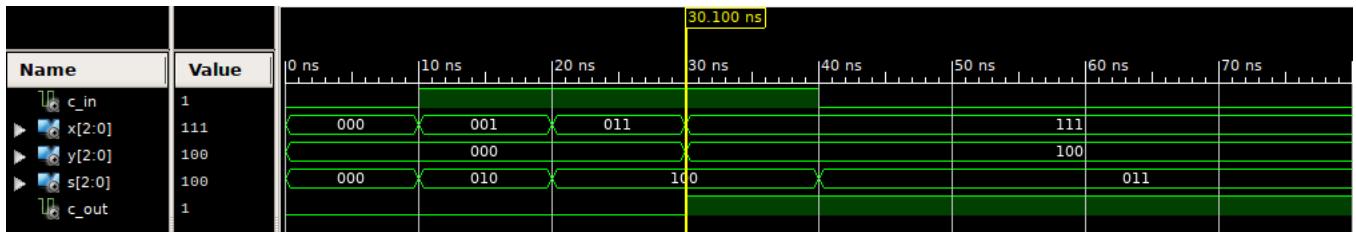
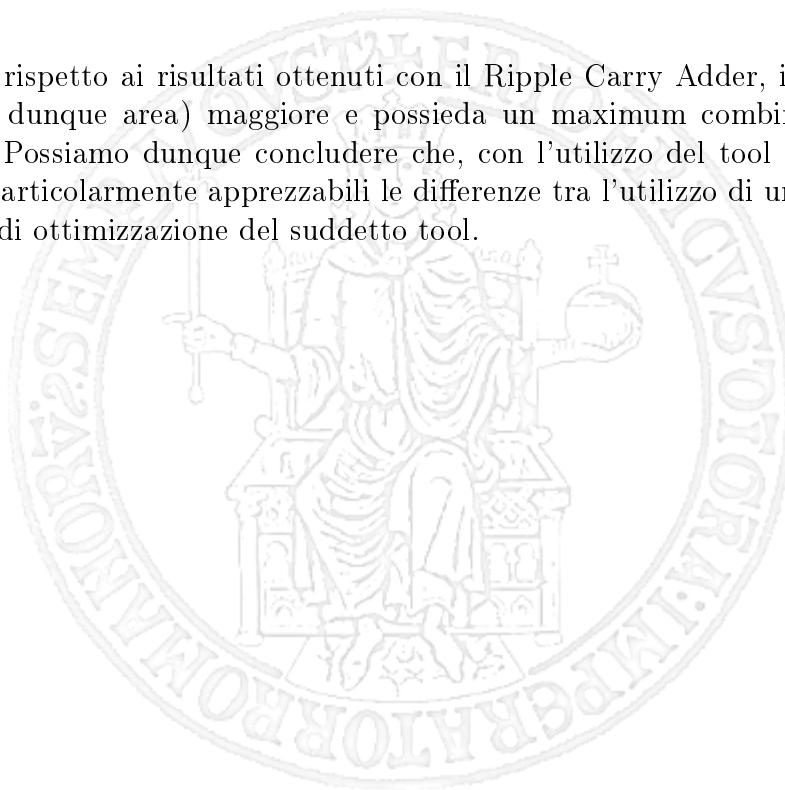


Figura 8.2: Simulazione behavioural del Carry Look Ahead.

8.3.2 Sintesi

Si è proceduto infine alla sintesi del componente utilizzando diversi valori di lunghezza delle stringhe tramite manipolazione del parametro generico *width*. Come nel caso del Ripple Carry Adder, sono stati ottenuti il *numero di slices* e *maximum combinational path delay* in funzione del numero n di bit per valutare le prestazioni di tale macchina. I risultati sono riportati in fig.8.3.

Si osservi come, rispetto ai risultati ottenuti con il Ripple Carry Adder, il circuito occupi un numero di slices (e dunque area) maggiore e possieda un maximum combinational path delay pressoché identico. Possiamo dunque concludere che, con l'utilizzo del tool di sintesi per board Nexys 4, non sono particolarmente apprezzabili le differenze tra l'utilizzo di un RCA e di un CLA grazie alle capacità di ottimizzazione del suddetto tool.



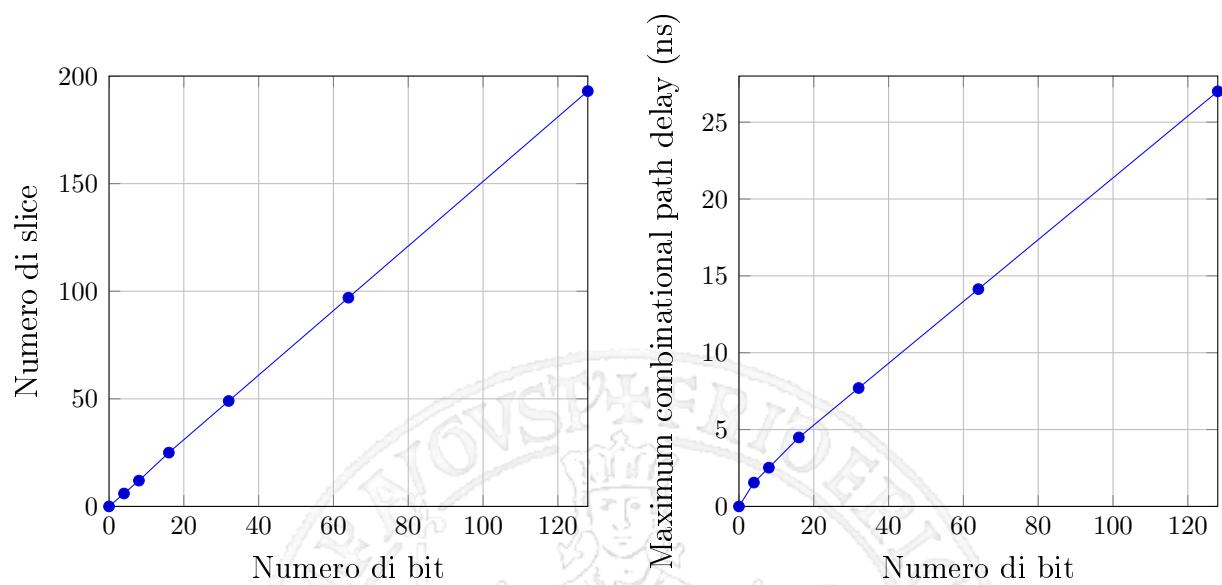


Figura 8.3: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

Capitolo 9

Carry Save

Realizzare un esempio di addizionatore basato sulla modalità Carry Save.

9.1 Architettura

Il Carry Save è un addizionatore in grado di effettuare la somma tra 3 stringhe di bit di lunghezza n . In particolare, tale macchina è formata da:

1. blocchi *carry save*, ossia dei full adder che si occupano di sommare 3 bit dello stesso peso delle tre stringhe;
2. blocchi *full adder* che sommano al risultato del CSL_i il riporto uscente dal blocco CSL_{i-1} e dal full adder precedente.

L'architettura della macchina è osservabile in fig.9.1. In particolare, si noti come la seconda catena di full adder vada a formare un *ripple carry adder*. Per semplificare l'implementazione possiamo dunque sostituire a tale schema quello in fig.9.2, formato da un *carry save logic* (serie di carry save block) e un RCA.

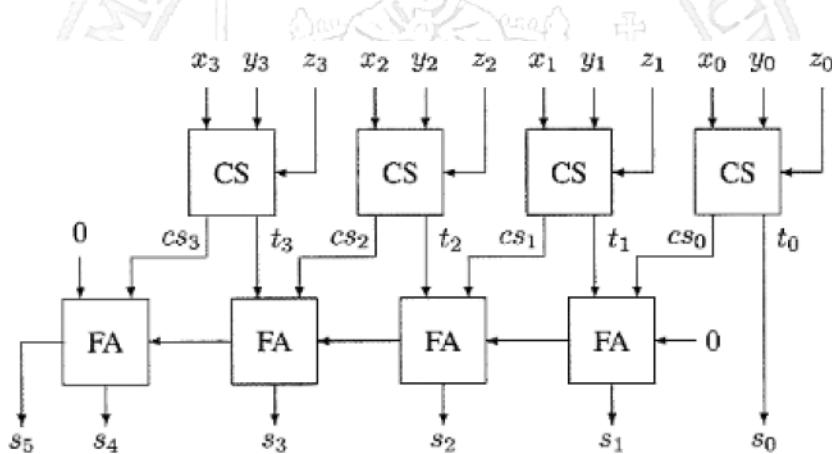


Figura 9.1: Architettura del Carry Save.

9.2 Implementazione

9.2.1 Carry Save Logic

Per l'implementazione della Carry Save Logic, ossia della catena di Carry Save Block, si è utilizzata una descrizione di tipo structural. La generazione dei singoli blocchi full adder è stata realizzata come segue:

```

1  [ ... ]
2
3 T <= T_temp;
4 CS <= CS_temp;
5 carry_save_blocks: for i in 0 to (width-1) generate
6   carry_save_block: full_adder port map (
7     x    => X(i),
8     y    => Y(i),
9     c_in => Z(i),
10    s    => T_temp(i),
11    c_out => CS_temp(i)
12  );
13 end generate carry_saves;
14
15 [ ... ]

```

Codice Componente 9.1: Generazione dei Carry Save Block.

L'implementazione completa è consultabile qui: [carry_save_logic.vhd](#)

9.2.2 Carry Save

Per realizzare il Carry Save, è stata utilizzata una descrizione di tipo structural con un parametro generico *width* per definire il numero di bit dei tre operandi. Data *width*, la somma sarà espressa su *width+2* bit. Oltre al componente Carry Save Logic già descritto, si è fatto uso di un Ripple Carry Adder per sommare CS con i valori di T (shiftati a destra) e ottenere le cifre più significative del risultato S:

```

1 S(0) <= T(0);
2 A <= '0' & T(width-1 downto 1);
3 RCA: ripple_carry_adder
4 GENERIC MAP ( width => width )
5   PORT MAP (
6     X    => A,
7     Y    => CS,
8     c_in => '0',
9     S    => S(width downto 1),
10    c_out => S(width+1)
11  );

```

Codice Componente 9.2: Utilizzo del Ripple Carry Adder nel Carry Save.

Dallo snippet di codice si evince anche come la cifra meno significativa del risultato sia proprio la cifra meno significativa ottenuta dalla somma effettuata dal carry save logic.

L'implementazione completa del Carry Save è consultabile qui: [carry_save.vhd](#)

9.3 Simulazione e sintesi

9.3.1 Simulazione

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati fatti variare i tre operandi da sommare. I risultati ottenuti sono osservabili in fig.9.3.

9.3.2 Sintesi

Si è proceduto infine alla sintesi del componente utilizzando diversi valori di lunghezza delle stringhe tramite manipolazione del parametro generico *width*. Come per gli addizionatori precedenti, sono stati ottenuti il *numero di slices* e *maximum combinational path delay* in funzione del numero di bit per valutare le prestazioni di tale macchina. I risultati sono riportati in fig.9.4.

Come ci si aspettava, il circuito occupa molta più area rispetto alle sue controparti con solo due operandi, ma il *maximum combinational path delay* risulta notevolmente ridotto.

9.4 Approfondimento: confronto con RCA a tre operandi

Per poter effettuare una valutazione delle prestazioni del Carry Save, si è deciso di realizzare un altro componente per la somma di tre operandi. In particolare, tale componente è stato realizzato mediante l'utilizzo di due Ripple Carry Adder in cascata. L'architettura del componente è visibile in fig.9.5.

L'implementazione dell'RCA a tre operandi, effettuata tramite descrizione structural, è consultabile qui: [rca_tre_operandi.vhd](#)

Si è poi sintetizzato il componente seguendo le stesse procedure del Carry Save. Nei grafici riportati in fig.9.6, è possibile osservare le differenze tra le prestazioni dei due.

Come previsto, le prestazioni del Carry Save sono migliori, specialmente all'aumentare del numero di bit. Grazie all'utilizzo dei blocchi carry save, infatti, i riporti vengono calcolati contemporaneamente in tutti gli stadi, ottimizzando i tempi del circuito rispetto al caso con gli RCA. In termini di slice occupati, però, il Carry Save risulta peggiore per l'utilizzo di un full adder in più.

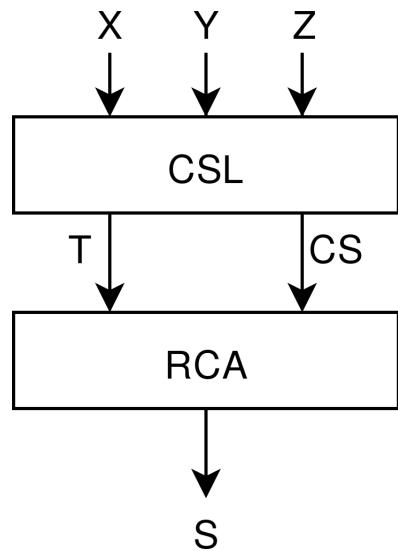


Figura 9.2: Architettura del Carry Save con CSB e RCA.

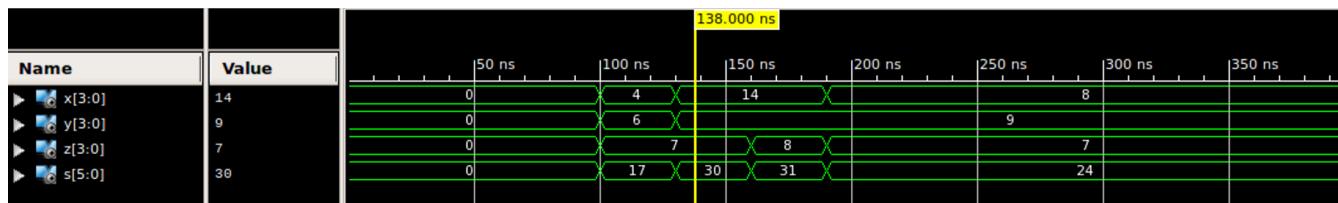


Figura 9.3: Simulazione behavioural del Carry Save.

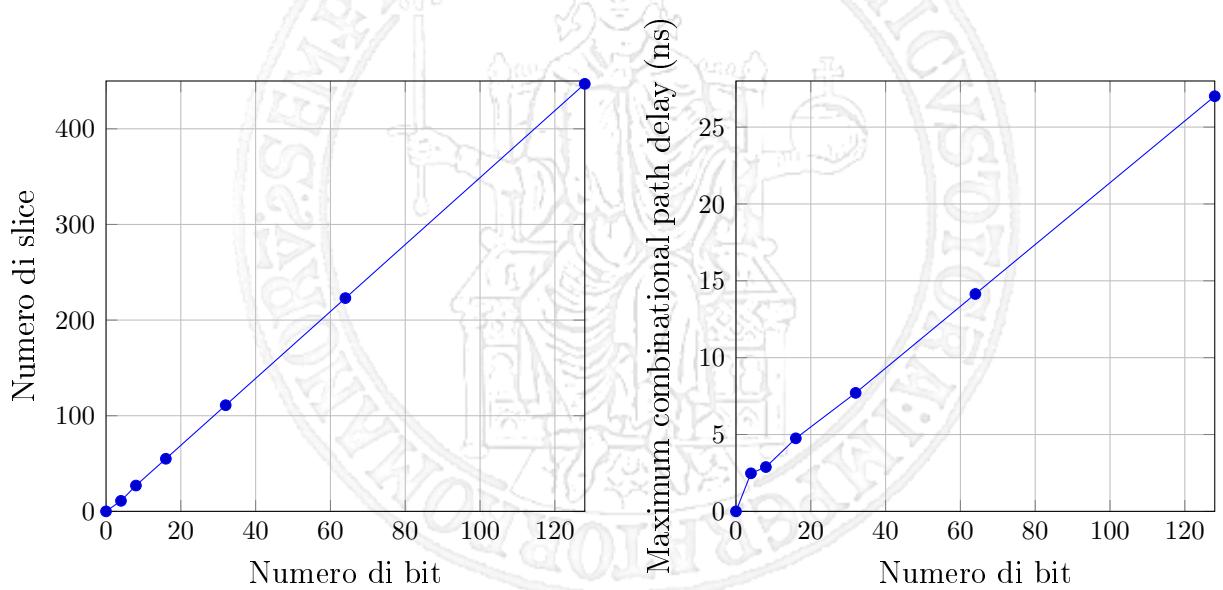


Figura 9.4: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

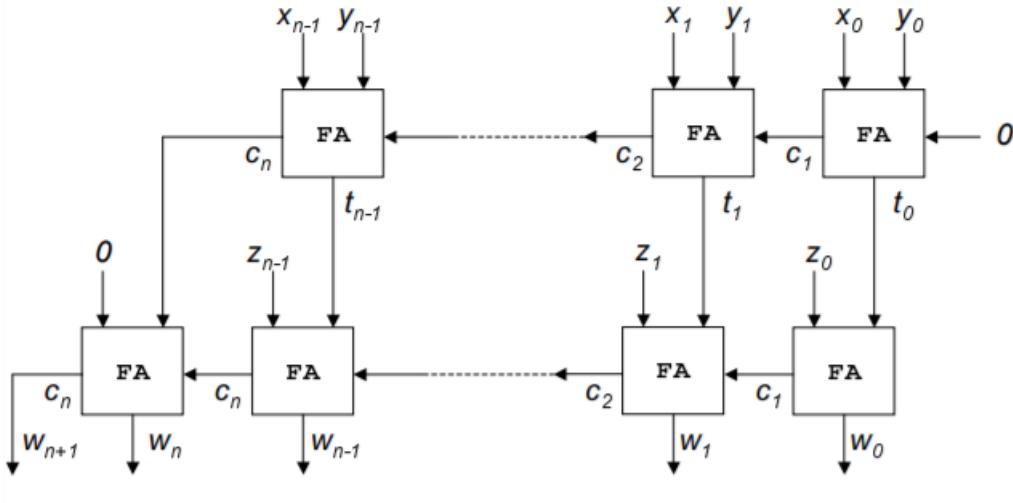


Figura 9.5: Architettura dell'RCA a tre operandi.

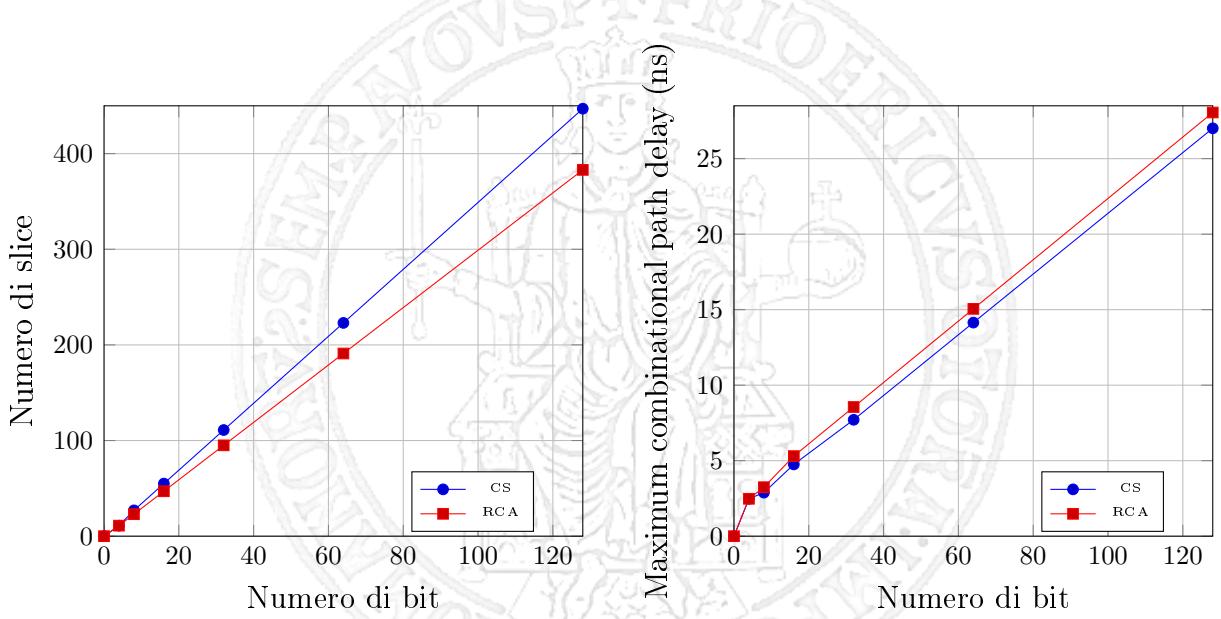


Figura 9.6: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

Capitolo 10

Carry Select

Realizzare un sommatore Carry Select generico ad N bit. Il circuito deve essere realizzato a partire da blocchi di Full Adder, espresso mediante porte logiche XOR/AND/OR. Riportare considerazioni sull'area occupata e tempo di calcolo al variare di N e commentare il risultato con le formule teoriche.

10.1 Architettura

Il Carry Select può essere inteso come un'estensione del RCA al fine di migliorarne le prestazioni in caso di numero di bit elevato. Dal momento che le prestazioni del RCA peggiorano linearmente all'aumentare del numero di bit, si può pensare di suddividere la carry chain in P blocchi, ciascuno dei quali lavora su M bit delle stringhe in ingresso. L'architettura del componente è raffigurata in fig.10.1.

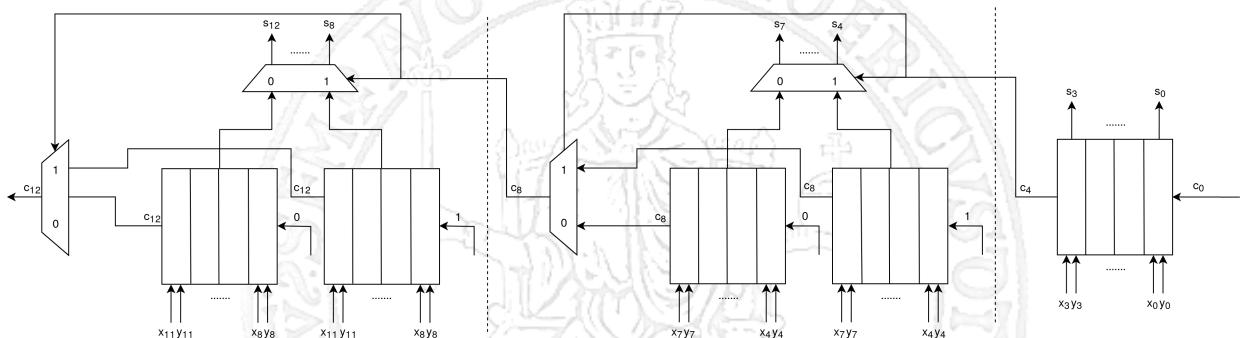


Figura 10.1: Architettura del Carry Select.

In particolare, si noti come ogni blocco (ad eccezione del primo) sia composto da due RCA e due multiplexer: gli RCA sommano gli stessi M bit del blocco corrispondente, ma si distinguono per il valore di c_{in} , ossia il riporto in ingresso che in un caso è uno e nell'altro è zero. In base al valore effettivo del riporto in ingresso, calcolato allo stadio precedente, i due multiplexer selezioneranno i bit dell'uscita S e il c_{out} dell'RCA corrispondente. In questo modo, siamo in grado di calcolare contemporaneamente gli M bit in uscita di ogni blocco P: il ritardo complessivo sarà dunque pari a quello di un unico RCA di M bit + quello delle $P-1$ coppie di multiplexer da pilotare, in quanto l'uscita del multiplexer del carry del blocco precedente pilota i blocchi successivi, ossia $T_{CSEL} =$

$M*T_{FA} + (P-1)*T_{MUX}$. Tale vantaggio in tempo denota tuttavia un enorme svantaggio in termini di area occupata, notevolmente superiore a quella di un normale RCA con un'unica carry chain di $M*P$ blocchi.

10.2 Implementazione

10.2.1 Carry Select Block

Per la realizzazione del componente Carry Select, si è dapprima proceduto alla realizzazione di un *Carry Select Block*, ossia dei blocchi che andranno a formare il Carry Select. L’interfaccia di questo componente è la seguente:

```

1 [...]
2 entity carry_select_block is
3   generic (
4     width : NATURAL := 4
5   );  port (
6     A    : in STD_LOGIC_VECTOR ((width-1) downto 0);
7     B    : in STD_LOGIC_VECTOR ((width-1) downto 0);
8     c_in : in STD_LOGIC;
9     S    : out STD_LOGIC_VECTOR ((width-1) downto 0);
10    c_out : out STD_LOGIC);
11 end carry_select_cell;
12 [...]
```

Codice Componente 10.1: Interfaccia di un Carry Select Block.

Tale componente, come visto prima, è formato da due RCA e due multiplexer 2-1. I due addizionatori si occuperanno di sommare le due stringhe in ingresso A e B (di lunghezza generica *width*) con *c_in* pari, rispettivamente, a 0 e 1. In base al valore *c_in* effettivo in ingresso al blocco, i due multiplexer sceglieranno quali dei due valori *S* e *c_out*, calcolati dai due RCA, riportare in uscita. L’implementazione completa, realizzata tramite descrizione structural, è consultabile qui: [carry_select_cell.vhd](#)

10.2.2 Carry Select

Anche per realizzare il Carry Select è stata utilizzata una descrizione di tipo structural. Prima di tutto, si sono utilizzati due parametri generici: *P*, ossia il numero di blocchi della catena, ed *M*, ossia il numero di bit sommato da ciascun blocco. Dopodiché, per quanto concerne l’architettura, sono stati generati l’RCA iniziale e *P-1* blocchi restanti per formare la carry chain del sommatore:

```

1 rca: rippleCarry_adder port map(
2   X    => A((M-1) downto 0),
3   Y    => B((M-1) downto 0),
4   c_in => internal_carry(0),
5   S    => S_TEMP((M-1) downto 0),
6   c_out => internal_carry(1)
```

```

7 );
8
9 blocks: for i in 1 to P-1 generate
10   csel_block: carry_select_block port map (
11     A      => A (((i+1)*M)-1) downto (i*M)),
12     B      => B (((i+1)*M)-1) downto (i*M)),
13     c_in   => internal_carry(i),
14     S      => S_TEMP(((i+1)*M)-1) downto (i*M)),
15     c_ou   => internal_carry(i+1)
16   );
17 end generate blocks;

```

Codice Componente 10.2: Generazione dei blocchi del Carry Select.

L'implementazione completa è consultabile qui: [carry_select.vhd](#)

10.3 Simulazione e sintesi

10.3.1 Simulazione

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati fatti variare i due operandi da sommare. I risultati ottenuti sono osservabili in fig.10.2.

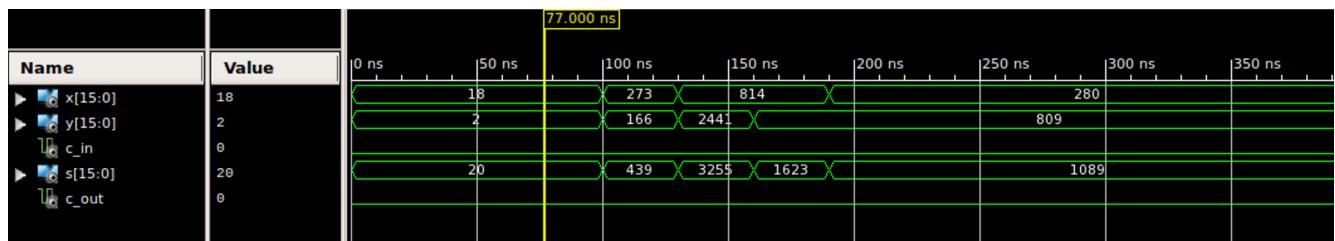


Figura 10.2: Simulazione behavioural del Carry Save.

10.3.2 Sintesi

10.3.2.1 Scelta di P ed M

Si è proceduto infine alla sintesi del componente. Per la scelta di P ed M, sono state fatte le seguenti considerazioni: data la formula $T_{CSEL} = M * T_{FA} + (P - 1) * T_{MUX}$, è possibile ottimizzare tale quantità scegliendo $M = \sqrt{N * \frac{T_{FA}}{T_{MUX}}}$ e $P = \frac{N}{M}$.

Si è deciso quindi di fissare $N = M * P = 64$ e di sintetizzare il componente per valutare le prestazioni temporali del circuito. Per ottenere il risultato ottimale, dati $T_{FA} = 0.893$ ns e $T_{MUX} = 0.889$ ns, possiamo trovare $M \simeq \sqrt{N} = 8$ e $P = 8$. Per effettuare una dimostrazione dell'efficacia di tale formula, sono riportati in tabella i *maximum combinational path delay* di funzionamento del Carry Select ottenuti al variare di M e P (con N fissato pari a 64):

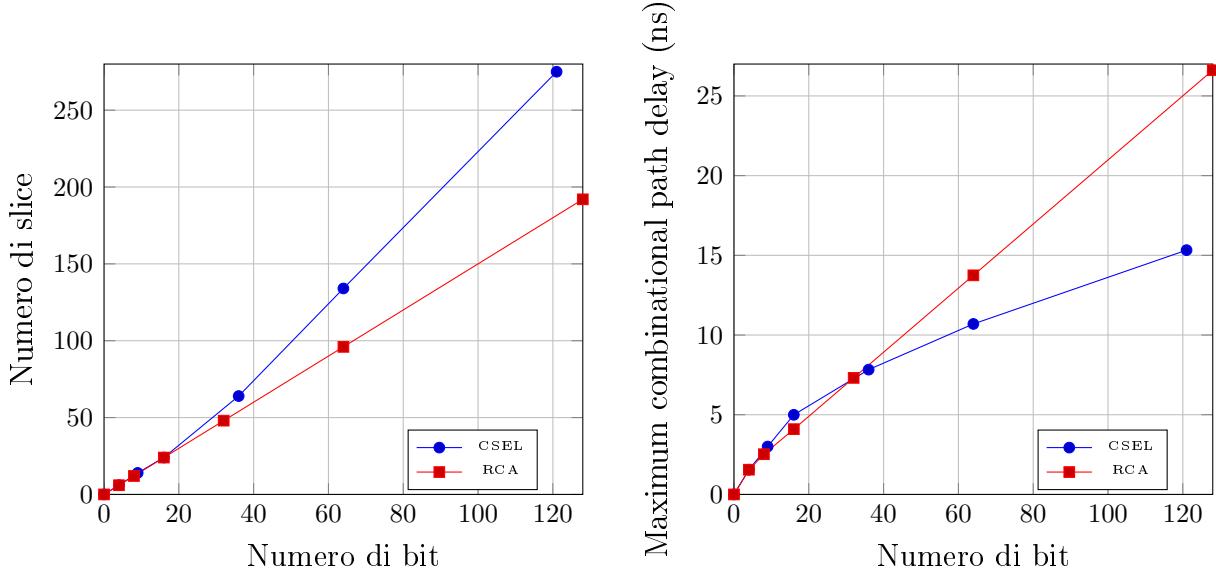


Figura 10.3: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

P=1, M=64	13.746 ns
P=2, M=32	9.602 ns
P=4, M=16	8.598 ns
P=8, M=8	7.896 ns
P=16, M=4	18.505 ns
P=32, M=2	16.134 ns
P=64, M=1	16.442 ns

E' possibile osservare come la scelta dei valori $M = 8$ e $P = 8$ ci restituisca i risultati ottimali in termini di tempi del circuito.

10.3.2.2 Prestazioni all'aumentare del numero di bit

Si è proceduto infine alla sintesi del componente utilizzando diversi valori N e scegliendo M e P tramite la formula vista precedentemente. Sono stati quindi ottenuti il *numero di slices* e *maximum combinational path delay* in funzione del numero di bit per valutare le prestazioni di tale macchina. I risultati sono riportati in fig.10.3.

Si noti come i risultati ottenuti sono coerenti con la teoria: l'area occupata dal circuito è maggiore rispetto a quella di un RCA, ma i tempi sono migliorati specialmente in corrispondenza di un numero alto di bit.

10.4 Approfondimento: Carry Select AddSub on board

Tra i vari addizionatori presentati, abbiamo deciso di sintetizzare sulla board il Carry Select. In particolare, ricordando che l'FPGA è pensata per sintetizzare macchine sincrone, si è realizzata

una top level entity che utilizza dei registri per sostenere gli input in ingresso all'addizionatore e per sostenere il valore in ingresso alla batteria di display a 7 segmenti presenti sulla board. Si è inoltre deciso di sintetizzare sulla board la versione AddSub, in grado di effettuare l'operazione di sottrazione calcolando il complemento a due del secondo operando, in modo analogo a quanto visto per il Ripple Carry Adder. L'interfaccia della top level entity è la seguente:

```

1  entity carrySelect_addSub_onBoard is
2      generic  ( M          : NATURAL := 4;
3                  P          : NATURAL := 4
4      );
5      port    ( clock       : in      STD_LOGIC ;
6                  enable_a    : in      STD_LOGIC ;
7                  enable_b    : in      STD_LOGIC ;
8                  subtract    : in      STD_LOGIC ;
9                  input       : in      STD_LOGIC_VECTOR (((M*P)-1) downto 0) ;
10                 overflow   : out     STD_LOGIC ;
11                 c_out      : out     STD_LOGIC ;
12                 anodes     : out     STD_LOGIC_VECTOR (7 downto 0) ;
13                 cathodes   : out     STD_LOGIC_VECTOR (7 downto 0)
14             );

```

Codice Componente 10.3: Interfaccia della top level entity.

Dal momento che la board dispone di soli 16 switch per definire gli ingressi, non è possibile inserire contemporaneamente entrambi gli operandi. Per risolvere tale limite, si è deciso di adottare la seguente logica: dal momento che le stringhe in ingresso sono sostenute da due registri con parallelismo di 16 bit, abbiamo mappato l'ingresso di entrambi i registri agli stessi 16 switch, mentre i loro segnali di abilitazione sono mappati su due diversi pulsanti della board. Pertanto, per effettuare un'addizione, bisognerà usare gli switch per impostare i singoli operandi e premere i corrispettivi pulsanti per caricare i due valori nei registri. Dopo pochi instanti, sarà disponibile sul display a 7 segmenti il risultato dell'operazione. Inoltre, se il led 15 sarà acceso, significherà che durante l'operazione si è verificato un overflow. Per effettuare una sottrazione invece basterà premere il pulsante centrale sull'FPGA a cui è stato mappato l'ingresso *subtract*: in questo modo si ordinerà all'addizionatore di complementare il secondo operando e quindi di fare la sottrazione tra il primo operando e il secondo. Di seguito è riportato il mapping dei pulsanti e dei led con l'I/O del componente di alto livello:

```

1 # bottone centrale
2 NET "subtract"           LOC=N17 | IOSTANDARD=LVCMS33; #IO_L9P_T1_DQS_14
3 # bottone sinistro
4 NET "enable_a"           LOC=P17 | IOSTANDARD=LVCMS33; #IO_L12P_T1_MRCC_14
5 # bottone destro
6 NET "enable_b"           LOC=M17 | IOSTANDARD=LVCMS33; #IO_L10N_T1_D15_14#
7     led 0
8 NET "c_out"               LOC=H17 | IOSTANDARD=LVCMS33; #IO_L18P_T2_A24_15
9 #led 15
10 NET "overflow"           LOC=V11 | IOSTANDARD=LVCMS33; #
11     IO_L21N_T3_DQS_A06_D22_14

```

Codice Componente 10.4: Mapping dei pulsanti e dei led.

L'implementazione completa del Carry Select AddSub è consultabile qui: carrySelect_addSub.vhd. L'implementazione completa della top level entity è consultabile qui: carrySelect_addSub_on_board.vhd.



Capitolo 11

Moltiplicatori

1. Realizzare in VHDL un circuito di moltiplicazione a celle MAC di N bit. La cella MAC deve contenere un Full Adder (descritto già in esercizi precedenti) ed una porta AND per la moltiplicazione parziale. Tale cella deve essere replicata in una struttura ordinata (per righe e colonne) per comporre il circuito intero di moltiplicazione. Effettuare considerazioni di occupazione di area e di tempi di propagazione dei segnali al variare di N per valori significativi, apportando eventuali commenti salienti.
2. (ozionale se si fa il 3) Realizzare in hardware l'algoritmo della moltiplicazione secondo Robertson per operandi ad 8 bit. L'architettura deve essere realizzata sulla base dello schema di progettazione PO/PC (Parte Operativa e Parte di Controllo).
3. (opzionale se si fa il 2) Realizzare in hardware l'algoritmo della moltiplicazione secondo Booth per operandi ad 8 bit. L'architettura deve essere realizzata sulla base dello schema di progettazione PO/PC (Parte Operativa e Parte di Controllo).
4. (opzionale) Realizzare in VHDL un circuito per la moltiplicazione con la struttura di somma per righe, oppure somma per colonne oppure somma per diagonale. Discutere l'architettura al variare di N.

11.1 Moltiplicatore a celle MAC

11.1.1 Architettura

Il moltiplicatore a celle MAC è un componente in grado di moltiplicare due stringhe di bit tra loro. Data la sua architettura (mostrata in fig.11.1), tale componente è definito moltiplicatore parallelo, in quanto le somme parziali vengono calcolate contemporaneamente ad ogni passo.

Il moltiplicatore è stato realizzato mediante interconnessione di celle elementari dette celle MAC: tale componente si occupa di calcolare le somme parziali ad ogni stadio del moltiplicatore mediante l'utilizzo di:

- una porta *AND*, per effettuare il prodotto parziale $x_j y_i$;
- un *full adder*, per sommare tale prodotto con la somma parziale e il carry calcolati agli stadi precedenti.

L'architettura della cella è visibile in fig.11.2.

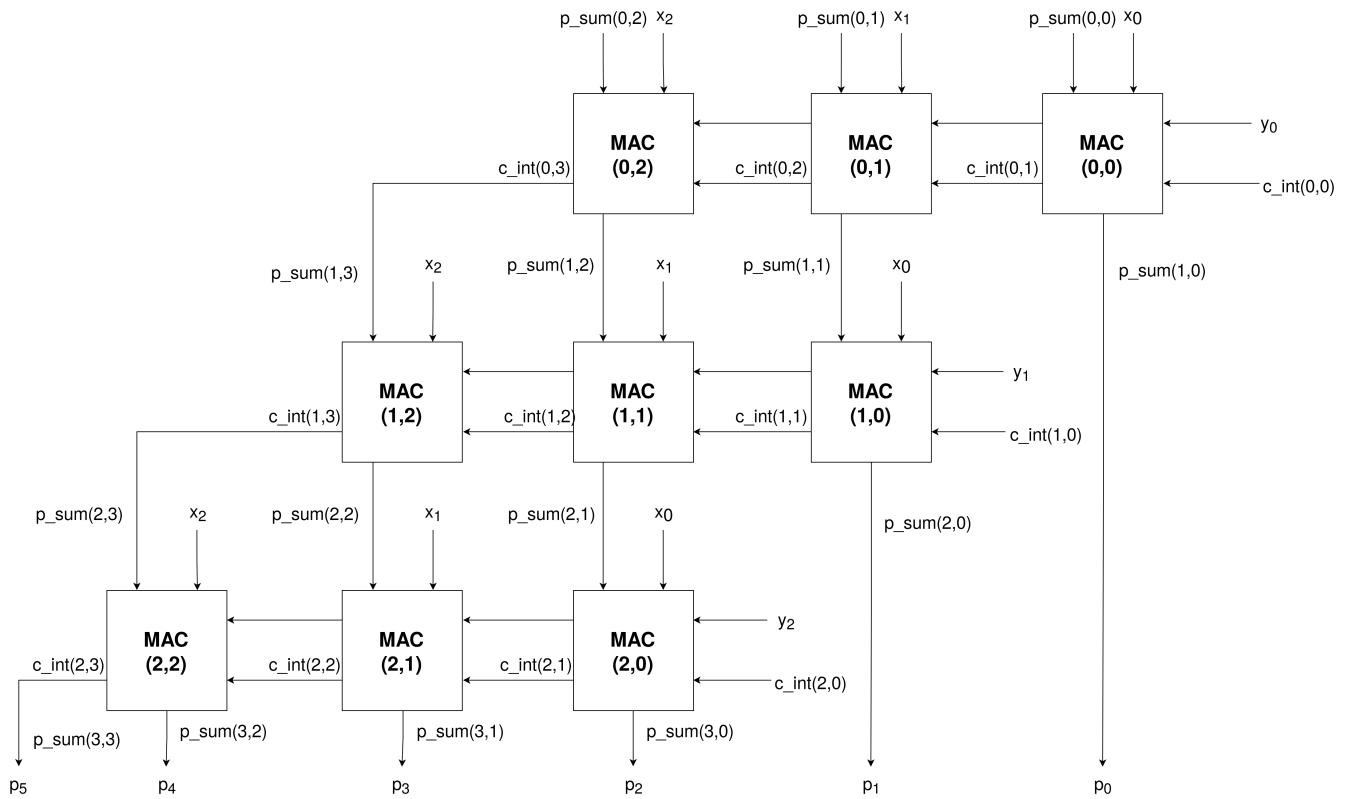


Figura 11.1: Architettura del moltiplicatore MAC.

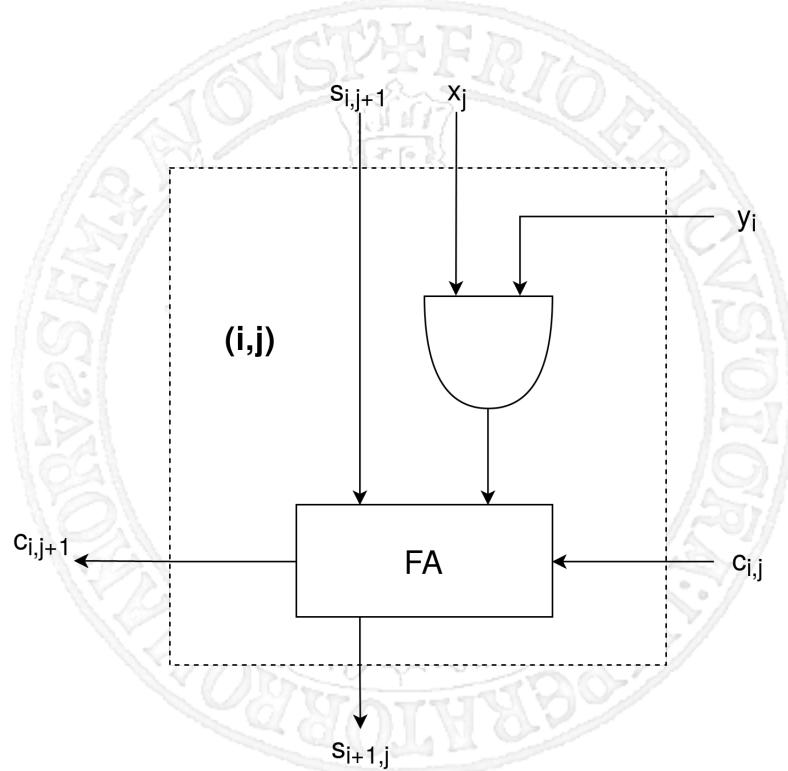


Figura 11.2: Architettura della cella MAC.

11.1.2 Implementazione

11.1.2.1 Cella MAC

La singola cella MAC è stata realizzata mediante descrizione dataflow:

```

1 architecture dataflow of mac_cell is
2 [...]
3 begin
4     prodotto_xy <= X and Y;
5     full_adder_inst : full_adder port map (
6         X      => prodotto_xy,
7         Y      => S_in,
8         CIN   => C_in,
9         S      => S_out,
10        C     => C_out
11    );
12 end dataflow;
13 [...]

```

Codice Componente 11.1: Implementazione di una cella MAC.

L'implementazione completa è consultabile qui: [mac_cell.vhd](#)

11.1.2.2 Moltiplicatore

L'implementazione del moltiplicatore è stata realizzata mediante descrizione structural: sono state generate dapprima le celle MAC, collegate secondo il grafico visto precedentemente, e poi dalla matrice delle somme parziali sono stati ricavati i valori corrispondenti al risultato della moltiplicazione P. In particolare, i primi M bit sono ricavabili dalla prima colonna della matrice delle somme parziali, mentre i restanti N bit sono ricavabili dall'ultima riga della matrice, come mostrato qui:

```

1 architecture structural of mac_multiplier is
2 begin
3     mac_rows : for i in 0 to M-1 generate
4         mac_columns : for j in 0 to N-1 generate
5             mac_cell_inst : mac_cell port map (
6                 X      => X(j),
7                 Y      => Y(i),
8                 C_in  => carry_int (i,j),
9                 S_in  => partial_sum(i,j+1),
10                C_out => carry_int(i,j+1),
11                S_out => partial_sum(i+1,j)
12            );
13        end generatec
14        partial_sum (i+1,N) <= carry_int(i,N);
15    end generate;
16
17    result_M : for i in 0 to M-1 generate

```

```

18     P(i) <= partial_sum(i+1, 0);
19 end generate;
20
21 result_N : for i in 1 to N generate
22     P(i+M-1) <= partial_sum(M, i);
23 end generate;
24
25 end structural;

```

Codice Componente 11.2: Implementazione del moltiplicatore a celle MAC.

L'implementazione completa è consultabile qui: mac_multiplier.vhd

11.1.3 Simulazione e sintesi

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati fatti variare i due operandi da moltiplicare. I risultati ottenuti sono osservabili in fig.11.3.

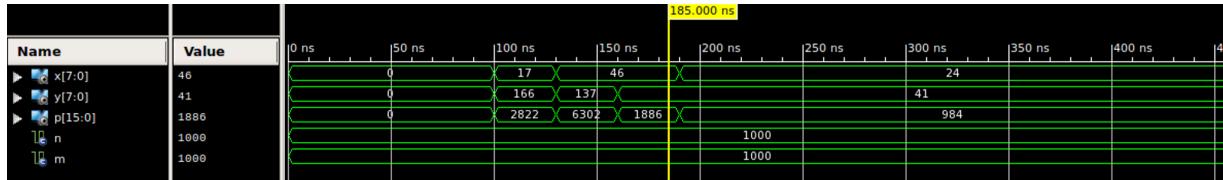


Figura 11.3: Simulazione behavioural del moltiplicatore MAC.

Si è proceduto infine alla sintesi del componente utilizzando diversi valori di lunghezza delle stringhe di bit, e sono stati ottenuti il *numero di slices* e *maximum combinational path delay* in funzione del numero di bit per valutare le prestazioni di tale macchina. I risultati sono riportati in fig.11.4.

Dai risultati ottenuti si può notare come il *maximum combinational path delay* diventi pressoché doppio al raddoppiare del parallelismo degli operandi X e Y. Per quanto concerne l'area, questa aumenta invece in maniera quadratica in funzione del numero dei bit a causa dell'aumento esponenziale di celle MAC necessarie (pari a N^2).

11.2 Moltiplicatore di Robertson

11.2.1 Architettura

Per poter realizzare un moltiplicatore di Robertson in grado di implementare l'algoritmo di Robertson si è fatto riferimento al modello PO/PC utilizzando i seguenti componenti:

- Unità di controllo
- Contatore per tenere traccia del passo di esecuzione dell'algoritmo
- Registro M (per contenere il moltiplicatore Y)

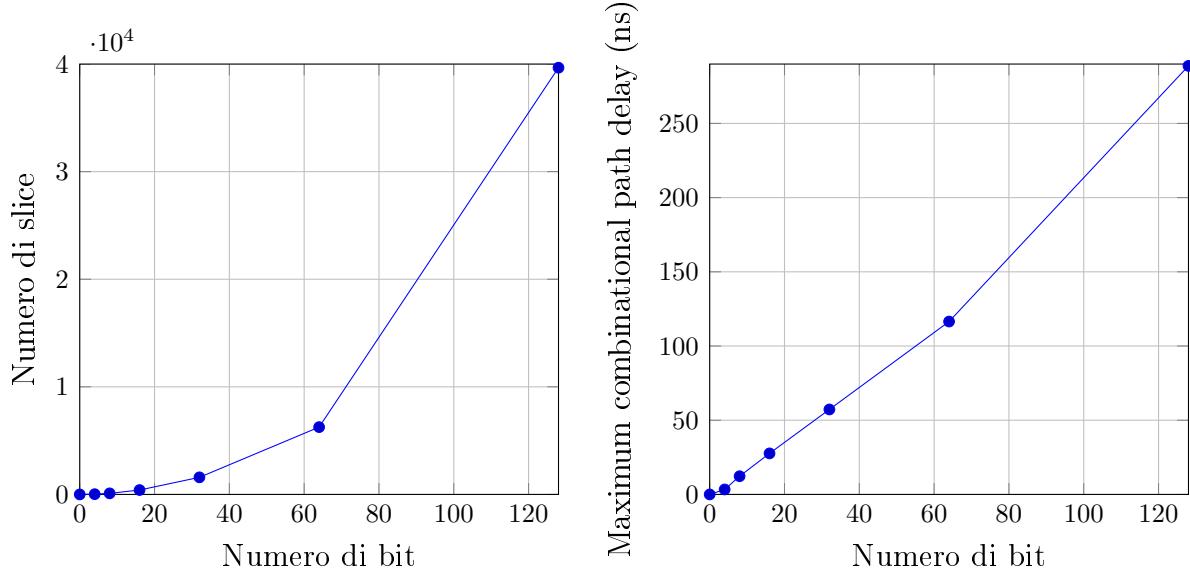


Figura 11.4: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

- Registri A e Q scan chain (per contenere rispettivamente i risultati parziali e il moltiplicando X)
- Un flip flop F
- Un addizionatore parallelo: Carry Select add/sub
- Porte AND e OR
- Un multiplexer

Lo schema strutturale è riportato in fig.11.5:

Essendo il moltiplicatore di Robertson una macchina sequenziale, sono stati dapprima definiti gli stati della macchina per la realizzazione della parte di controllo. L'automa a stati finiti è raffigurato in fig.11.6 e prevede i seguenti stati:

- Idle: la macchina permane in questo stato finché non giunge un segnale di *start*;
- Init: in questo stato vengono inizializzati i registri e si resetta il contatore;
- Choice: in questo stato si sceglie l'operazione da fare in base al valore di *counter_hit*, *x_sign* e *q0*;
- Right_Shift: in questo stato viene effettuato lo shift dei registri A e Q e viene salvato il valore di *x_sign*;
- Add_Sub: in questo stato si effettua un'operazione di somma tra A (registro di accumulazione) ed M; nel caso in cui il moltiplicando X sia negativo e *counter_hit* sia alto (fine dell'operazione di moltiplicazione) si effettuerà una sottrazione A-M (operazione di correzione).

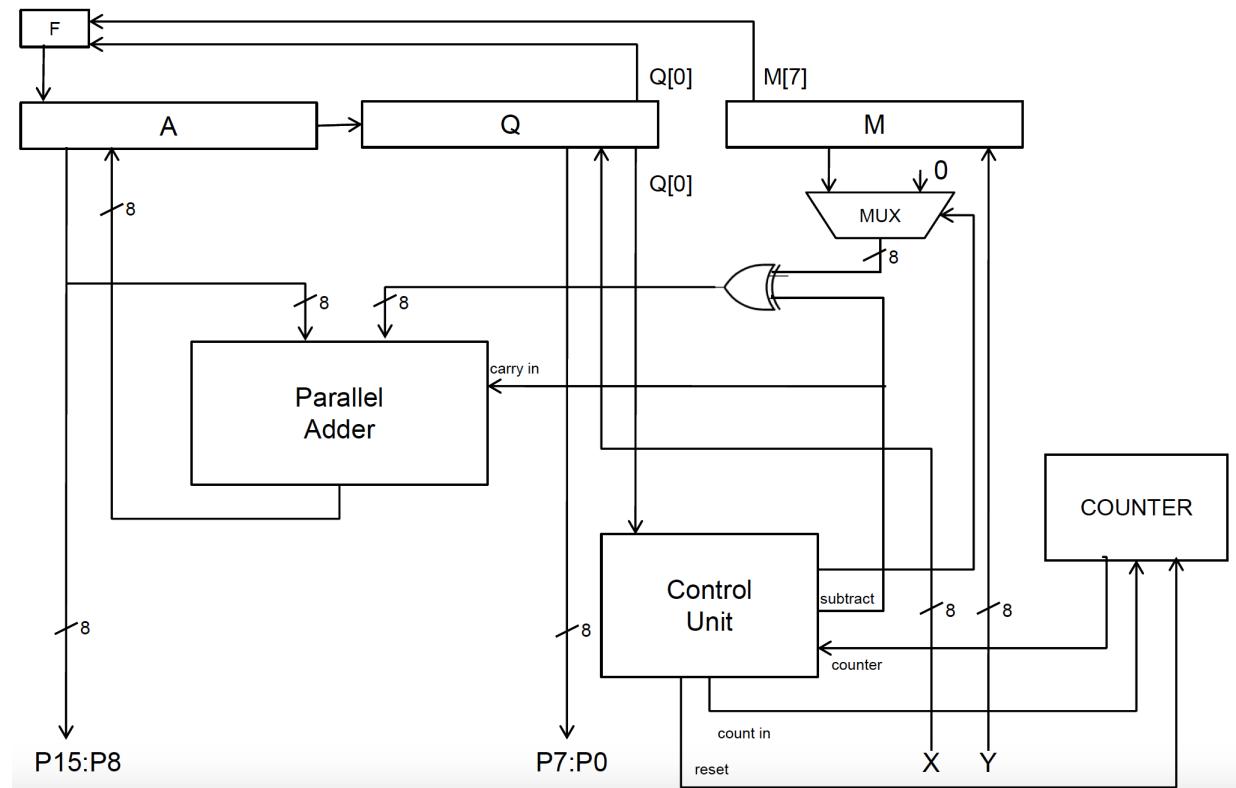


Figura 11.5: Architettura del moltiplicatore di Robertson.

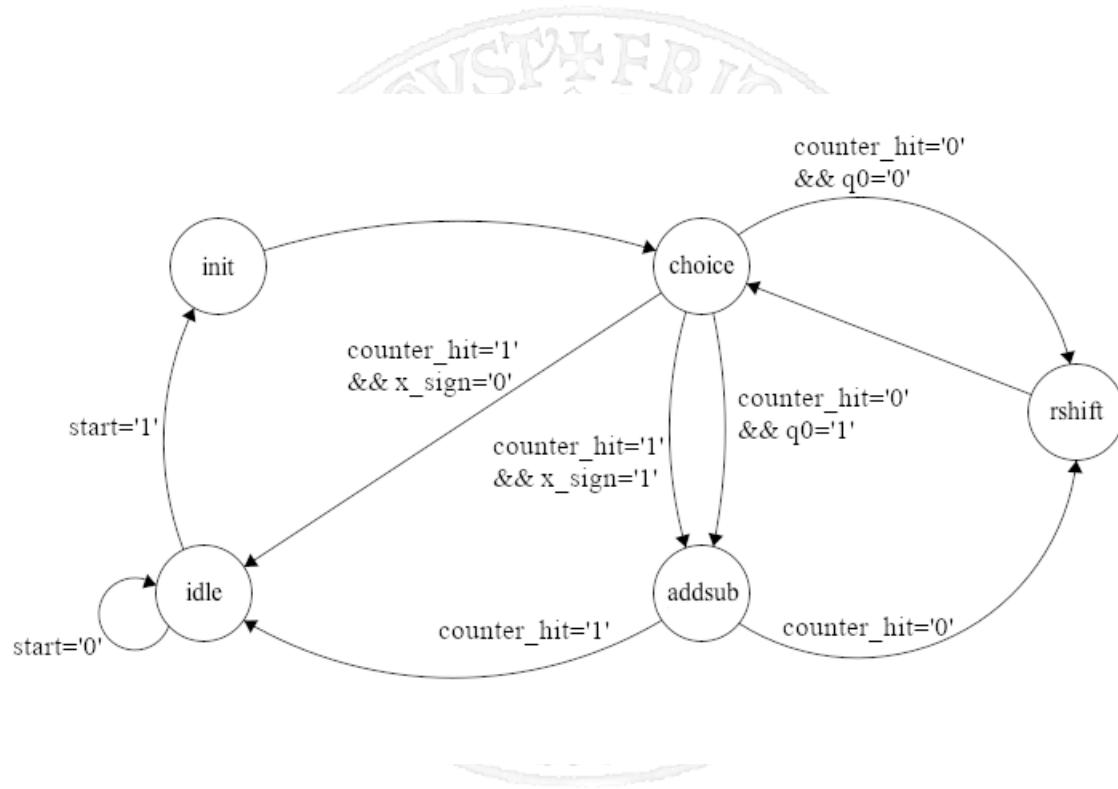


Figura 11.6: Automa a stati finiti (moltiplicatore di Robertson).

11.2.2 Implementazione

Per l'implementazione di tale componente si è utilizzata una descrizione di tipo structural, collegando opportunamente i componenti descritti precedentemente. In particolare si riporta l'interfaccia del componente moltiplicatore:

```

1 entity robertson_multiplier is
2   GENERIC (N : INTEGER := 8);
3   PORT (
4     X      : in STD_LOGIC_VECTOR (N-1 downto 0);
5     Y      : in STD_LOGIC_VECTOR (N-1 downto 0);
6     start  : in STD_LOGIC;
7     clock  : in STD_LOGIC;
8     reset_n : in STD_LOGIC;
9     stop   : out STD_LOGIC;
10    Z      : out STD_LOGIC_VECTOR ((2*N)-1 downto 0));
11 end robertson_multiplier;
```

Codice Componente 11.3: Implementazione del moltiplicatore di Robertson.

L'implementazione completa del moltiplicatore è consultabile qui: robertson_multiplier.vhd

11.2.2.1 Parte di controllo

In particolare, per quanto riguarda la parte di controllo, questa è stata realizzata mediante una control_unit implementata come FSM in descrizione behavioural, seguendo l'automa a stati finiti visto precedentemente. Di seguito è riportato il comportamento della macchina nello stato di choice:

```

1 [...]
2 when choice =>
3   if counter_hit = '0' then
4     if current_multiplicand = '0' then
5       nxt <= right_shift;
6     else
7       nxt <= add_sub;
8     end if;
9   else
10    if x_sign = '0' then
11      nxt <= idle;
12    else
13      nxt <= add_sub;
14    end if;
15  end if;
16 [...]
```

Codice Componente 11.4: Implementazione dello stato di choice del moltiplicatore di Robertson.

Il segnale *x_sign* tiene traccia del bit in uscita dalla scan chain A e alla fine permette di determinare se effettuare una sottrazione di correzione al passo finale.

L'intera implementazione dell'unità di controllo del moltiplicatore di Robertson è consultabile qui: robertson_control_unit.vhd

11.2.2.2 Parte operativa

Il funzionamento della parte operativa è il seguente: inizialmente, il moltiplicando X e il moltiplicatore Y vengono caricati rispettivamente nei registri Q e M. In testa al registro Q, invece, viene posto il flip flop F che determina il valore da inserire in M in caso di shift a destra: F sarà alto se e solo se sono entrambi alti M[N-1] e Q[0] (moltiplicatore negativo con operazione di somma), e resterà alto per tutta la durata dell'operazione:

```

1 [ ... ]
2 F: F_in <= ((internal_m(N-1) and internal_q(0)) or F_out);
3 [ ... ]

```

Codice Componente 11.5: Determinazione di F.

Le operazioni di somma vengono effettuate utilizzando il Carry Select Add/Sub, che si occuperà di sommare il contenuto del registro A (somma parziale) con M, il complemento di M o un vettore di zeri a seconda della modalità di funzionamento determinata dalla control unit. Per effettuare il complemento, si utilizza una porta XOR in uscita ad un multiplexer il cui segnale di selezione è pilotato dalla control unit. Per quanto concerne l'uscita, questa sarà determinata dalla concatenazione di A e Q (N+M bit):

```

1 [ ... ]
2 Z <= internal_a & internal_q;
3 [ ... ]

```

Codice Componente 11.6: Determinazione di Z.

11.2.3 Simulazione e sintesi

Per tale componente è stata effettuata una simulazione behavioural: i valori di X e Y sono stati posti, rispettivamente, a -9 e 70. Una volta dato lo start, la macchina inizia ad effettuare le dovute operazioni fino a quando stop non diventa alto e in Z viene riportato il risultato corretto. I risultati ottenuti sono osservabili in fig.11.7.

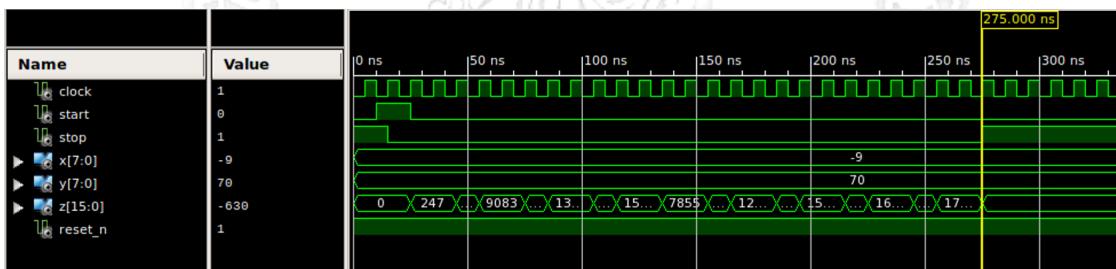


Figura 11.7: Simulazione behavioural del moltiplicatore di Robertson.

Si è proceduto infine alla sintesi del componente utilizzando diversi valori di lunghezza delle stringhe di bit. Essendo tale macchina sequenziale e dunque clockata, piuttosto che il *maximum*

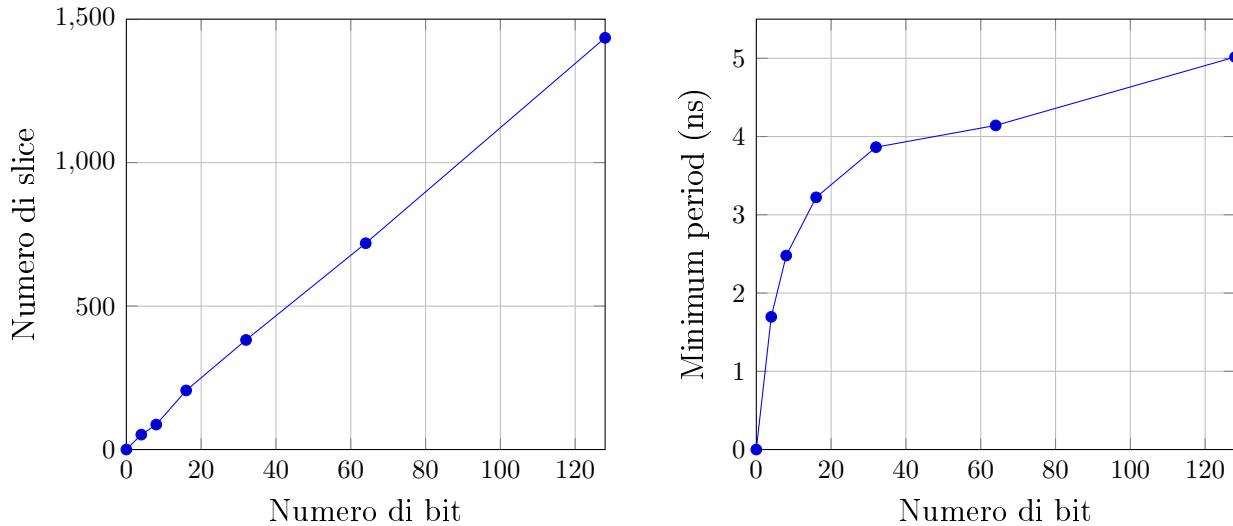


Figura 11.8: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

combinational path delay è stato valutato il *minimum period* di funzionamento (ossia l'inverso della frequenza massima). I risultati sono riportati in fig.11.8.

Per tale sintesi, ISE ha scelto come algoritmo ottimale di codifica degli stati quello *Sequential*. I risultati ottenuti mostrano come l'area occupata sia nettamente inferiore rispetto al caso MAC, arrivando addirittura ad un numero di slice circa 30 volte inferiore nel caso dei 128 bit.

11.3 Moltiplicatore di Booth

Anche per la realizzazione del moltiplicatore di Booth è stato utilizzato il modello PO/PC. I componenti utilizzati sono gli stessi di quello di Robertson, ad eccezione dell'utilizzo del flip-flop e del multiplexer. Lo schema strutturale è riportato in fig.11.9:

Si noti come il registro Q presenti un bit $Q[-1]$ in più, considerato sempre come 0 e necessario alla codifica di Booth del primo bit del moltiplicando.

Dopodiché sono stati stati definiti gli stati della macchina per la realizzazione della parte di controllo. L'automa a stati finiti è raffigurato in fig.11.10 e prevede i seguenti stati:

- Idle: la macchina permane in questo stato finché non giunge un segnale di *start*;
- Init: in questo stato vengono inizializzati i registri e si resetta il contatore;
- Choice: in questo stato si sceglie l'operazione da fare in base al valore di x_lsbs , ossia dei due bit correnti considerati per la codifica in Booth del moltiplicando;
- Right_Shift: in questo stato viene effettuato lo shift dei registri A e Q e viene controllato il counter_hit: se alto, l'operazione è terminata e si va in idle, altrimenti si continua tornando in *choice* e incrementando il valore di conteggio;

- Add_Sub: in questo stato si effettua un'operazione di somma o sottrazione tra A (registro di accumulazione) ed M, scelta in base al valore di x_lsbs(0): se alto, si farà la somma, altrimenti la sottrazione.

La principale differenza con l'automa di Robertson è che, negli stadi *choice* e *add_sub*, non esiste alcuna transizione verso *idle*, in quanto non vi è la possibilità di effettuare la correzione finale: ciò significa che, all'ultimo passo, verrà sempre effettuato uno shift prima di terminare.

11.3.1 Implementazione

Per l'implementazione di tale componente si è utilizzata una descrizione di tipo structural, collegando opportunamente i componenti descritti precedentemente. L'implementazione completa del moltiplicatore di Booth è consultabile qui: booth_multiplier.vhd

11.3.1.1 Parte di controllo

In particolare, per quanto riguarda la parte di controllo, questa è stata realizzata mediante una *control_unit* implementata come FSM in descrizione behavioural, seguendo l'automa a stati finiti visto precedentemente. Di seguito è riportato il comportamento della macchina nello stato di *choice*:

```

1  [...]
2  when choice    =>
3      if x_lsbs(0) = x_lsbs(1) then
4          nxt <= right_shift;
5      else
6          nxt <= add_sub;
7      end if;
8  [...]

```

Codice Componente 11.7: Implementazione dello stato di choice del moltiplicatore di Robertson.

Si noti come, a differenza del caso Robertson, la scelta viene effettuata in base alle cifre considerate per la codifica di Booth di X: faremo right shift se queste sono uguali (codifica di Booth pari a 0), altrimenti faremo una somma (se pari a 1) o una sottrazione (se pari a -1). L'intera implementazione dell'unità di controllo del moltiplicatore di Booth è consultabile qui: booth_control_unit.vhd

11.3.1.2 Parte operativa

Il funzionamento della parte operativa è il seguente: inizialmente, il moltiplicando X e il moltiplicatore Y vengono caricati rispettivamente nei registri Q e M, e viene posto il bit meno significativo di Q pari a 0:

```

1  [...]
2  val_in_q <= X & '0';
3  [...]

```

Codice Componente 11.8: Determinazione di Q.

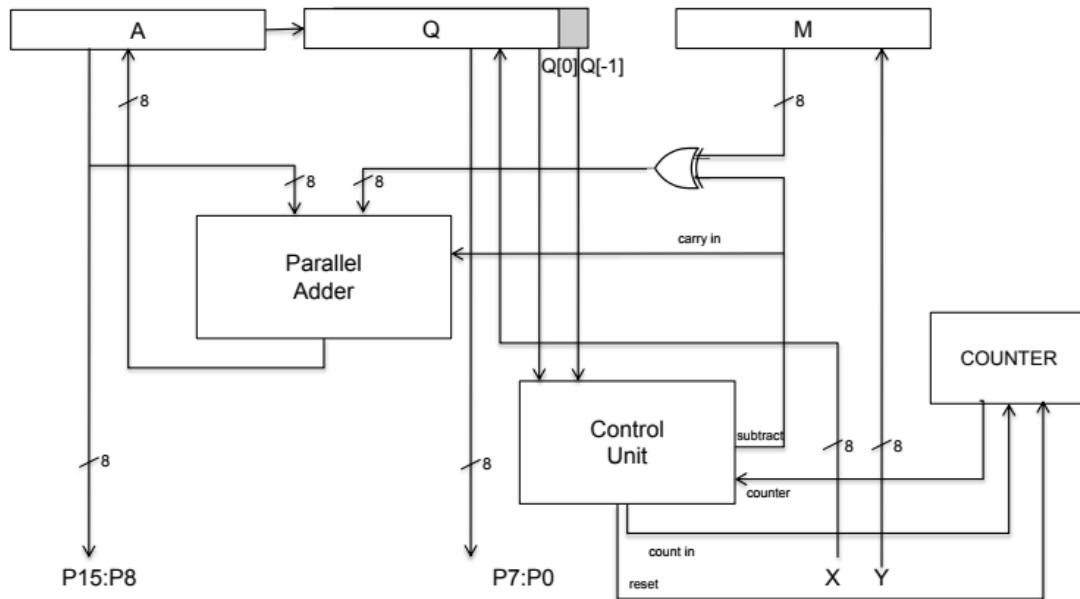


Figura 11.9: Architettura del moltiplicatore di Booth.

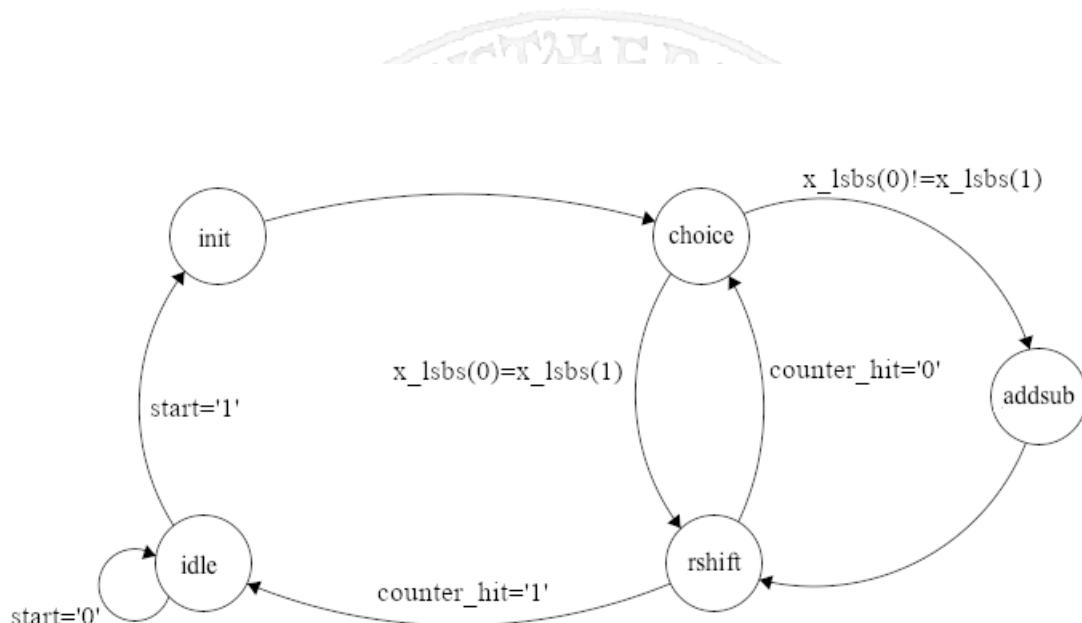


Figura 11.10: Automa a stati finiti (moltiplicatore di Booth).

Per quanto concerne l'uscita, questa sarà determinata dalla concatenazione di A e Q ($N+M$ bit), senza considerare il bit meno significativo di Q inserito all'inizio (pari a 0):

```

1 [ ... ]
2 Z <= internal_a & internal_q(N downto 1);
3 [ ... ]

```

Codice Componente 11.9: Determinazione di Z.

11.3.2 Simulazione e sintesi

Per tale componente è stata effettuata una simulazione behavioural: i valori di X e Y sono stati posti, rispettivamente, a -126 e 6. Una volta dato lo start, la macchina inizia ad effettuare le dovute operazioni fino a quando stop non diventa alto e in Z viene riportato il risultato corretto. I risultati ottenuti sono osservabili in fig.11.11.

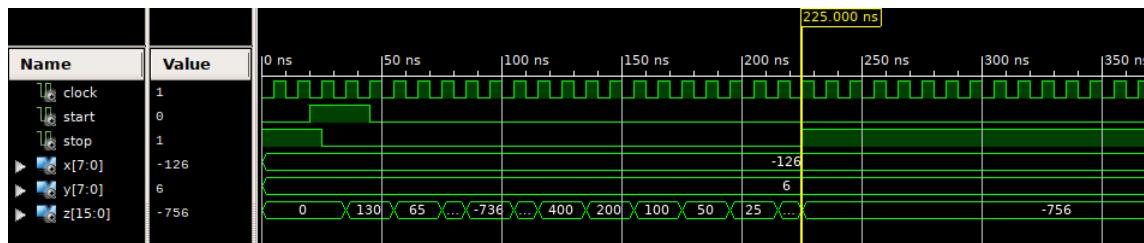


Figura 11.11: Simulazione behavioural del moltiplicatore di Booth.

Si è proceduto infine alla sintesi del componente utilizzando diversi valori di lunghezza delle stringhe di bit. Come nel caso Robertson piuttosto che il *maximum combinational path delay* è stato valutato il *minimum period* di funzionamento (ossia l'inverso della frequenza massima). I risultati sono riportati in fig.11.12.

Come per il moltiplicatore di Robertson, ISE ha scelto come algoritmo ottimale di codifica degli stati quello *Sequential*. I risultati ottenuti mostrano come il *minimum period* sia nettamente aumentato rispetto al caso Robertson, specialmente con un numero di bit elevato. Tuttavia, grazie alla mancanza di alcuni componenti, il numero di *slice* risulta minore.

11.3.3 Approfondimento: Moltiplicatore di Booth on board

Tra i vari moltiplicatori presentati, abbiamo deciso di sintetizzare sulla board il moltiplicatore di Booth. In particolare, ricordando che l'FPGA è pensata per sintetizzare macchine sincrone, si è realizzata una top level entity che utilizza dei registri per sostenere gli input in ingresso al moltiplicatore. L'interfaccia della top level entity è la seguente :

```

1 entity booth_multiplier_onBoard is
2     generic (N : NATURAL := 8);
3     port (

```

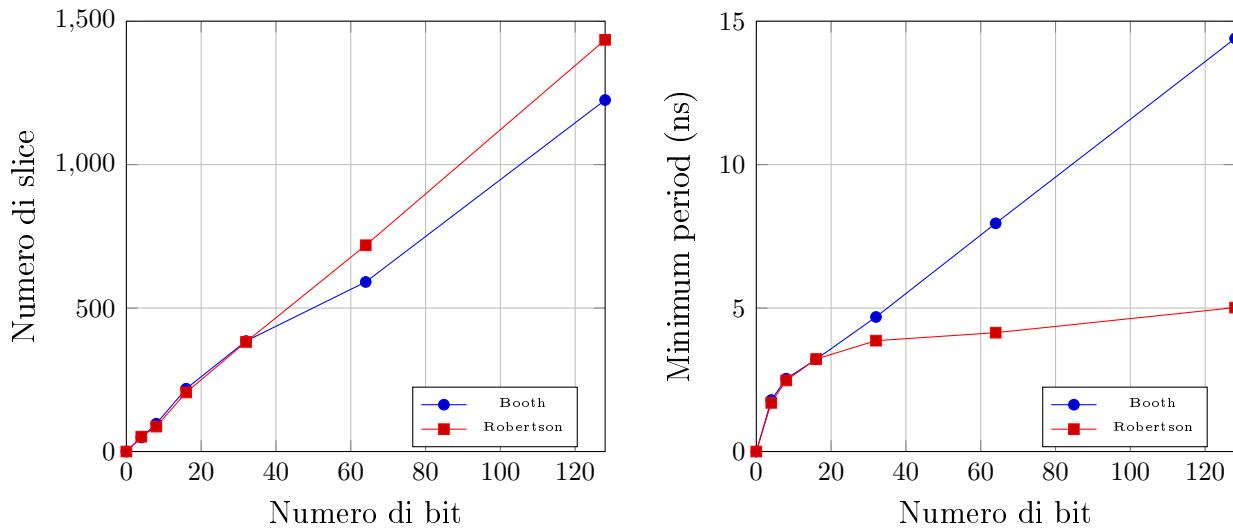


Figura 11.12: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

```

4      clock      : in STD_LOGIC ;
5      start      : in STD_LOGIC;
6      enable_a   : in STD_LOGIC ;
7      enable_b   : in STD_LOGIC ;
8      subtract   : in STD_LOGIC ;
9      input       : in STD_LOGIC_VECTOR ((N-1) downto 0);
10     start_led  : out STD_LOGIC;
11     stop        : out STD_LOGIC;
12     overflow    : out STD_LOGIC ;
13     c_out       : out STD_LOGIC ;
14     anodes      : out STD_LOGIC_VECTOR (7 downto 0);
15     cathodes    : out STD_LOGIC_VECTOR (7 downto 0)
16 );

```

Codice Componente 11.10: Interfaccia della top level entity.

Per definire moltiplicando e moltiplicatore, basterà definirli usando i primi 8 switch (operandi con parallelismo di 8 bit) e premere uno dei tasti per abilitare i registri corrispondenti (usando i segnali *enable_a* e *enable_b*) e caricarli. Una volta caricati entrambi gli operandi, basterà premere il tasto centrale: un led acceso ci indicherà che è stato inviato il segnale di start alla macchina. Appena il led #15 sarà acceso, la macchina avrà inviato il segnale di stop, e dunque il risultato sarà visibile sulle prime 4 cifre del display (parallelismo di 16 bit). Di seguito è riportato il mapping dei pulsanti e dei led con l' I/O del componente di alto livello:

```

1 [...]
2 #bottone centrale
3 NET "start"    LOC=N17 | IOSTANDARD=LVCMS33; #IO_L9P_T1_DQS_14
4 #bottone sinistro
5 NET "enable_a"  LOC=P17 | IOSTANDARD=LVCMS33; #IO_L12P_T1_MRCC_14
6 #bottone destro
7 NET "enable_b"  LOC=M17 | IOSTANDARD=LVCMS33; #IO_L10N_T1_D15_14

```

```

8 # led 0
9 NET "start_led" LOC=H17 | IOSTANDARD=LVCMOS33; #IO_L18P_T2_A24_15
10 #led 15
11 NET "stop"      LOC=V11 | IOSTANDARD=LVCMOS33; #IO_L21N_T3_DQS_A06_D22_14
12 [...]

```

Codice Componente 11.11: Interfaccia top level entity .

L'implementazione completa della top level entity è consultabile qui: booth_on_board.vhd.

11.4 Ripple carry multiplier (somma di righe)

11.4.1 Architettura

Il ripple carry multiplier è un componente che effettua il prodotto tra due stringhe di N e M bit rispettivamente tramite somma delle righe della matrice dei prodotti parziali. L'architettura del componente è visibile in fig.11.13).

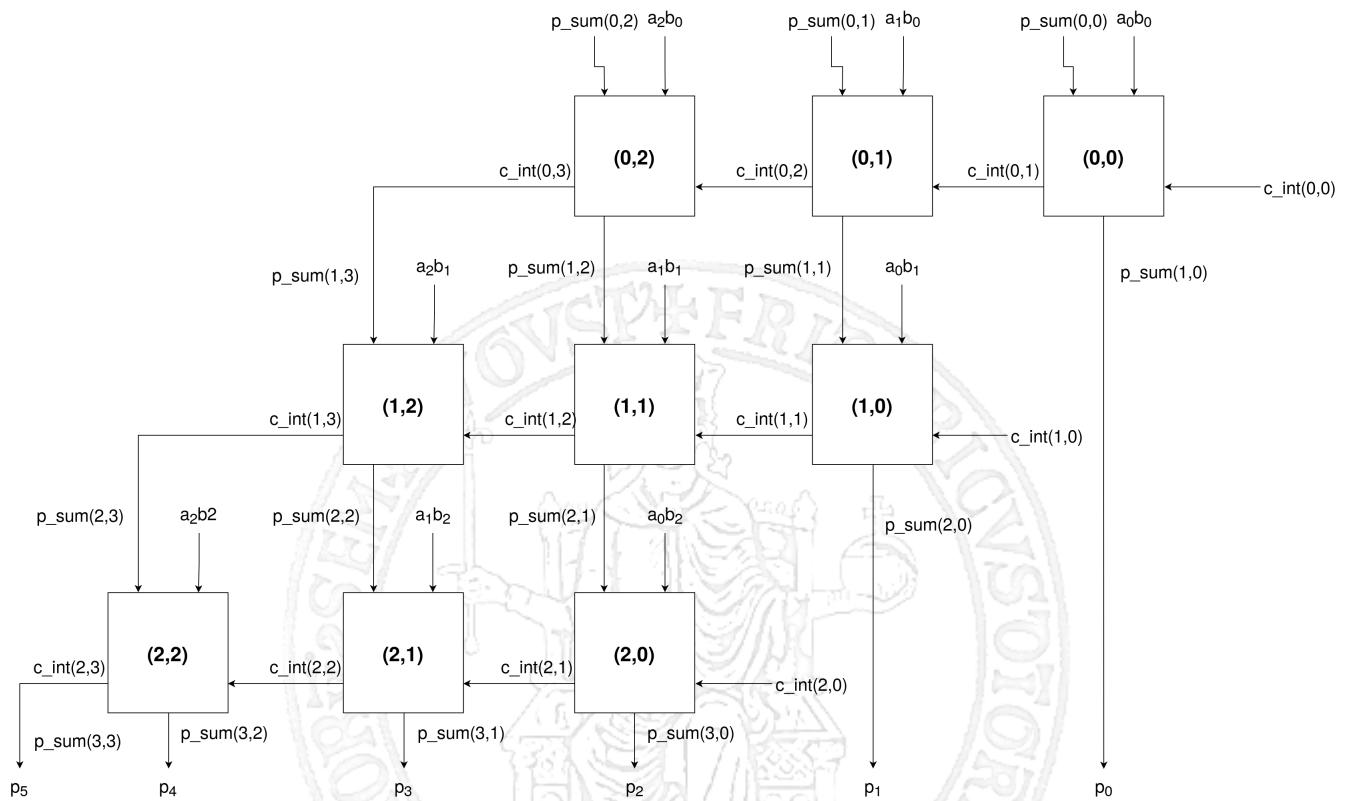


Figura 11.13: Architettura del Ripple Carry Multiplier.

Si noti come tale architettura può essere realizzata mediante l'utilizzo di N ripple carry adder in cascata, che andranno a sommare le M righe della matrice dei prodotti parziali con le somme parziali calcolate riga per riga. Tale schema può essere ulteriormente raffinato eliminando il primo (fig. 11.14). Si noti come sia possibile rimuovere dallo schema il primo RCA, che dovrebbe in teoria sommare la prima riga della matrice dei prodotti parziali con le somme parziali iniziali (pari a zero), semplicemente sommando direttamente le prime due righe della matrice.

11.4.2 Implementazione

L'implementazione del moltiplicatore è stata realizzata mediante descrizione structural: dapprima si è generata la matrice dei prodotti parziali, e poi si sono generati i RCA nel seguente modo:

```

1  [...]
2  gen_rcmultiplier: for i in 0 to N-1 generate
3      gen_first_sum: if i=0 generate
4          partial_sum(i+1)(M-1 downto 0) <= partial_prod(i)(M-1 downto 0);
5      end generate;
6
7      gen_rca: if i>0 generate
8          rca: rippleCarry_adder PORT MAP (
9              X => partial_prod(i)(M-1 downto 0),
10             Y => partial_sum(i)(M downto 1),
11             c_in =>'0',
12             S => partial_sum(i+1)(M-1 downto 0),
13             c_out => partial_sum(i+1)(M)
14         );
15     end generate;
16 end generate;
17
18 gen_P_1: for i in 0 to M-1 generate
19     p(i) <= partial_sum(i+1)(0);
20 end generate;
21
22 gen_P_2: for j in 0 to N-1 generate
23     p(M+j) <= partial_sum(M)(j+1);
24 end generate;
25
26 [...]
```

Codice Componente 11.12: Implementazione del Ripple Carry Multiplier.

la prima riga della matrice dei prodotti parziali nella matrice delle somme parziali. Infine, si è prelevato il risultato come specificato nel grafico: i primi M bit sono ricavati dalla prima colonna della matrice delle somme parziali, mentre i restanti N bit sono ricavati dall'ultima riga della matrice. L'implementazione completa del moltiplicatore è consultabile qui: [ripple_carry_multiplier.vhd](#)

11.4.3 Simulazione e sintesi

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati fatti variare i due operandi da moltiplicare. I risultati ottenuti sono osservabili in fig.11.15.

Si è proceduto infine alla sintesi del componente utilizzando diversi valori di lunghezza delle stringhe di bit, e sono stati ottenuti il *numero di slices* e *maximum combinational path delay* in funzione del numero di bit per valutare le prestazioni di tale macchina. I risultati sono riportati in fig.11.16.

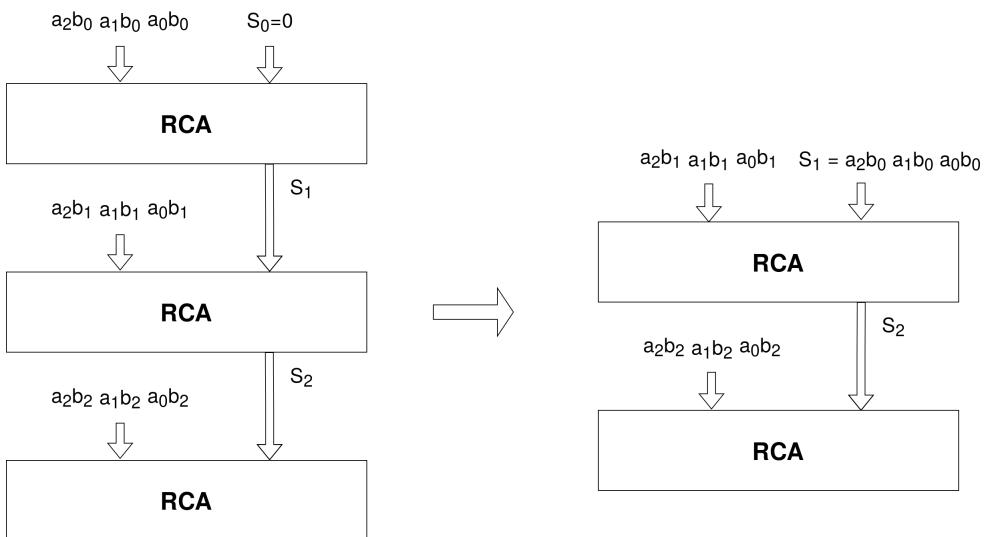


Figura 11.14: Ripple Carry Multiplier realizzato tramite RCA.

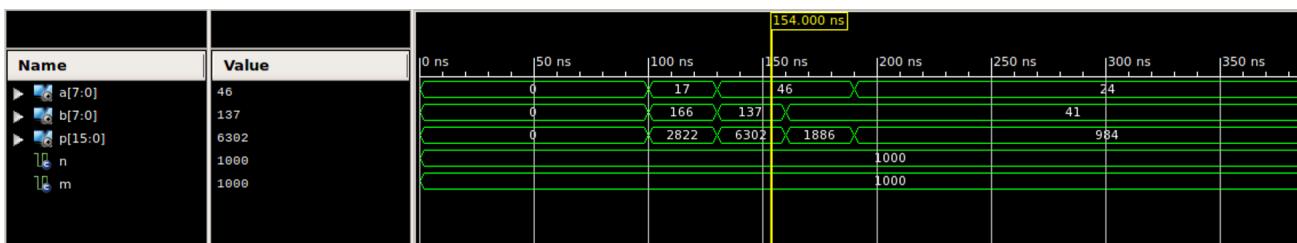


Figura 11.15: Simulazione behavioural del moltiplicatore RCM.

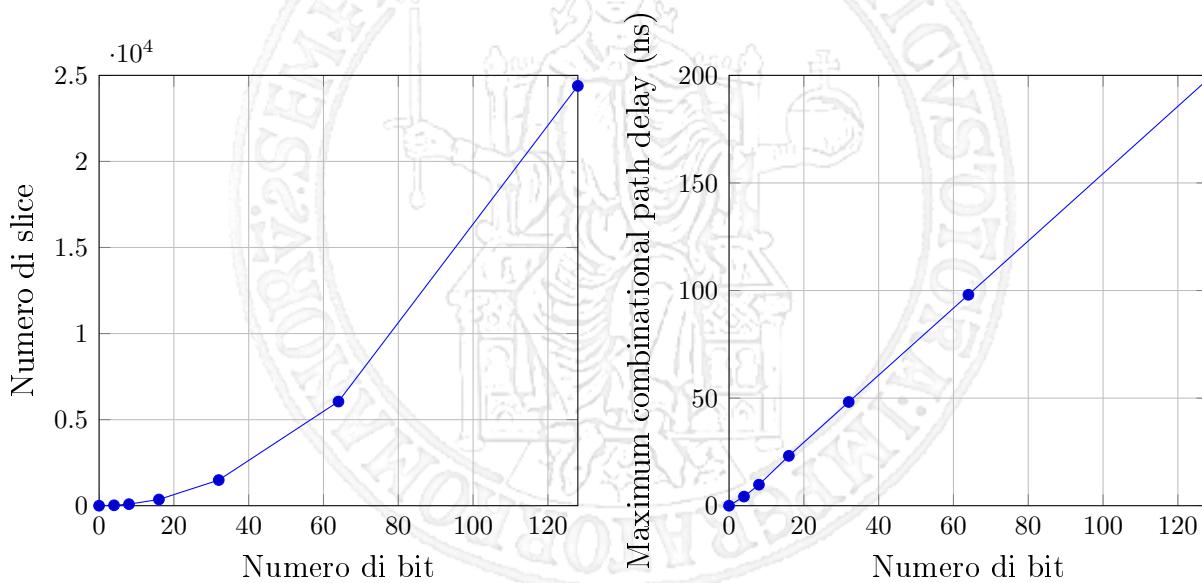


Figura 11.16: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

I risultati ottenuti variano in maniera molto simile a quelli del moltiplicatore a celle MAC al variare del numero di bit: tuttavia, questo componente ha prestazioni migliori sia in termini di area che di tempi. Questo è probabilmente dovuto al fatto che, in tale implementazione, la matrice dei prodotti parziali e le somme parziali sono calcolate separatamente, permettendo alla board di ottimizzare ulteriormente il componente in fase di sintesi utilizzando a pieno la matrice di interconnessione tra i CLB presenti nell'FPGA.



Capitolo 12

Divisori

Nota: degli esercizi 1 e 2 occorre farne almeno uno, mentre l'altro è lasciato opzionale.

1. Realizzare in hardware l'algoritmo della divisione Restoring per operandi ad 8 bit. L'architettura deve essere realizzata sulla base dello schema di progettazione PO/PC (Parte Operativa e Parte di Controllo).
2. Realizzare in hardware l'algoritmo della divisione Non Restoring per operandi ad 8 bit. L'architettura deve essere realizzata sulla base dello schema di progettazione PO/PC (Parte Operativa e Parte di Controllo).

12.1 Restoring division

12.1.1 Architettura

Per poter realizzare un divisore con tecnica *restoring* si è fatto riferimento al modello PO/PC utilizzando i seguenti componenti:

- Unità di controllo
- Contatore
- Registro M (per contenere il divisore Y)
- Registri A e Q scan chain (per contenere rispettivamente il resto parziale e il dividendo X)
- Un flip flop Q0
- Un addizionatore Ripple Carry Adder AddSub
- Porta NOT
- Un multiplexer

Lo schema strutturale è riportato in fig.12.1:

Essendo tale divisore una macchina sequenziale, sono stati dapprima definiti gli stati della macchina per la realizzazione della parte di controllo. L'automa a stati finiti è raffigurato in fig.12.2 e prevede i seguenti stati:

- Idle: la macchina permane in questo stato finchè non giunge un segnale di *start*;
- Init: in questo stato vengono inizializzati i registri e si resetta il contatore;
- Test: in questo stato si determina se è necessario effettuare l'operazione di *restoring* (caso resto parziale negativo);
- set_q0: in tale stato si determina il valore del flip flop q0 in base all'uscita del multiplexer: posto *sel_q0* alto, l'uscita diventa pari all'inverso del segno del resto parziale;
- L-shift: in questo stato viene effettuato lo shift a sinistra dei registri A e Q, usando come *scan_in* il valore q0;
- Sub: in questo stato si effettua un'operazione di sottrazione tra A e il moltiplicando;
- Sum: in questo stato si effettua l'operazione di somma *restoring*;

12.1.2 Implementazione

Per l'implementazione di tale componente si è utilizzata una descrizione di tipo structural, collegando opportunamente i componenti descritti precedentemente. In particolare si riporta l'interfaccia del componente divisore:

```

1  entity restoring_divider is
2      generic ( n : integer := 8 );
3      Port ( Reset_n : in STD_LOGIC;
4              clock    : in STD_LOGIC;
5              start    : in STD_LOGIC;
6              X        : in STD_LOGIC_VECTOR (n-1 downto 0);
7              Y        : in STD_LOGIC_VECTOR (n-1 downto 0);
8              stop     : out STD_LOGIC;
9              Q        : out STD_LOGIC_VECTOR (n downto 0);
10             R        : out STD_LOGIC_VECTOR (n-1 downto 0);
11         );
12 end restoring_divider;

```

Codice Componente 12.1: Implementazione del Restoring divider.

L'implementazione completa del moltiplicatore è consultabile qui: [restoring_divider.vhd](#)

12.1.2.1 Parte di controllo

In particolare, per quanto riguarda la parte di controllo, questa è stata realizzata mediante una *control_unit* implementata come FSM in descrizione behavioural, seguendo l'automa a stati finiti visto precedentemente. Di seguito è riportato il comportamento della macchina nello stato di test:

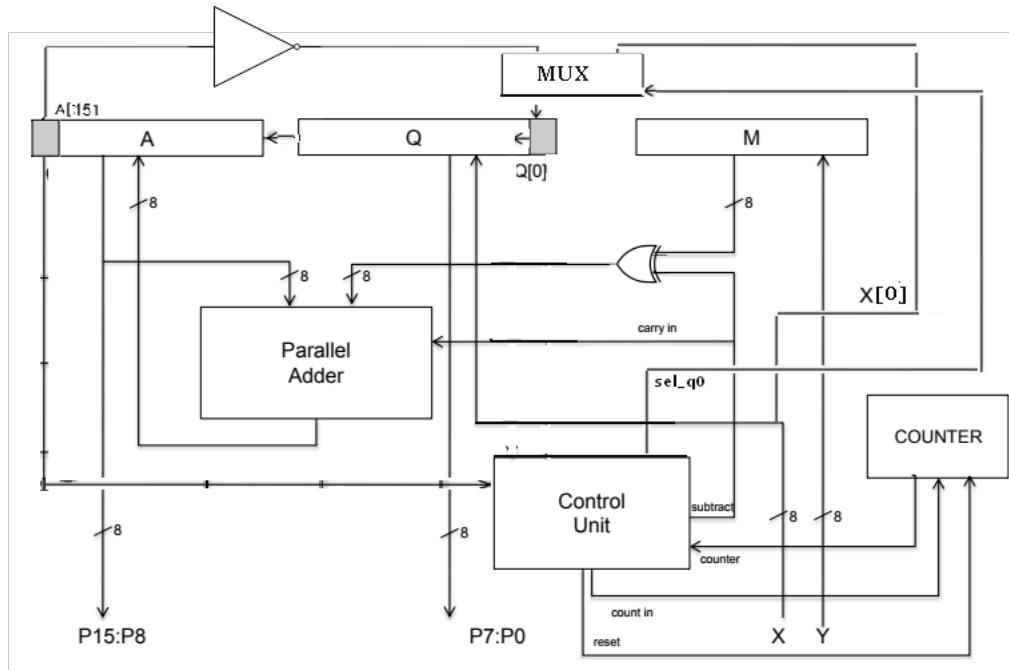


Figura 12.1: Architettura del divisore con tecnica restoring.

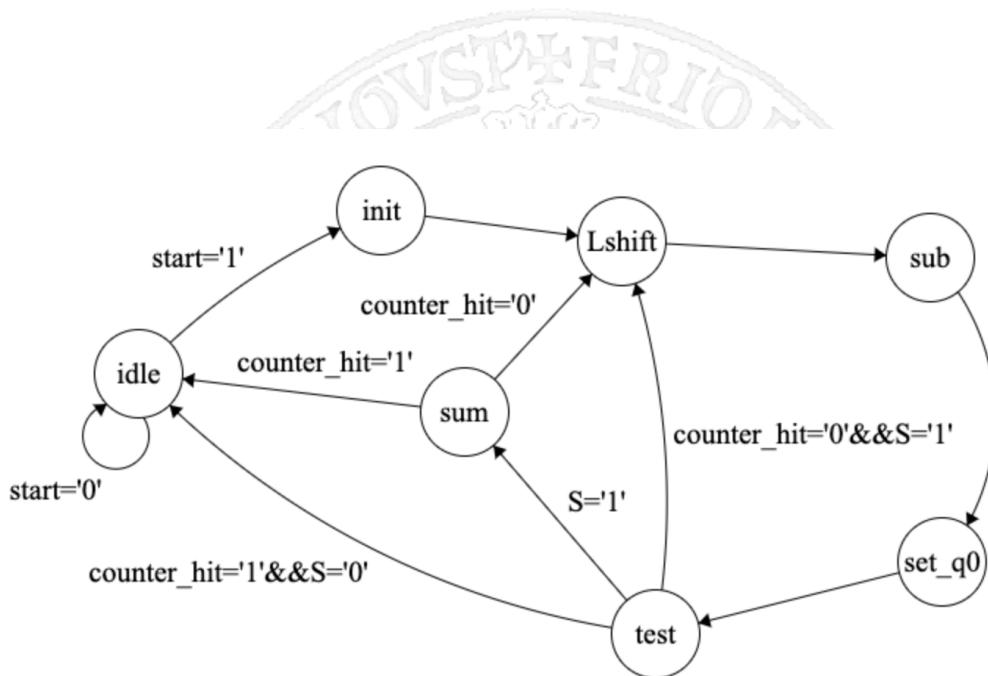


Figura 12.2: Automa a stati finiti (Restoring divider).

```

1 when test=>
2   if S='1' then
3     current_state<=sum;
4   else
5     count_in<='1';
6
7   if counter_hit='1' then
8     current_state<=idle;
9   else
10    current_state<=lshift;
11  end if;
12 end if;

```

Codice Componente 12.2: Implementazione dello stato di test del Restoring divider.

L'intera implementazione dell'unità di controllo del restoring divider è consultabile qui: [restoring_divider_control_unit.vhd](#)

12.1.2.2 Parte operativa

Il funzionamento della parte operativa è il seguente: inizialmente, il dividendo X e il divisore Y vengono caricati rispettivamente nei registri Q e M. In coda al registro Q, invece, viene posto il flip flop Q0 che determina il valore da inserire in Q in caso di shift a sinistra: Q0 sarà pari all'opposto del valore del segno del resto parziale in A. Le operazioni di somma vengono effettuate utilizzando il Ripple Carry Adder AddSub, che si occuperà di effettuare la differenza tra il contenuto del registro A (resto parziale) e il moltiplicatore. Per quanto concerne l'uscita, il quoziente sarà presente nel registro Q, mentre il resto in A.

12.1.3 Simulazione e sintesi

Per tale componente è stata effettuata una simulazione behavioural: i valori di X e Y sono stati posti, rispettivamente, a 200 e 18. Una volta dato lo start, la macchina inizia ad effettuare le dovute operazioni fino a quando stop non diventa alto: in Q viene riportato il quoziente 11, e in A il resto 2. I risultati ottenuti sono osservabili in fig.12.3.

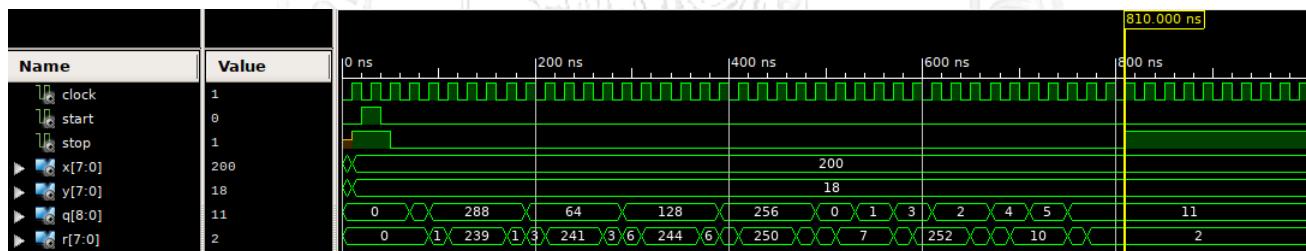


Figura 12.3: Simulazione behavioural del Restoring divider.

Si è proceduto infine alla sintesi del componente utilizzando diversi valori di lunghezza delle stringhe di bit. Essendo tale macchina sequenziale e dunque clockata, piuttosto che il *maximum combinational path delay* è stato valutato il *minimum period* di funzionamento (ossia l'inverso della frequenza massima). I risultati sono riportati in fig.12.4.

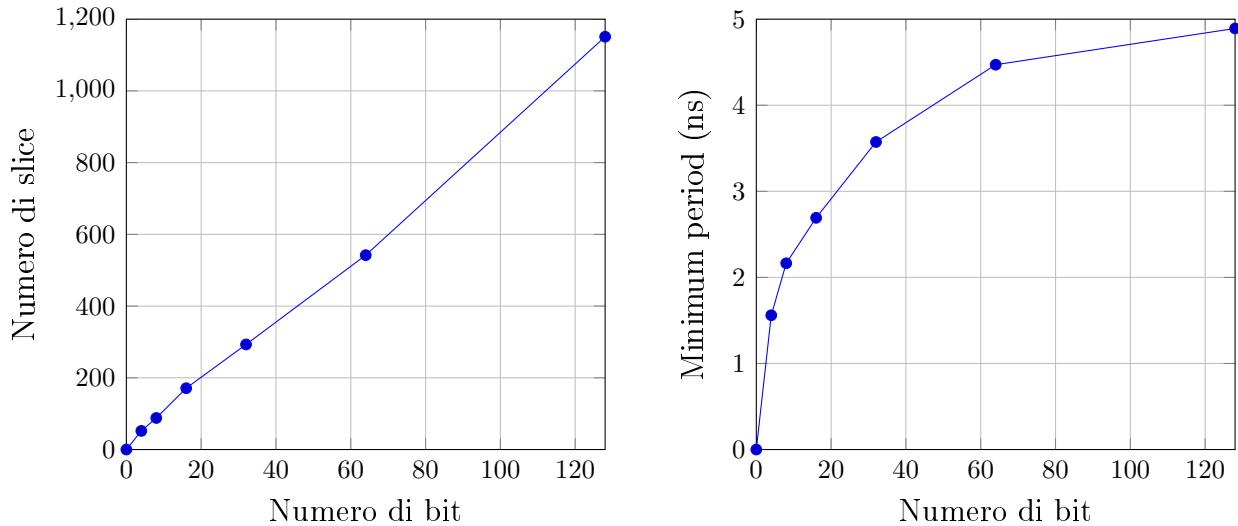


Figura 12.4: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

Per tale sintesi, ISE ha scelto come algoritmo ottimale di codifica degli stati quello *Sequential*. Per quanto concerne le prestazioni, i risultati sono molto simili a quelli ottenuti con il moltiplicatore di Robertson. In particolare, all'aumentare dei bit l'area aumenta piuttosto linearmente, mentre i tempi in maniera logaritmica.

12.2 Non-restoring division

12.2.1 Architettura

Per poter realizzare un divisore con tecnica *non-restoring* si è fatto riferimento al modello PO/PC utilizzando gli stessi componenti della tecnica *restoring*. Dopodiché sono stati definiti gli stati della macchina per la realizzazione della parte di controllo. L'automa a stati finiti è raffigurato in fig.12.5 e prevede i seguenti stati:

- Idle: la macchina permane in questo stato finché non giunge un segnale di *start*;
- Init: in questo stato vengono inizializzati i registri e si resetta il contatore;
- Set_q0: in tale stato si determina il valore del flip flop q0 in base all'uscita del multiplexer e si decide se continuare con gli shift o passare a Endsum;
- L-shift: in questo stato viene effettuato lo shift a sinistra dei registri A e Q, usando come scan_in il valore q0;
- SumSub: in questo stato si effettuano le operazioni di addizione o sottrazione, scelta in base al segno di A;
- Endsum: in questo stato si determina se è necessario effettuare l'operazione finale di somma prima di tornare in Idle;

12.2.2 Implementazione

Per l'implementazione di tale componente si è utilizzata una descrizione di tipo structural, collegando opportunamente i componenti descritti precedentemente. In particolare si riporta l'interfaccia del componente divisore, del tutto analoga a quella del restoring divider:

```

1  [...]
2  entity non-restoring_divider is
3      generic ( n : integer := 8 );
4      Port ( X          : in STD_LOGIC_VECTOR (n-1 downto 0);
5              Y          : in STD_LOGIC_VECTOR (n-1 downto 0);
6              Q          : out STD_LOGIC_VECTOR (n downto 0);
7              R          : out STD_LOGIC_VECTOR (n-1 downto 0);
8              Reset_n    : in STD_LOGIC;
9              clock      : in STD_LOGIC;
10             start     : in STD_LOGIC;
11             stop      : out STD_LOGIC
12         );
13 end non-restoring_divider;
14 [...]
```

Codice Componente 12.3: Implementazione del Non-restoring divider.

L'implementazione completa del moltiplicatore è consultabile qui: [non_restoring_divider.vhd](#)

12.2.2.1 Parte di controllo

In particolare, per quanto riguarda la parte di controllo, questa è stata realizzata mediante una `control_unit` implementata come FSM in descrizione behavioural, seguendo l'automa a stati finiti visto precedentemente. Di seguito è riportato il comportamento della macchina nello stato di `set_q0`:

```

1  [...]
2  when set_q0=>
3      en_q0<='1';
4      if counter_hit='1' then
5          current_state<=endsum;
6      else
7          count_in<='1';
8          current_state<=lshift;
9      end if;
10     [...]
```

Codice Componente 12.4: Implementazione dello stato di set_{q0} del Restoring divider.

L'intera implementazione dell'unità di controllo del restoring divider è consultabile qui: [non_restoring_divider_control_unit.vhd](#)

12.2.2.2 Parte operativa

Il funzionamento della parte operativa è il seguente: inizialmente, il dividendo X e il divisore Y vengono caricati rispettivamente nei registri Q e M. In coda al registro Q, invece, viene posto il flip flop Q0 che determina il valore da inserire in Q in caso di shift a sinistra: Q0 sarà pari all'opposto del valore del segno del resto parziale in A. Le operazioni di somma e differenza vengono effettuate utilizzando il Ripple Carry Adder AddSub, che si occuperà di effettuare la differenza tra il contenuto del registro A (resto parziale) e il moltiplicatore: se questa risulta negativa, si effettuerà una somma all'istante successivo, altrimenti una differenza. Per quanto concerne l'uscita, il quoziente sarà presente nel registro Q, mentre il resto in A.

12.2.3 Simulazione e sintesi

Per tale componente è stata effettuata una simulazione behavioural: i valori di X e Y sono stati posti, rispettivamente, a 228 e 10. Una volta dato lo start, la macchina inizia ad effettuare le dovute operazioni fino a quando stop non diventa alto: in Q viene riportato il quoziente 22, e in A il resto 8. I risultati ottenuti sono osservabili in fig.12.6.

Si è proceduto infine alla sintesi del componente utilizzando diversi valori di lunghezza delle stringhe di bit. Come per il divisore *restoring*, si sono valutati il *minimum period* di funzionamento (ossia l'inverso della frequenza massima) e il numero di *slices*. I risultati sono riportati in fig.12.7.

Per tale sintesi, ISE ha scelto come algoritmo ottimale di codifica degli stati quello *One-hot*, probabilmente per la presenza di uno stato in meno rispetto all'algoritmo restoring. Le prestazioni sono analoghe al caso restoring, senza particolari differenze tra le due.



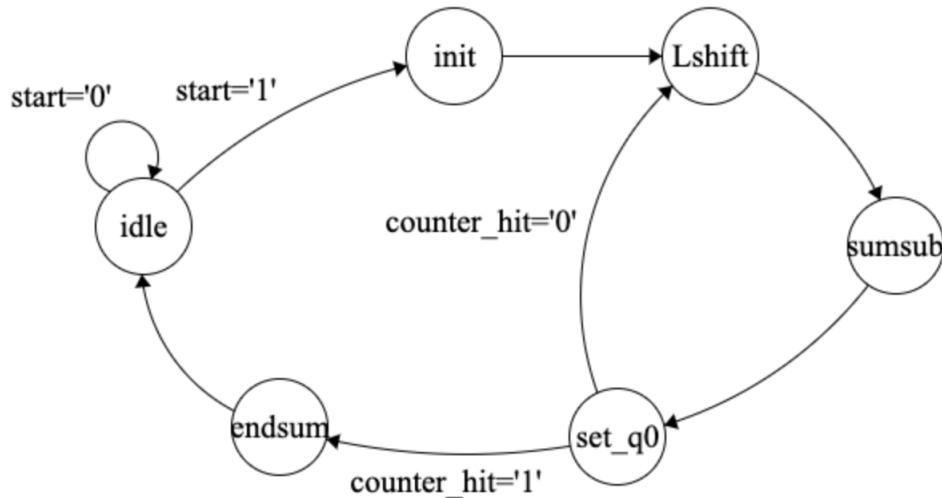


Figura 12.5: Automa a stati finiti (Non-restoring divider).

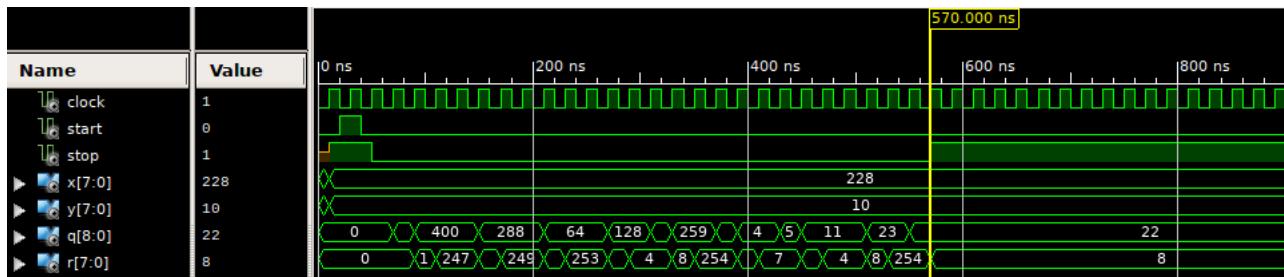


Figura 12.6: Simulazione behavioural del Non-restoring divider.

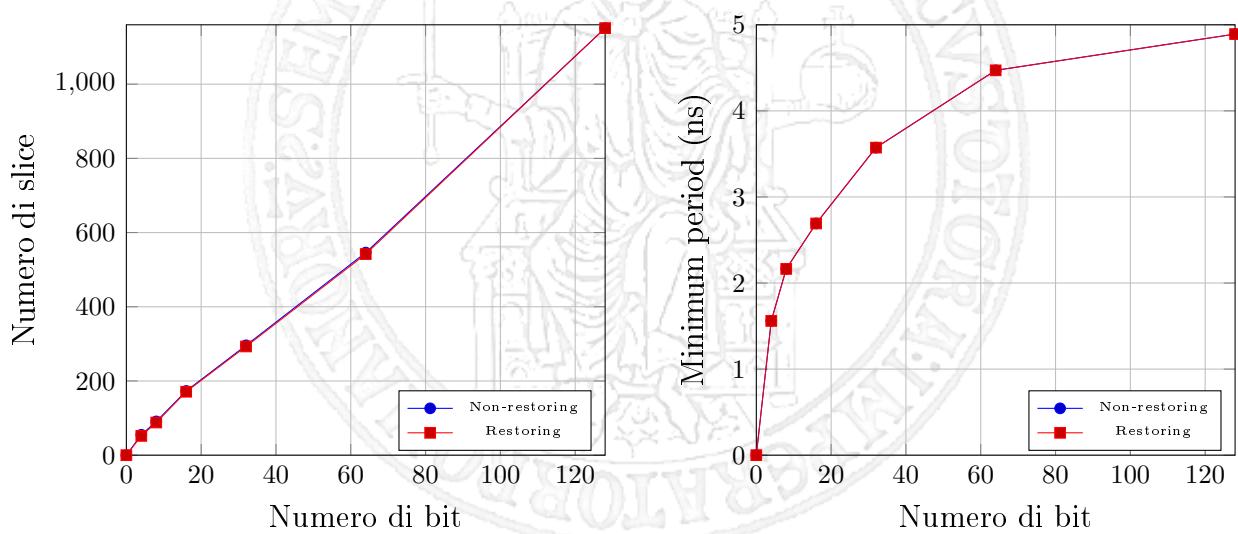


Figura 12.7: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

Capitolo 13

UART

Realizzare un dispositivo VHDL che implementa il protocollo UART (a partire da quello diffuso dalla Digilent). Collegare internamente, oppure tramite interfaccia fisica esterna alla board stessa, ad un'altra board oppure ad un PC previo utilizzo di un physical RS232, due interfacce per trasmettere e ricevere ottetti. Svolgere l'esercizio riutilizzando il VHDL messo a disposizione da Digilent (e disponibile nel materiale del corso) commentando eventuali ristrutturazioni del codice. (Opzionale) Sviluppare un'architettura per l'implementazione del protocollo UART secondo il paradigma PO/PC ex-novo, evidenziando le similarità/dissimilarità con il progetto Digilent.

13.1 Realizzazione behavioural

Per implementare il protocollo UART sulla board Nexys 4 è stato utilizzato il codice fornito. Le due entità *uart_rx* e *uart_tx* sono state realizzate tramite descrizione *behavioural*. *Uart_tx*, che si occupa della trasmissione, è stata realizzata come fsm con 4 stati:

- idle - stato iniziale di pausa, in cui si permane finché non bisogna trasmettere un byte;
- start - stato di preparazione, in cui si trasmette un segnale basso per iniziare la trasmissione;
- send - stato di trasmissione, in cui si inviano i singoli bit del byte mantenendoli sulla linea per 16 ticks;
- stop - stato di fine trasmissione, in cui si invia il segnale di stop (di durata *stop_ticks*) prima di tornare in idle.

Uart_rx, invece,

- idle - stato iniziale di pausa, in cui si permane finché non si abbassa il segnale di mark;
- start - stato di preparazione, in cui si stabilisce l'offset del contatore dei tick per il campionamento dei bit ricevuti;
- receive - stato di ricezione, in cui si campionano i singoli bit del byte ricevuti ogni 16 ticks;
- stop - stato di fine trasmissione, in cui si aspetta il segnale di stop (di durata *stop_ticks*) prima di tornare in idle.

Tale implementazione non è di tipo commerciale, in quanto non prevede la possibilità di effettuare un controllo di parità né di utilizzare alcun tipo di controllo di flusso. Le implementazioni complete delle entity sono consultabili qui: `uart_rx.vhd`, `uart_tx.vhd`.

Dopodiché è stata realizzata la top level entity `uart`, in grado sia di trasmettere che di ricevere. Per impostare i valori in ingresso e in uscita alle due entità, si sono usati dei buffer I/O con un flag che indica lo stato del buffer. In particolare ci interessa sapere se il buffer in ingresso è pieno e quindi il byte deve essere ancora trasmesso o se il buffer in uscita è vuoto e quindi ancora si deve ricevere il nuovo byte. Lo schema della top level entity è visualizzabile in fig.13.1. L'implementazione completa è consultabile qui: `uart.vhd`.

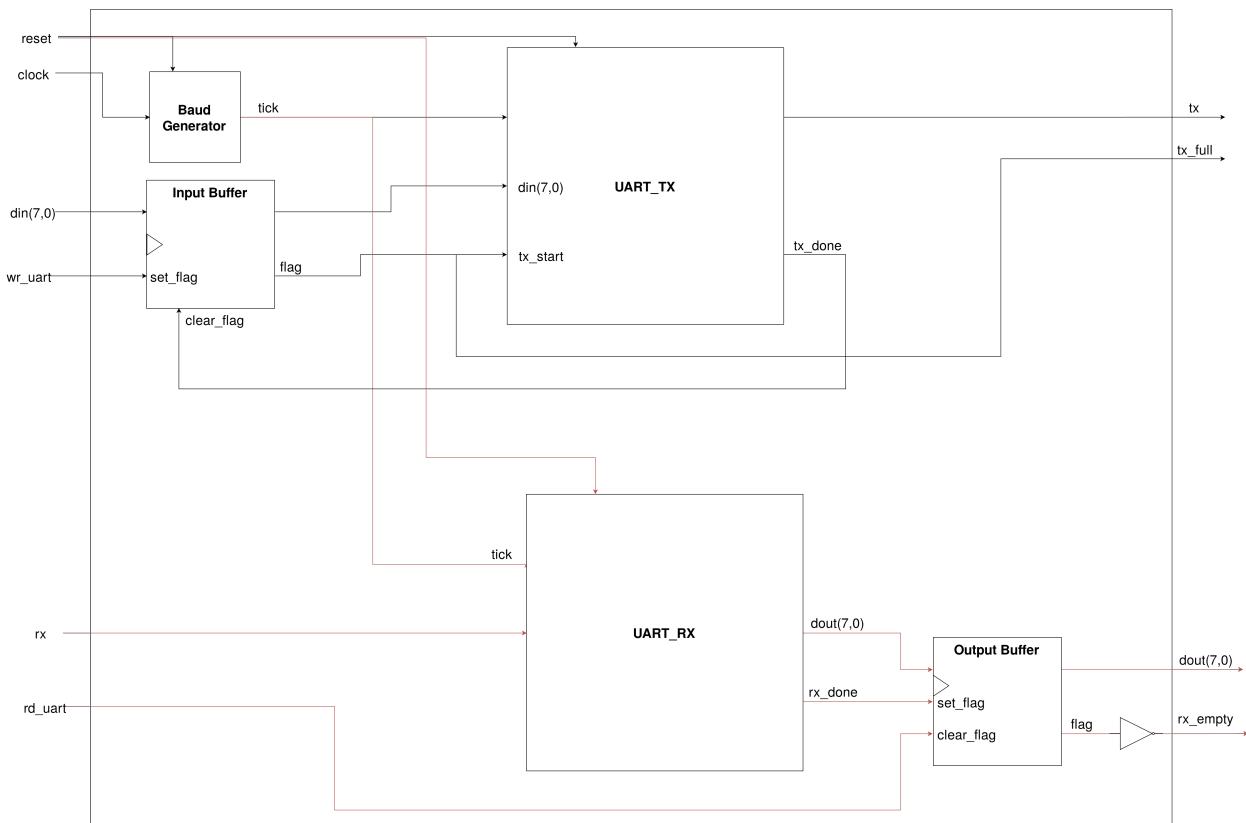


Figura 13.1: Architettura dell'UART.

13.1.1 On board

Per testare il funzionamento dell'UART sulla board, si è deciso di effettuare una comunicazione seriale da PC a board. Sulla board è stata sintetizzata l'entità `uart_onBoard`, su cui è stata istanziato il componente `uart`: si sono utilizzate le linee di ricezione e di trasmissione del convertitore FT2232HQ della board, collegate alle porte D4 e C4, per poter usare UART con una connessione USB (fig.13.2).

Ai fini del test, si è scelto di far coincidere il buffer di ricezione con quello di invio, in modo tale da far funzionare la board con un comportamento “echo” (la board rispedisce ciò che riceve).

Per fare ciò, si è settato *din* pari a *dout* e *wr_uart* pari all'inverso di *rx_empty*:

```

1 [...] 
2 uart_inst : uart port map (
3     clock      => clock,
4     reset      => reset,
5     rx         => rx,
6     rx_empty   => rx_empty_int,
7     tx         => tx,
8     wr_uart   => not rx_empty_int,
9     din       => dout,
10    tx_full   => tx_full_int,
11    rd_uart   => not tx_full_int,
12    dout      => dout
13 );
14 [...]

```

Codice Componente 13.1: Istanza di UART in *uart_onBoard*.

Sul PC invece si è effettuata la comunicazione UART con la board tramite l'utilizzo di un semplice terminale. Prima di tutto, con *sudo stty -F /dev/ttyUSB1 9600* si setta il baud rate appropriato. Dopodiché per trasmettere si utilizza il comando *printf "messaggio" > /dev/ttyUSB1* per scrivere una stringa sul file relativo alla connessione USB alla board collegata. Per controllare i messaggi ricevuti dalla board, invece, si utilizza *tail -f /dev/ttyUSB1* per leggere le ultime righe dello stesso file. Il risultato della simulazione è visibile in fig.13.3. Si noti inoltre come si sia utilizzato il display a 7 segmenti per visualizzare il messaggio: in particolare, possiamo osservare l'ultimo carattere ricevuto in codifica esadecimale ASCII. Ad esempio, inviando “a”, il display mostrerà “61”. L'implementazione completa è consultabile qui: *uart_onBoard.vhd*.

13.2 Realizzazione PO/PC

Si è deciso di realizzare un'ulteriore implementazione dell'UART tramite modello PO/PC. In particolare, dapprima sono state realizzate due control unit, rispettivamente per *uart_rx* e *uart_tx*, che realizzeranno la parte di controllo delle due entità. La loro realizzazione è stata del tutto simile al caso behavioural: in particolare, si sono realizzate due FSM con gli stessi stati del caso precedente. Per gestire i conteggi, invece, si sono utilizzati dei contatori istanziati nella parte operativa delle due entità, in modo da rispettare il paradigma di separazione del modello PO/PC. I contatori utilizzati sono:

- counter_tick - per contare i tick e decidere quando trasmettere/campionare i segnali;
- counter_stopticks - per contare i tick da attendere a fine trasmissione/ricezione;
- counter_n_bits - per contare il numero di bit trasmessi/ricevuti.

Oltre a questi, usiamo anche il baud generator, del tutto analogo a quello utilizzato nell'implementazione behavioural. La parte operativa include anche i registri buffer input/output, stavolta inclusi nelle entità *uart_rx* e *uart_tx* piuttosto che in quella di alto livello. Per realizzare

questi buffer, piuttosto che il componente usato nel capitolo precedente, si sono utilizzate due scan chain (per fare gli shift dei dati ricevuti e trasmessi) con due flip flop usati come flag dei buffer:

```

1  [...]
2 received_byte_reg: scan_chain
3   generic map (
4     width    => data_bits
5   ) port map (
6     clock    => read_rx,
7     en       => enable,
8     scan_en  => '1',
9     scan_in   => rx,
10    d_reg    => ( others => '0' ),
11    scan_out  => open,
12    q_reg    => received_byte,
13    reset_n   => '1'
14  );
15 flag_FF_inst: flag_FF
16   port map(
17     clock      => clock,
18     reset      => '0',
19     clr_flag   => rd_uart,
20     set_flag   => rx_done,
21     flag       => rx_empty_int
22  );
23 [...]
```

Codice Componente 13.2: Buffer output realizzato con scan chain e flip flop.

Grazie alla scan chain, in trasmissione il dato può essere inserito nel buffer in parallelo e spedito in seriale (o ricevuto in seriale ed estratto dal buffer in parallelo, nel caso della ricezione). Le architetture delle entità *uart_rx* e *uart_tx* sono visualizzabili in fig.13.4. Le implementazioni complete delle entity sono consultabile qui: *uart_rx.vhd*, *uart_tx.vhd*.

Per quanto concerne l'entità di alto livello, ancora una volta sono state istanziate le due entità *uart_rx* e *uart_tx* in modo analogo al caso behavioural, senza però usare i due buffer in quanto sono incluse nelle due entità di più basso livello. L'implementazione completa della top level entity è consultabile qui: *uart.vhd*.

13.2.1 On board

L'entità on board è stata realizzata in maniera del tutto analoga al caso precedente. L'unica eccezione è che si è deciso di utilizzare un registro per sostenere i valori in ingresso al display a 7 segmenti. L'implementazione completa della top level entity è consultabile qui: *uart_onBoard.vhd*.

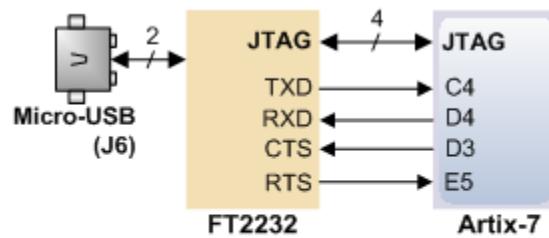


Figure 6. Nexys4 DDR FT2232HQ connections.

Figura 13.2: Convertitore FT2232HQ UART-USB.

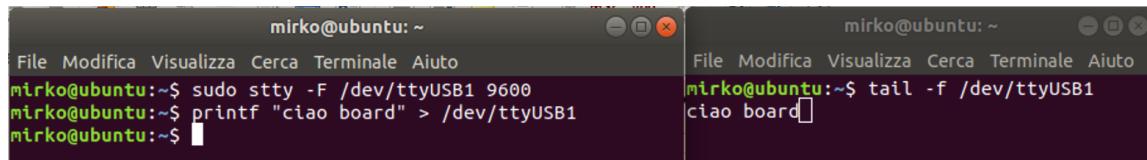


Figura 13.3: Test di comunicazione UART PC-board.

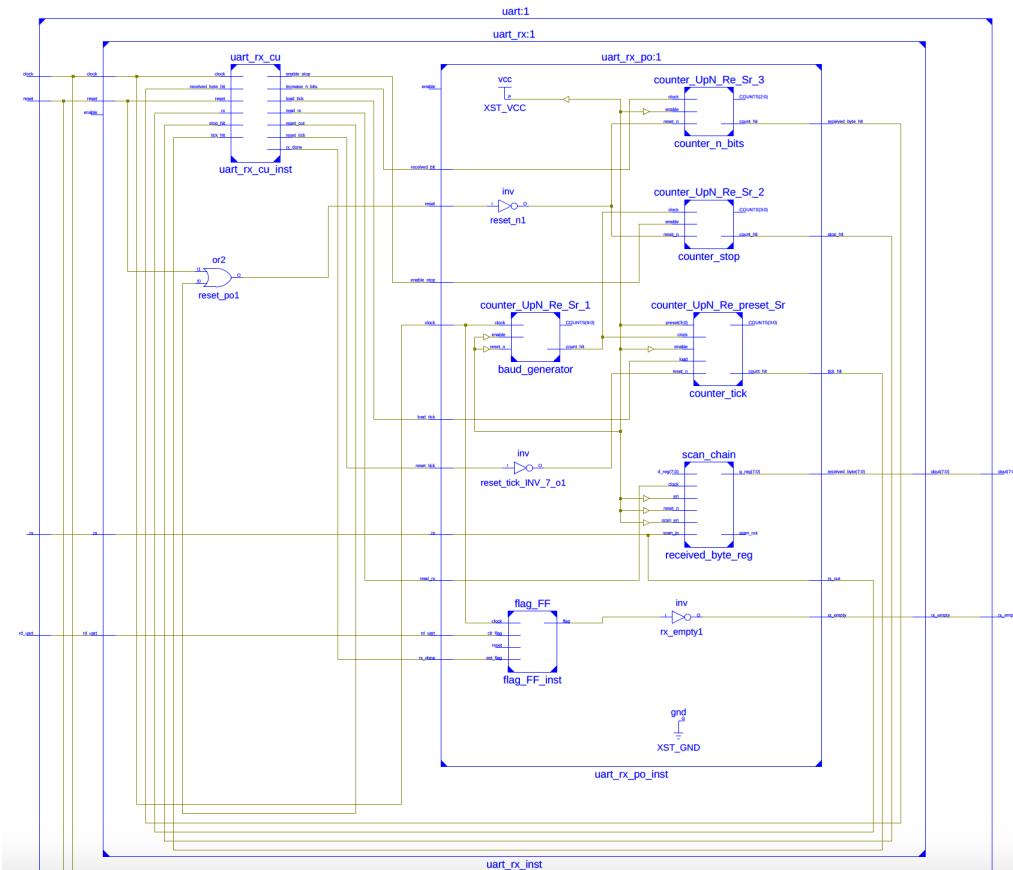
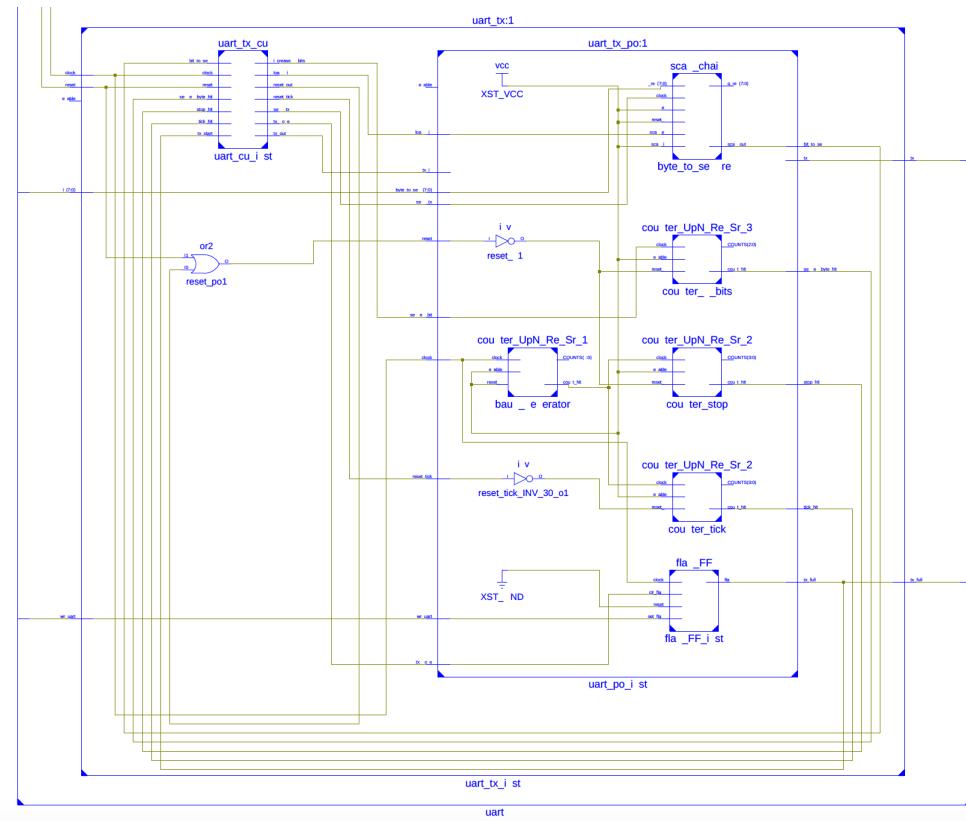


Figura 13.4: Architettura di uart_rx.

Figura 13.5: Architettura di `uart_tx`.

Capitolo 14

MIC1

1. Realizzare la sintesi di un'architettura MIC, di cui sono forniti i codici VHDL e gli strumenti di sviluppo, completando un ciclo di sviluppo. Effettuare, inoltre, la sostituzione del dispositivo per la comunicazione UART utilizzando, invece, led e switch delle board FPGA sfruttando le istruzioni di IN e OUT.
2. (Opzionale) Fornire l'implementazione di un I/O generico per il quale, dalle istruzioni di IN e OUT, è possibile utilizzare uno tra D dispositivi disponibili (e.g. led, switch, push buttons, UART).

14.1 Sintesi del codice fornito

Per lo svolgimento di questo esercizio, è stato usato il codice fornитоci nel materiale del corso per l'implementazione in VHDL del MIC1. In particolare, tale implementazione prevede l'esecuzione di un'operazione di moltiplicazione e di divisione tra due operandi, restituendo prodotto, quoziente e resto. Per effettuare la comunicazione con tale architettura, è stato sfruttato il componente UART per la comunicazione seriale: una volta forniti i due operandi, la macchina ci restituisce i risultati indicati precedentemente.

Come richiesto, tale macchina è stata sintetizzata su board Nexys 4: in particolare, per migliorarne le prestazioni e sfruttare al massimo le potenzialità della board Nexys 4 fornитоci, si è deciso di generare un clock a frequenza 100 Mhz per il funzionamento della macchina (fig.14.1) e si è opportunamente aggiornato il valore del contatore del *baud generator* dell'UART e l'ucf. Tale valore di frequenza è superiore ai 5 Mhz utilizzati nel codice fornитоci, scelti dal progettista originale per la sintesi su board Nexys 2.

Dopodiché si è proceduto alla sintesi: come previsto, comunicando da PC con l'UART della board tramite USB grazie al convertitore FT2232HQ, è stato possibile utilizzare un comune terminale per comunicare gli operandi e leggere il risultato dell'operazione. A tale fine, è stato realizzato un semplice script Python che, passando come parametri in ingresso il device e il baud rate desiderato, permette di inviare in seriale i parametri richiesti (eliminando spazi e caratteri speciali) e di leggere i risultati ricevuti. I risultati di tale prova sono visibili in fig.14.2.

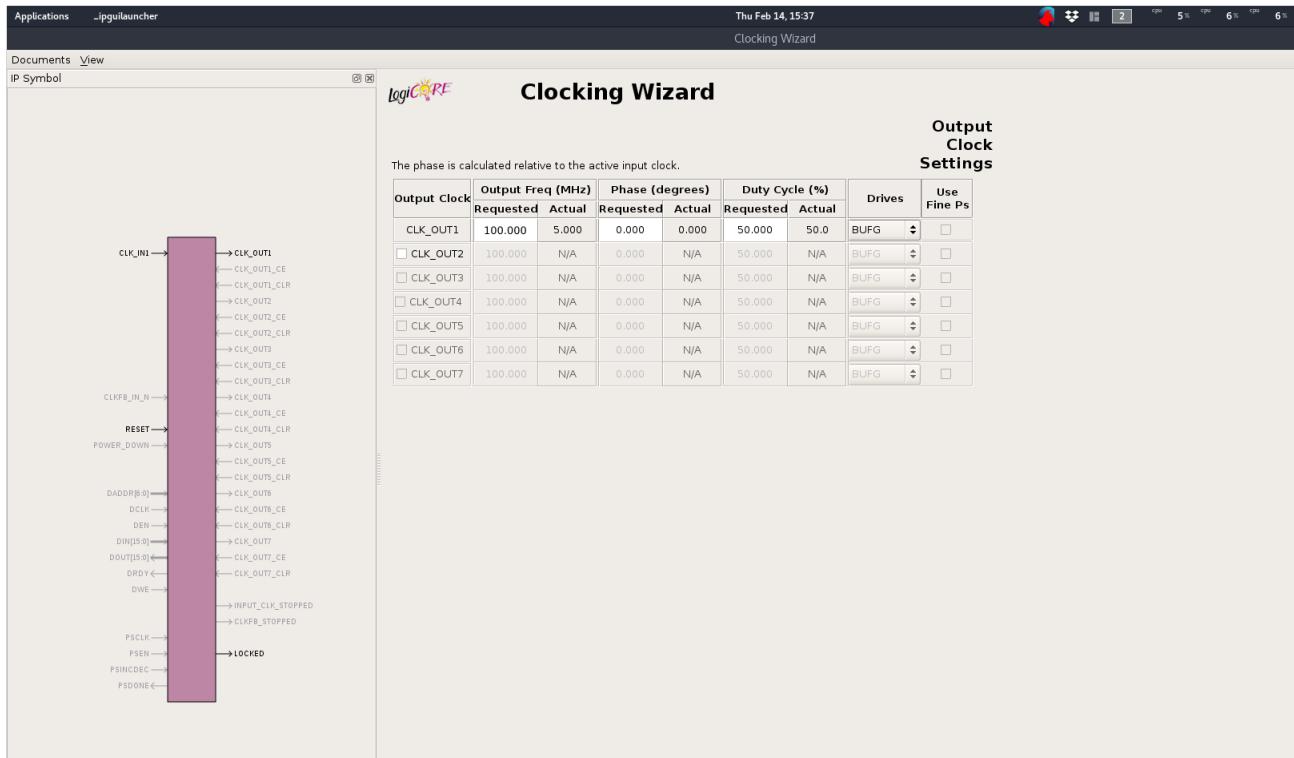


Figura 14.1: Generazione del clock.

```
<--{jiin995}-->@jiin995-port:~/ASE_WorkSpace/PythonTerminal_Mic1 $ 14:17:34
--(>)--> python terminal.py /dev/ttyUSB1 9600 false
[Terminal] : /dev/ttyUSB1
[Terminal] : 9600
[Terminal] : false
OP=08
08

OP=02
02

PRO=0016

QUO=0004

RES=0000
```

Figura 14.2: Test del MIC1 su terminale.

14.2 Sostituzione I/O

14.2.1 Architettura

Ai fini dell'esercizio, si è proceduto a modificare il codice per prevedere la possibilità di sostituire l'UART con un I/O generico mediante l'utilizzo dei seguenti dispositivi presenti sulla board:

- led - per visualizzare i risultati dell'elaborazione
- display a 7 segmenti - per visualizzare i risultati dell'elaborazione
- switch - per inserire gli operandi

Tramite l'utilizzo dello switch 15 invece si piloterà un segnale *IO_SWITCH*, che ci permetterà di scegliere se utilizzare l'UART o una combinazione di led, switch e display come dispositivi di I/O della macchina.

14.2.2 Implementazione

Per realizzare tale architettura, si è deciso di aggiungere un nuovo componente all'entità *sistema_mic1* denominato *io_controller*: tale componente, oltre a contenere l'*io_uart* già presente nel sistema, conterrà anche un componente *io_switch_led_display* per la gestione degli switch, dei led e del display:

```

1 entity io_controller is
2   Port ( CLOCK      : in STD_LOGIC  := '0'; -- clock
3         IO_SWITCH   : in STD_LOGIC  := '0'; -- selettori componenti i/o ('1'
4                           per switch, display e led, '0' per uart)
5         CE          : in STD_LOGIC  := '0';
6         RD          : in STD_LOGIC  := '0';      -- segnale di lettura
7         WR          : in STD_LOGIC  := '0';      -- segnale di scrittura
8         RXD         : in STD_LOGIC  := '1';
9         START_READ  : in STD_LOGIC  := '0';      -- avvia la lettura
10        SWITCH      : in STD_LOGIC_VECTOR (7 downto 0);
11        TXD         : out STD_LOGIC  := '1';
12        LEDS        : out STD_LOGIC_VECTOR (7 downto 0);
13        ANODES      : out STD_LOGIC_VECTOR (7 downto 0); --! Uscita che pilota
14                           gli anodi
15        CATHODES    : out STD_LOGIC_VECTOR (7 downto 0); --! Uscita che
16                           pilota i catodi
17        IO_MDR      : inout STD_LOGIC_VECTOR (31 downto 0) := "
18                           ZZZZZZZZZZZZZZZZZZZZZZZZZZZZZZZZZZ" --verso il data bus a 32 bit
19   );
20 end io_controller;

```

Codice Componente 14.1: Interfaccia dell'io controller.

Quando *CE* è alto, l'*io_controller* sceglierà se abilitare *io_uart* o *io_switch_led_display* a seconda del valore di *IO_SWITCH*. Inoltre, se si è scelto di usare l'UART, i led vengono spenti.

L'implementazione completa del componente è consultabile qui: [io_controller.vhd](#)

Per quanto concerne il componente *io_switch_led_display*, questo è stato realizzato seguendo la stessa logica di *io_uart*. In particolare, esso è stato realizzato come FSM con tre stati:

- *idle*;
- *reading* - in cui permarrà durante la lettura dal buffer (come con la ricezione nel caso UART);
- *read_done* - in cui finirà quando la lettura è terminata e il dato è disponibile sul buffer in output;

Dato il segnale *start_read*, la macchina andrà nello stato *reading* e verrà abbassato il segnale *zero_leggi_sig*: tale segnale funge da selettore per un multiplexer che definisce quale dato riportare sul data bus del MIC1 (*io_mdr*). In particolare, se *zero_leggi_sig*=’1’ si riporta una stringa di tutti zero, mentre se *zero_leggi_sig*=’0’ si riporterà sul data bus il dato letto nell’*input_buffer* esteso su 32 bit (ossia quello prelevato dagli switch o ricevuto dall’UART). In tutti gli altri casi (es. se *CE*=’0’, dispositivo di I/O disabilitato), verrà riportato un segnale di alta impedenza, per far sì che gli altri dispositivi abilitati e che condividono il data bus possano utilizzarlo:

```

1 io_mdr_sig <= (others => 'Z') when CE='0' else
2     x"00000000" when (CE='1' and rd='1' and zero_leggi_sig='1') else
3     (x"000000" & input_buffer) when (CE='1' and rd='1' and
4         zero_leggi_sig='0') else
      (others => 'Z');
```

Codice Componente 14.2: Multiplexer per la scelta del dato da mettere sul bus.

L'implementazione completa del componente è consultabile qui: [io_switch_led_display.vhd](#)

14.2.3 Sintesi

Per testare il componente, lo si è sintetizzato su board e si è proceduto ad effettuare le stesse operazioni del capitolo precedente. In particolare, dapprima si è alzato lo switch 15 per impostare come dispositivo di I/O gli switch, i led e il display. Dopodiché, sono stati forniti gli operandi su 8 bit tramite gli switch: una volta alzati, si preme sul bottone centrale (*start_read*) per avviare la lettura. Una volta inseriti entrambi gli operandi e premuto quindi il bottone centrale, sia sui led che sul display saranno visualizzati gli ultimi 8 bit dell’output buffer, ossia relativi al resto della divisione di cui si è discusso precedentemente (fig.14.3).

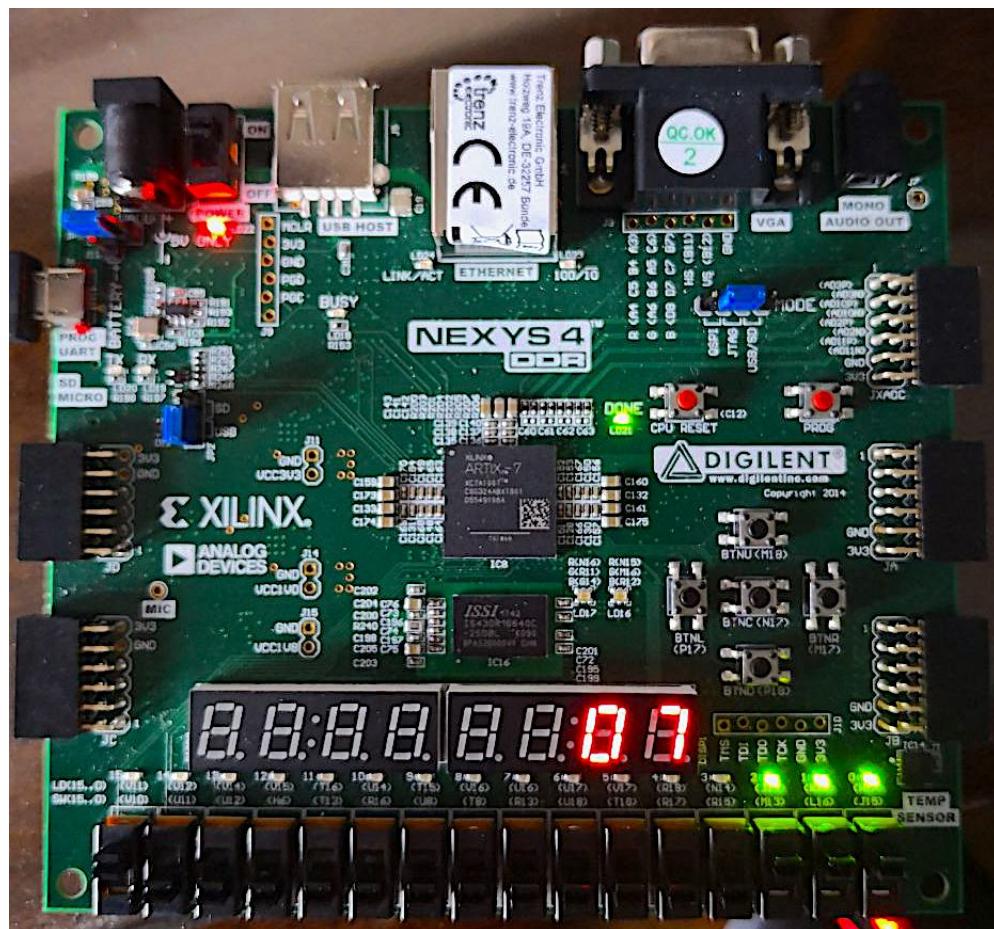


Figura 14.3: Test del MIC1 con switch, led e display come dispositivi I/O.