

0.1 Simulazione e sintesi

0.1.1 Simulazione

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati cambiati sia gli operandi in ingresso che il carry in ingresso. I risultati ottenuti sono osservabili in fig.1.

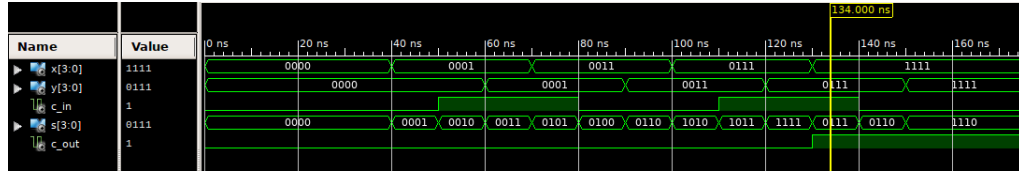


Figura 1: Simulazione behavioural del Ripple Carry Adder.

0.1.2 Sintesi

Si è proceduto poi alla sintesi del componente utilizzando diversi valori di lunghezza in bit delle stringhe, ottenuti cambiando il parametro generico *width*: a fronte di ogni valore *n* scelto, attraverso l'utilizzo del report di sintesi, sono stati ricavati i seguenti termini:

- *numero di slices*, relativo dunque all'area occupata;
- *maximum combinational path delay* (inteso come reciproco della massima frequenza di funzionamento), relativo dunque al ritardo.

I risultati, in funzione del numero di bit, sono riportati in fig.2.

Si noti come, nel caso dell'area, i risultati siano perfettamente coerenti con l'andamento lineare teorico già descritto precedentemente. Nel caso del *maximum combinational path delay*, invece, l'andamento risulta migliore nel caso

```
[group style=group size=2 by 1, horizontal sep=2cm, yticklabel style=font=,
  xticklabel style=font=] [legend style=font=, anchor=north, at=(0.70,0.16),
  xmin=0,xmax=128, ymin = 0, ymax = 900, grid=major, width=0.45
height=, xlabel= Numero di bit, ylabel=Numero di slice] coordinates (0,0) (4,
4) (8, 9) (16, 18) (32, 37) (64,74) (128, 147) ; [legend style=anchor=north,
at=(0.50,0.95), xmin=0,xmax=128, ymin = 0, ymax = 5, grid=major,
width=0.45height=, xlabel= Numero di bit, ylabel=Maximum combinational
path delay (ns)] coordinates (0,0) (4, 9.934) (8, 14.678) (16, 24.166) (32,
43.142) (64, 81.094) (128, 156.998) ;
```

Figura 2: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.

pratico che in quello teorico: ciò è dovuto al fatto che, in fase di sintesi, il tool effettua un'ottimizzazione dell'architettura del componente, sfruttando a pieno le matrici di interconnessione tra i CLB presenti nell'FPGA per ridurre i ritardi del circuito.

Si noti infine che, a fronte di sintesi del componente con un numero di bit maggiore di 32, il tool riporta il seguente warning: “*WARNING:Xst:1336 - (*) More than 100% of Device resources are used*”. Questo è dovuto al fatto che le risorse necessarie per sintetizzare il componente sulla board non sono sufficienti, e dunque tali risultati sono da considerarsi solo in teoria.