

0.1 Architettura

L'architettura del componente è mostrata in fig.1. I segnali in ingresso saranno:

- *clk* - segnale di clock per la tempificazione;
- *reset* - segnale di reset, per resettare il valore del display quando è alto (tramite pressione pulsante);
- *values* - segnale di 16 bit per determinare il valore da visualizzare sul display;
- *dots* - segnale di abilitazione su 4 bit per l'abilitazione dei punti decimali sul display;
- *enable_digit* - segnale di abilitazione su 4 bit per l'abilitazione degli 4 anodi corrispondenti alle 4 cifre sul display (logica 1-attivo);

I segnali in uscita saranno invece:

- *anodes* - segnale per l'abilitazione delle 4 cifre del display (0-attivo);
- *cathodes* - segnale per l'abilitazione dei segmenti di ogni cifra (0-attivo);

Il componente è stato realizzato tramite descrizione schematica: in particolare, i componenti realizzati ed utilizzati sono:

- *clock_divisor* - divisore di frequenza per il clock;
- *counter_mod2n* - contatore modulo 2^n , con $n=2$, per la selezione della cifra da attivare;
- *anodes_manager* - componente per la selezione degli anodi delle cifre da attivare, formato da un decoder 1-4;
- *cathod_manager* - componente per la selezione dei segmenti da attivare per ogni cifra, formato da un multiplexer 4-1 e un nibble selector/cathod coder.

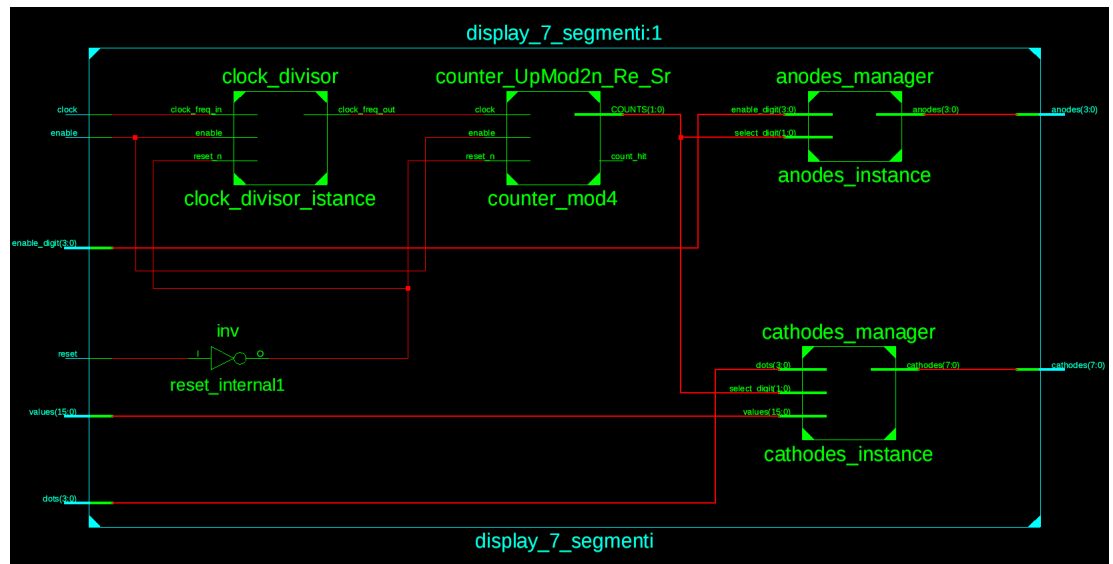


Figure 1: Schematic del latch RS abilitato.