

---

## 0.1 Flip-flop D edge-triggered

### 0.1.1 Traccia

Implementare e simulare un flip-flop D edge-triggered che commuta sul fronte di salita con reset asincrono.

### 0.1.2 Soluzione

#### 0.1.2.1 Implementazione

Il flip-flop D edge-triggered è stato realizzato tramite implementazione behavioural. Si noti come il process, sensibile solo al cambiamento di CLK e reset, porta il valore di D in Q solamente sul fronte di salita di CLK, descrivendo proprio il comportamento atteso del flip-flop. Nel caso in cui invece il reset venga portato al valore reset\_level, il valore di Q viene resettato a prescindere dal comportamento del clock (reset asincrono).

```
1 architecture behavioural of flipflop_d_risingEdge_asyncReset is
2   signal q_temp : STD_LOGIC :=init_value;
3 begin
4   q <= q_temp;
5   ff : process(clk, reset)
6   begin
7     if ( reset = reset_level ) then
8       q_temp <= init_value;
9     elsif ( rising_edge(clk) and (enable = enable_level) ) then
10      q_temp <= d;
11    end if;
12  end process ff;
13 end behavioural;
```

Codice Componente 1: Implementazione behavioural di un flip-flop D edge-triggered.

#### 0.1.2.2 Simulazione