

0.1 Simulazione e sintesi

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati cambiati sia gli operandi in ingresso che il carry in ingresso. I risultati ottenuti sono osservabili in fig.1.

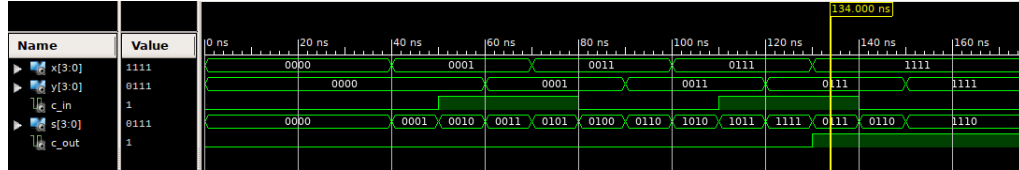


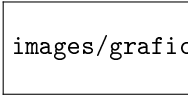
Figure 1: Simulazione behavioural del Ripple Carry Adder.

Si è proceduto poi alla sintesi del componente utilizzando diversi valori di lunghezza in bit delle stringhe, ottenuti cambiando il parametro generico *width*: a fronte di ogni valore *n* scelto, attraverso l'utilizzo del report di sintesi, sono stati ricavati i seguenti termini:

- *numero di slices*, relativo dunque all'area occupata;
- *minimum period* (inteso come reciproco della massima frequenza di funzionamento), relativo dunque al ritardo.

Si sono inoltre utilizzati due registri per i valori in ingresso ed in uscita, in modo tale da evitare eventuali ritardi dovuti all'utilizzo di blocchi I/O dell'FPGA che avrebbero potuto alterare i risultati dell'esperimento. I risultati, in funzione del numero di bit, sono riportati in fig.2. Si noti come, nel caso dell'area, i risultati siano perfettamente coerenti con l'andamento lineare teorico già descritto precedentemente. Nel caso del minimum period, invece, l'andamento risulta migliore nel caso pratico che in quello teorico: ciò è dovuto al fatto che, in fase di sintesi, il tool effettua un'ottimizzazione dell'architettura del componente, sfruttando a pieno le matrici di interconnessione tra i CLB presenti nell'FPGA per ridurre i ritardi del circuito.

```
[group style=group size=2 by 1, horizontal sep=2cm, yticklabel style=font=, xticklabel
style=font=] [legend style=font=, anchor=north, at=(0.70,0.16), xmin=0,xmax=128,
ymin = 0, ymax = 900, grid=major, width=0.5height=, xlabel= Numero di
bit, ylabel=Numero di slice] coordinates (0,0) (4, 19) (8, 42) (16, 96) (32, 227)
(64,411) (128, 844) ; [legend style=anchor=north, at=(0.50,0.95),
xmin=0,xmax=128, ymin = 0, ymax = 5, grid=major, width=0.5height=,
xlabel= Numero di bit, ylabel=Minimum period (ns)] coordinates (0,0) (4,
1.429) (8, 2.054) (16, 2.351) (32, 2.848) (64, 3.690) (128, 4.130) ;
```



images/grafici-sintesi.png

Figure 2: Grafici dei risultati ottenuti post-sintesi in funzione del numero di bit.