

carrySelect_addSub_onBoard

Corso di ASE anno 18/19

Gruppo 14

PREVITERA GABRIELE

PENNONE MIRKO

PENNA SIMONE

Contents

1	Class Index	1
1.1	Class List	1
2	File Index	3
2.1	File List	3
3	Class Documentation	5
3.1	anodes_manager Entity Reference	5
3.1.1	Detailed Description	5
3.1.2	Member Data Documentation	5
3.1.2.1	IEEE	6
3.1.2.2	STD_LOGIC_1164	6
3.2	carrySelect_adder Entity Reference	6
3.3	carrySelect_addSub Entity Reference	7
3.4	carrySelect_addSub_onBoard Entity Reference	7
3.4.1	Detailed Description	8
3.4.2	Member Data Documentation	8
3.4.2.1	IEEE	8
3.4.2.2	STD_LOGIC_1164	9
3.5	carrySelect_cell Entity Reference	9
3.6	cathodes_manager Entity Reference	9
3.6.1	Detailed Description	10
3.6.2	Member Data Documentation	10
3.6.2.1	IEEE	10

3.6.2.2	STD_LOGIC_1164	10
3.7	clock_divisor Entity Reference	10
3.7.1	Detailed Description	11
3.7.2	Member Data Documentation	11
3.7.2.1	STD_LOGIC_1164	11
3.8	counter_UpMod2n_Re_Sr Entity Reference	11
3.8.1	Detailed Description	12
3.8.2	Member Data Documentation	12
3.8.2.1	STD_LOGIC_1164	12
3.9	display_7_segmenti Entity Reference	12
3.9.1	Detailed Description	13
3.10	full_adder Entity Reference	13
3.10.1	Detailed Description	14
3.10.2	Member Data Documentation	14
3.10.2.1	IEEE	14
3.10.2.2	STD_LOGIC_1164	14
3.11	mux2_1 Entity Reference	14
3.11.1	Detailed Description	15
3.11.2	Member Data Documentation	15
3.11.2.1	STD_LOGIC_1164	15
3.12	overflow_checker Entity Reference	15
3.12.1	Detailed Description	16
3.12.2	Member Data Documentation	16
3.12.2.1	STD_LOGIC_1164	16
3.13	register_d_Re_Ar Entity Reference	16
3.13.1	Detailed Description	17
3.13.2	Member Data Documentation	17
3.13.2.1	STD_LOGIC_1164	17
3.14	rippleCarry_adder Entity Reference	18
3.14.1	Detailed Description	18
3.14.2	Member Data Documentation	18
3.14.2.1	c_in	18
3.14.2.2	c_out	18
3.14.2.3	S	19
3.14.2.4	STD_LOGIC_1164	19
3.14.2.5	width	19
3.14.2.6	Y	19

4	File Documentation	21
4.1	carrySelect_adder.vhd File Reference	21
4.1.1	Detailed Description	21
4.2	carrySelect_addSub.vhd File Reference	21
4.2.1	Detailed Description	22
4.3	display_7_segmenti.vhd File Reference	22
4.3.1	Detailed Description	22
	Index	23

Chapter 1

Class Index

1.1 Class List

Here are the classes, structs, unions and interfaces with brief descriptions:

entity anodes_manager	
Permette di gestire gli anodi associati ad ogni cifra(digit) di un display a 7 segmenti.	
Per accendere la cifra giusta(digit) è necessario che l'anodo sia 0, poichè gli anodi sono pilotati da segnali 0-attivi	5
entity carrySelect_adder	6
entity carrySelect_addSub	7
entity carrySelect_addSub_onBoard	
Uncomment the following library declaration if instantiating any Xilinx primitives in this code	7
entity carrySelect_cell	9
entity cathodes_manager	9
entity clock_divisor	
Filtra i fronti del clock ad una frequenza "clock_frequency_in" per averli ad una frequenza più bassa "clock_frequency_out"	10
entity counter_UpMod2n_Re_Sr	11
entity display_7_segmenti	12
entity full_adder	13
entity mux2_1	
Definisco il componente e la sua interfaccia	14
entity overflow_checker	15
entity register_d_Re_Ar	
Registro di dimensione "dimension" che prende in ingresso un dato D e lo memorizza	16
entity rippleCarry_adder	18

Chapter 2

File Index

2.1 File List

Here is a list of all documented files with brief descriptions:

carrySelect_adder.vhd	
Sommatore Carry Select	21
carrySelect_addSub.vhd	
Sommatore Carry Select in grado di effettuare anche l'operazione di sottrazione	21
display_7_segmenti.vhd	
Display a 7 segmenti	22

Chapter 3

Class Documentation

3.1 anodes_manager Entity Reference

Permette di gestire gli anodi associati ad ogni cifra(digit) di un display a 7 segmenti.
Per accendere la cifra giusta(digit) è necessario che l'anodo sia 0, poichè gli anodi sono pilotati da segnali 0-attivi.

Libraries

- [IEEE](#)

Use Clauses

- [STD_LOGIC_1164](#)

Ports

- [select_digit](#) in **STD_LOGIC_VECTOR(2 downto 0)**
anodes_manager input: seleziona digit
- [enable_digit](#) in **STD_LOGIC_VECTOR(7 downto 0)**
anodes_manager input: abilita digit
- [anodes](#) out **STD_LOGIC_VECTOR(7 downto 0)**
anodes_manager output: digit da accendere

3.1.1 Detailed Description

Permette di gestire gli anodi associati ad ogni cifra(digit) di un display a 7 segmenti.
Per accendere la cifra giusta(digit) è necessario che l'anodo sia 0, poichè gli anodi sono pilotati da segnali 0-attivi.

3.1.2 Member Data Documentation

3.1.2.1 IEEE

[IEEE](#) [Library]

FEDERICO II , CORSO DI ASE 18/19, Gruppo 14 –

3.1.2.2 STD_LOGIC_1164

[STD_LOGIC_1164](#) [Package]

last changes: <11/11/2018> <15/10/2018> <log> Aggiunta doc doxygen

The documentation for this class was generated from the following file:

- [anodes_manager.vhd](#)

3.2 carrySelect_adder Entity Reference

Libraries

- [IEEE](#)
architecture dataflow of [anodes_manager](#) end

Use Clauses

- [STD_LOGIC_1164](#)

Generics

- **M NATURAL:= 4**
M parallelismo dei ripplecarry adder.
- **P NATURAL:= 2**
*P parallelismo delle celle dell carry select Come metto M e P, marco e co fanno la stima dei tempi e mettono solo (M*P) da cui ricavano poi M e P io direi di fare una versione con M e P espliciti e una versione come l'hanno fatta loro, ma su quella.*

Ports

- **A in STD_LOGIC_VECTOR(((M *P)- 1)downto 0)**
input addendo
- **B in STD_LOGIC_VECTOR(((M *P)- 1)downto 0)**
input addendo
- **c_in in STD_LOGIC**
input carry in ingresso
- **S out STD_LOGIC_VECTOR(((M *P)- 1)downto 0)**
output somma
- **c_out out STD_LOGIC**
output carry in uscita

The documentation for this class was generated from the following file:

- [carrySelect_adder.vhd](#)

3.3 carrySelect_addSub Entity Reference

Libraries

- [IEEE](#)

Use Clauses

- [STD_LOGIC_1164](#)
- [math_real](#)
- [numeric_std](#)

Generics

- **M NATURAL:= 4**
- **P NATURAL:= 2**

P parallelismo delle celle dell carry select Come metto M e P, marco e co fanno la stima dei tempi e mettono solo width da cui ricavano poi M e P io direi di fare una versione con M e P espliciti e una versione come l'hanno fatta loro, ma su quella.

Ports

- **A in STD_LOGIC_VECTOR(((M*P)-1)downto 0)**
input addendo
- **B in STD_LOGIC_VECTOR(((M*P)-1)downto 0)**
input addendo
- **subtract in STD_LOGIC**
- **S out STD_LOGIC_VECTOR(((M*P)-1)downto 0)**
output somma
- **overflow out STD_LOGIC**
- **c_out out STD_LOGIC**
output carry in uscita

The documentation for this class was generated from the following file:

- [carrySelect_addSub.vhd](#)

3.4 carrySelect_addSub_onBoard Entity Reference

Uncomment the following library declaration if instantiating any Xilinx primitives in this code.

Libraries

- [IEEE](#)

Use Clauses

- [STD_LOGIC_1164](#)

Generics

- **M NATURAL:= 4**
- **P NATURAL:= 4**

P parallelismo delle celle dell carry select.

Ports

- [clock](#) in **STD_LOGIC**
 - [enable_a](#) in **STD_LOGIC**
 - [enable_b](#) in **STD_LOGIC**
 - [subtract](#) in **STD_LOGIC**
 - [input](#) in **STD_LOGIC_VECTOR(((M*P)-1) downto 0)**
- input addendo*
- [overflow](#) out **STD_LOGIC**
 - [c_out](#) out **STD_LOGIC**
 - [anodes](#) out **STD_LOGIC_VECTOR(7 downto 0)**
 - [cathodes](#) out **STD_LOGIC_VECTOR(7 downto 0)**
- output carry in uscita*

3.4.1 Detailed Description

Uncomment the following library declaration if instantiating any Xilinx primitives in this code.

Uncomment the following library declaration if using arithmetic functions with Signed or Unsigned values

3.4.2 Member Data Documentation

3.4.2.1 IEEE

[IEEE](#) [Library]

Company: Engineer:

Create Date: 12:36:14 02/21/2019 Design Name: Module Name: [carrySelect_addSub_onBoard](#) - Behavioral
Project Name: Target Devices: Tool versions: Description:

3.4.2.2 STD_LOGIC_1164

[STD_LOGIC_1164](#) [Package]

Revision: Revision 0.01 - File Created Additional Comments:

The documentation for this class was generated from the following file:

- [carrySelect_addSub_onBoard.vhd](#)

3.5 carrySelect_cell Entity Reference

Libraries

- [IEEE](#)

Use Clauses

- [STD_LOGIC_1164](#)

Generics

- [width](#) **NATURAL** := **4**

Ports

- **A** in **STD_LOGIC_VECTOR**((width- **1**)downto **0**)
- **B** in **STD_LOGIC_VECTOR**((width- **1**)downto **0**)
- **c_in** in **STD_LOGIC**
- **S** out **STD_LOGIC_VECTOR**((width- **1**)downto **0**)
- **c_out** out **STD_LOGIC**

The documentation for this class was generated from the following file:

- [carrySelect_cell.vhd](#)

3.6 cathodes_manager Entity Reference

Libraries

- [IEEE](#)

Use Clauses

- [STD_LOGIC_1164](#)
- [NUMERIC_STD](#)

Ports

- `select_digit` in `STD_LOGIC_VECTOR(2 downto 0)`
cathodes_manager input: seleziona digit su cui mostrare la cifra
- `values` in `STD_LOGIC_VECTOR(31 downto 0)`
cathodes_manager input: valore da mostrare (codifica esadecimale)
- `dots` in `STD_LOGIC_VECTOR(7 downto 0)`
cathodes_manager input: punto da accendere per la parte decimale
- `cathodes` out `STD_LOGIC_VECTOR(7 downto 0)`
cathodes_manager output: catodo da accendere

3.6.1 Detailed Description

Permette di gestire l'abilitazione dei catodi associati ad ogni segmento omologo di ogni cifra(digit) di un display a 7 segmenti.

Per accendere il giusto segmento è necessario che il catodo sia 0, poichè i catodi sono pilotati da segnali 0-attivi.

3.6.2 Member Data Documentation

3.6.2.1 IEEE

`IEEE` [Library]

FEDERICO II , CORSO DI ASE 18/19, Gruppo 14 –

3.6.2.2 STD_LOGIC_1164

`STD_LOGIC_1164` [Package]

last changes: <11/11/2018> <15/10/2018> <log> Aggiunta doc doxygen

The documentation for this class was generated from the following file:

- `cathodes_manager.vhd`

3.7 clock_divisor Entity Reference

Filtra i fronti del clock ad una frequenza "clock_frequency_in" per averli ad una frequenza più bassa "clock_frequency_out".

Libraries

- `IEEE`
architecture behavioral of cathodes_manager end

Use Clauses

- [STD_LOGIC_1164](#)

Generics

- [clock_frequency_in](#) integer:= **100000000**
frequenza del clock in ingresso
- [clock_frequency_out](#) integer:= **1000**
frequenza del clock in uscita

Ports

- [enable](#) in **STD_LOGIC**
clock_divisor input: segnale enable
- [reset_n](#) in **STD_LOGIC**
clock_divisor input: segnale reset
- [clock_freq_in](#) in **STD_LOGIC**
clock_divisor input: segnale di clock in ingresso
- [clock_freq_out](#) out **STD_LOGIC**
clock_divisor output: segnale di clock in uscita

3.7.1 Detailed Description

Filtra i fronti del clock ad una frequenza "clock_frequency_in" per averli ad una frequenza più bassa "clock_↔ frequency_out".

3.7.2 Member Data Documentation

3.7.2.1 STD_LOGIC_1164

[STD_LOGIC_1164](#) [Package]

last changes: <11/11/2018> <15/10/2018> <log> Aggiunta doc doxygen

The documentation for this class was generated from the following file:

- clock_divisor.vhd

3.8 counter_UpMod2n_Re_Sr Entity Reference

Libraries

- [IEEE](#)
architecture behavioral of [clock_divisor](#) end

Use Clauses

- [STD_LOGIC_1164](#)
- [numeric_std](#)

Generics

- [n](#) **NATURAL** := [1](#)
- [enable_level](#) **STD_LOGIC** := ' [1](#) '

Ports

- [enable](#) in **STD_LOGIC**
enable input
- [reset_n](#) in **STD_LOGIC**
reset input
- [clock](#) in **STD_LOGIC**
clock input
- [count_hit](#) out **STD_LOGIC**
count_hit output
- **COUNTS** out **STD_LOGIC_VECTOR**(([n-1](#))downto [0](#))
COUNT output.

3.8.1 Detailed Description

Contatore modulo 2 alla N. Il conteggio viene effettuato sul fronte di salita del clock e il reset è sincrono.

3.8.2 Member Data Documentation

3.8.2.1 STD_LOGIC_1164

[STD_LOGIC_1164](#) [Package]

last changes: <11/11/2018> <15/10/2018> <log> Aggiunta doc doxygen

The documentation for this class was generated from the following file:

- counter_UpMod2n_Re_Sr.vhd

3.9 display_7_segmenti Entity Reference

Libraries

- [IEEE](#)
architecture behavioral of [counter_UpMod2n_Re_Sr](#) end

Use Clauses

- [STD_LOGIC_1164](#)

Ports

- **enable** in STD_LOGIC
enable del componente
- **clock** in STD_LOGIC
clock
- **reset** in STD_LOGIC
reset 1-attivo
- **values** in STD_LOGIC_VECTOR(**31** downto **0**)
Stringa di bit del valore da mostrare.
- **dots** in STD_LOGIC_VECTOR(**7** downto **0**)
Segnali che permette di pilotare i punti.
- **enable_digit** in STD_LOGIC_VECTOR(**7** downto **0**)
Segnali che attiva le digit.
- **anodes** out STD_LOGIC_VECTOR(**7** downto **0**)
Uscita che pilota gli anodi.
- **cathodes** out STD_LOGIC_VECTOR(**7** downto **0**)
Uscita che pilota i catodi.

3.9.1 Detailed Description

Componente che permette di pilotare fino a 4 digit ricevendo il valore da mostrare sul display come sequenza di bit

The documentation for this class was generated from the following file:

- [display_7_segmenti.vhd](#)

3.10 full_adder Entity Reference

Libraries

- [IEEE](#)

Use Clauses

- [STD_LOGIC_1164](#)

Ports

- **X in STD_LOGIC**
full_adder input : addendo
- **Y in STD_LOGIC**
full_adder input : addendo
- **C_in in STD_LOGIC**
full_adder input : carry in ingresso
- **S out STD_LOGIC**
full_adder output : somma
- **C_out out STD_LOGIC**
full_adder output : carry

3.10.1 Detailed Description

Descrizione Somma i 3 bit in ingresso (2 addendi e 1 carry in ingresso).
In uscita abbiamo il risultato della somma sul bit S e il riporto sul bit C.

3.10.2 Member Data Documentation

3.10.2.1 IEEE

`IEEE` [Library]

FEDERICO II , CORSO DI ASE 18/19, Gruppo 14 –

3.10.2.2 STD_LOGIC_1164

`STD_LOGIC_1164` [Package]

last changes: <11/11/2018> <15/10/2018> <log> Aggiunta doc doxygen

The documentation for this class was generated from the following file:

- full_adder.vhd

3.11 mux2_1 Entity Reference

definisco il componente e la sua interfaccia

Libraries

- `IEEE`
architecture dataflow of full_adder end

Use Clauses

- [STD_LOGIC_1164](#)

Generics

- **width natural:= 1**
parallelismo dell' I/O del multiplexer

Ports

- **SEL in STD_LOGIC**
mux2_1 input: selezione
- **A in STD_LOGIC_VECTOR((width - 1)downto 0)**
mux2_1 input: A
- **B in STD_LOGIC_VECTOR((width - 1)downto 0)**
mux2_1 input: B
- **X out STD_LOGIC_VECTOR((width - 1)downto 0)**
mux2_1 output: X

3.11.1 Detailed Description

definisco il componente e la sua interfaccia

Descrizione Quando l'ingresso SEL è basso, l'uscita assume il valore del segnale A, altrimenti quando il segnale SEL è alto l'uscita assume il valore del segnale B.

3.11.2 Member Data Documentation

3.11.2.1 STD_LOGIC_1164

[STD_LOGIC_1164](#) [Package]

last changes: <14/11/2018> <13/11/2018> <log> create

The documentation for this class was generated from the following file:

- mux2_1.vhd

3.12 overflow_checker Entity Reference

Libraries

- [IEEE](#)
architecture dataflow of mux2_1 end

Use Clauses

- [STD_LOGIC_1164](#)

Ports

- **a in STD_LOGIC**
bit più significativo (segno) di A
- **b in STD_LOGIC**
bit più significativo (segno) di B
- **subtract in STD_LOGIC**
bit di operazione: 1 se sottrazione, 0 se addizione
- **s in STD_LOGIC**
bit più significativo (segno) di S
- **overflow out STD_LOGIC**
bit alto se ho una condizione di overflow

3.12.1 Detailed Description

Descrizione La macchina controlla se vi è overflow nel risultato confrontando le cifre più significative (segno) dei due operandi e del risultato con subtract. Ho overflow in caso di:

- somma di due positivi con risultato negativo
- somma di due negativi con risultato positivo
- differenza di positivo e negativo con risultato negativo
- differenza di negativo e positivo con risultato positivo

3.12.2 Member Data Documentation

3.12.2.1 STD_LOGIC_1164

[STD_LOGIC_1164](#) [Package]

last changes: <11/11/2018> <15/10/2018> <log> Aggiunta doc doxygen

The documentation for this class was generated from the following file:

- overflow_checker.vhd

3.13 register_d_Re_Ar Entity Reference

Registro di dimensione "dimension" che prende in ingresso un dato D e lo memorizza.

Libraries

- [IEEE](#)
architecture behavioural of [overflow_checker](#) end

Use Clauses

- [STD_LOGIC_1164](#)

Generics

- [dimension](#) **NATURAL:= 8**
definisce il parallelismo del registro
- [reset_level](#) **STD_LOGIC:= ' 1 '**
definisce il livello reset
- [load_level](#) **STD_LOGIC:= ' 1 '**
definisce il livello enable

Ports

- [clock](#) **in STD_LOGIC**
[register_d_Re_Ar](#) input : segnale di clock per sincronizzare
- [load](#) **in STD_LOGIC**
[register_d_Re_Ar](#) input : segnale enable
- [reset](#) **in STD_LOGIC**
[register_d_Re_Ar](#) input : segnale reset
- [d](#) **in STD_LOGIC_VECTOR([dimension](#) - 1 downto 0)**
[register_d_Re_Ar](#) input : inpput data
- [q](#) **out STD_LOGIC_VECTOR([dimension](#) - 1 downto 0)**
[register_d_Re_Ar](#) input : output data

3.13.1 Detailed Description

Registro di dimensione "dimension" che prende in ingresso un dato D e lo memorizza.

3.13.2 Member Data Documentation

3.13.2.1 STD_LOGIC_1164

[STD_LOGIC_1164](#) [Package]

last changes: <16/11/2018> <16/11/2018> <log> create

The documentation for this class was generated from the following file:

- [register_d_Re_Ar.vhd](#)

3.14 rippleCarry_adder Entity Reference

Libraries

- [IEEE](#)
architecture behavioral of [register_d_Re_Ar](#) end

Use Clauses

- [STD_LOGIC_1164](#)

Generics

- [width](#) **NATURAL** := 8

Ports

- [X](#) in **STD_LOGIC_VECTOR**([width](#) - 1 downto 0)
- [Y](#) in **STD_LOGIC_VECTOR**([width](#) - 1 downto 0)
- [c_in](#) in **STD_LOGIC**
- [S](#) out **STD_LOGIC_VECTOR**([width](#) - 1 downto 0)
- [c_out](#) out **STD_LOGIC**
rippleCarry_adder output: carry

3.14.1 Detailed Description

Descrizione Somma le 2 stringe di bit in ingresso (2 addendi) e 1 bit (carry in ingresso). Caratterizzato da una serie di [full_adder](#) in cascata che propagano il riporto.
In uscita abbiamo il risultato della somma sul bit S e il riporto sul bit C.

3.14.2 Member Data Documentation

3.14.2.1 c_in

[c_in](#) in **STD_LOGIC** [Port]

[rippleCarry_adder](#) input: addendo

3.14.2.2 c_out

[c_out](#) out **STD_LOGIC** [Port]

[rippleCarry_adder](#) output: carry

[rippleCarry_adder](#) output: somma

3.14.2.3 S

S out STD_LOGIC_VECTOR(width - 1 downto 0) [Port]

rippleCarry_adder input : carry in ingresso

3.14.2.4 STD_LOGIC_1164

STD_LOGIC_1164 [Package]

last changes: <11/11/2018> <15/10/2018> <log> Aggiunta doc doxygen

3.14.2.5 width

width NATURAL:= 8 [Generic]

usato per definire il parallelismo del rippleCarry_adder

3.14.2.6 Y

Y in STD_LOGIC_VECTOR(width - 1 downto 0) [Port]

rippleCarry_adder input: addendo

The documentation for this class was generated from the following file:

- rippleCarry_adder.vhd

Chapter 4

File Documentation

4.1 carrySelect_adder.vhd File Reference

Sommatore Carry Select.

Entities

- [carrySelect_adder](#) entity

4.1.1 Detailed Description

Sommatore Carry Select.

Author

Gabriele Previtera, Mirko Pennone, Simone Penna

Date

04/03/2019

Version

0.2

Dependencies:

Nothings

4.2 carrySelect_addSub.vhd File Reference

Sommatore Carry Select in grado di effettuare anche l'operazione di sottrazione.

Entities

- [carrySelect_addSub](#) entity

4.2.1 Detailed Description

Sommatore Carry Select in grado di effettuare anche l'operazione di sottrazione.

Author

Gabriele Previtera, Mirko Pennone, Simone Penna

Date

04/03/2019

Version

0.2

Dependencies:

Nothings

4.3 display_7_segmenti.vhd File Reference

Display a 7 segmenti.

Entities

- [display_7_segmenti](#) entity

4.3.1 Detailed Description

Display a 7 segmenti.

Author

Gabriele Previtera, Mirko Pennone, Simone Penna

Date

04/03/2019

Version

0.2

Dependencies:

Nothings

Index

anodes_manager, [5](#)
 IEEE, [5](#)
 STD_LOGIC_1164, [6](#)

c_in
 rippleCarry_adder, [18](#)

c_out
 rippleCarry_adder, [18](#)

carrySelect_addSub, [7](#)
carrySelect_addSub.vhd, [21](#)
carrySelect_addSub_onBoard, [7](#)
 IEEE, [8](#)
 STD_LOGIC_1164, [8](#)

carrySelect_adder, [6](#)
carrySelect_adder.vhd, [21](#)
carrySelect_cell, [9](#)

cathodes_manager, [9](#)
 IEEE, [10](#)
 STD_LOGIC_1164, [10](#)

clock_divisor, [10](#)
 STD_LOGIC_1164, [11](#)

counter_UpMod2n_Re_Sr, [11](#)
 STD_LOGIC_1164, [12](#)

display_7_segmenti, [12](#)
display_7_segmenti.vhd, [22](#)

full_adder, [13](#)
 IEEE, [14](#)
 STD_LOGIC_1164, [14](#)

IEEE
 anodes_manager, [5](#)
 carrySelect_addSub_onBoard, [8](#)
 cathodes_manager, [10](#)
 full_adder, [14](#)

mux2_1, [14](#)
 STD_LOGIC_1164, [15](#)

overflow_checker, [15](#)
 STD_LOGIC_1164, [16](#)

register_d_Re_Ar, [16](#)
 STD_LOGIC_1164, [17](#)

rippleCarry_adder, [18](#)
 c_in, [18](#)
 c_out, [18](#)
 S, [18](#)
 STD_LOGIC_1164, [19](#)
 width, [19](#)
 Y, [19](#)

S
 rippleCarry_adder, [18](#)

STD_LOGIC_1164
 anodes_manager, [6](#)
 carrySelect_addSub_onBoard, [8](#)
 cathodes_manager, [10](#)
 clock_divisor, [11](#)
 counter_UpMod2n_Re_Sr, [12](#)
 full_adder, [14](#)
 mux2_1, [15](#)
 overflow_checker, [16](#)
 register_d_Re_Ar, [17](#)
 rippleCarry_adder, [19](#)

width
 rippleCarry_adder, [19](#)

Y
 rippleCarry_adder, [19](#)