0.1 Ripple carry multiplier (somma di righe)

0.1.1 Architettura

Il ripple carry multiplier è un componente che effettua il prodotto tra due stringhe di N e M bit rispettivamente tramite somma delle righe della matrice dei prodotti parziali. L'architettura del componente è visibile in fig.1).

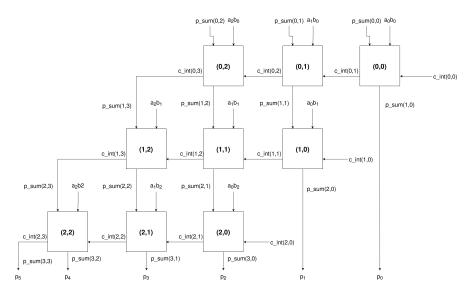


Figura 1: Architettura del Ripple Carry Multiplier.

Si noti come tale architettura può essere realizzata mediante l'utilizzo di M ripple carry adder in cascata, che andranno a sommare le N righe della matrice dei prodotti parziali con le somme parziali calcolate riga per riga. Tale schema può essere ulteriormente raffinato eliminando il primo (fig. 2). Si noti come sia possibile rimuovere dallo schema il primo RCA, che dovrebbe in teoria sommare la prima riga della matrice dei prodotti parziali con le somme parziali iniziali (pari a zero), semplicemente sommando direttamente le prime due righe della matrice.

0.1.2 Implementazione

L'implementazione del moltiplicatore è stata realizzata mediante descrizione structural: dapprima si è generata la matrice dei prodotti parziali, e poi si sono generati i RCA nel seguente modo:

 $\begin{aligned} &[\text{language=VHDL}, \text{caption=Implementazione del Ripple Carry Multiplier.}]\\ &\text{gen}_r cmultiplier: for iin 0 to N-1 generate gen_f irst_sum: if i=0 generate partial_sum (i+1)(M-1 downto0) <= partial_p rod(i)(M-1 downto0); end generate; \end{aligned}$

 $\operatorname{gen}_r ca: if i > 0 \\ generater ca: ripple Carry_a dder PORTMAP(X => partial_p rod(i)(M-1downto0), \\ Y => partial_s um(i)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s => partial_s um(i+1)(Mdownto1), \\ c_i n =>'0', \\ s =>'0', \\$

 $1)(M-1downto0), c_out => partial_sum(i+1)(M)); endgenerate; endgenerateSi noti come si è evitato di generare il primo RCA portando direttamente la prima riga della matrice dei prodotti parziali nella matrice delle somme parziali. Infine, si è prelevato il risultato come specificato nel grafico: i primi M bit sono ricavati dalla prima colonna della matrice delle somme parziali, mentre i restanti N bit sono ricavati dall'ultima riga della matrice. L'implementazione completa del moltiplicatore è consultabile qui: run:./esercizio11/design/ripple_carry_multiplier.vhdripple_carry_multiplier.$

0.1.3 Simulazione e sintesi

Per tale componente è stata effettuata una simulazione behavioural, durante la quale sono stati fatti variare i due operandi da moltiplicare. I risultati ottenuti sono osservabili in fig.3.

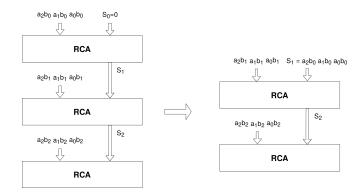


Figura 2: Ripple Carry Multiplier realizzato tramite RCA.

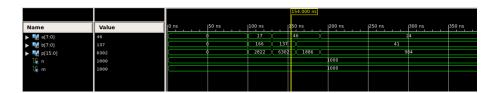


Figura 3: Simulazione behavioural del moltiplicatore RCM.