

组成样卷 A 卷

杭州电子科技大学学生考试卷（A）卷

考试课程	计算机组成原理		考试日期	05 年 01 月 19 日			成绩	
课 程 号	A050409	教 师 号		任课教师姓名			冯建文、戴钧	
考生姓名		学号（8 位）		年 级	02	专 业	软 件	座 位 号

题号	一	二	三	三		总分
				1	2	
分数	20	15	18	20	27	100
得分						

一. 单项选择题（20 分，每题 1 分）

1. 完整的计算机系统应包括（ ）
- A. 运算器、存储器、控制器

B. 外设和主机

C. 主机和实用程序

D. 配套的硬件设备和软件系统
2. 计算机中 CPU 可以直接访问的程序和数据存放在（ ）中。
- A. 硬盘

B. 光盘

C. 主存

D. 运算器

E. 控制器
3. 在机器数（ ）中，零的表示形式是唯一的。
- A. 原码

B. 补码

C. 补码和移码

D. 原码和反码
4. 在定点二进制运算中，减法运算一般通过（ ）来实现。
- A. 原码运算的二进制减法器

B. 补码运算的二进制减法器

C. 补码运算的十进制加法器

D. 补码运算的二进制加法器
5. 带有 1 位奇偶校验位的校验码能检测出（ ）位错误。
- A. 1

B. 2

C. 奇数

D. 偶数

6. 下列校验码中，正确的奇校验码是（ ）。
A. 11011011 B. 11010010 C. 10000001 D. **11011001**
7. 在浮点数编码表示中（ ）在机器数中不出现，是隐含的。
A. **基数** B. 符号 C. 尾数 D. 阶码
8. 下面哪一种**不是**冯·诺依曼体系结构的基本特点：（ ）。
A. 采用二进制表示数据 B. 采用存储程序的方式
C. 硬件系统由五大部件组成 D. **机器以存储器为中心交换数据**
9. 8 位的定点小数的补码所能表示的数据范围是（ ）。
A. $[-(1-2^{-8}), 1-2^{-8}]$ B. **$[-1, 1-2^{-7}]$**
C. $[-1, 1-2^{-8}]$ D. $[-(1-2^{-7}), 1-2^{-7}]$
10. 存储周期是指（ ）。
A. 从存储器读写操作开始到读写操作完成为止的时间
B. 存储器的存取时间
C. 存储器的写入时间
D. **存储器进行连续读和写操作所允许的最短时间间隔**
11. 下面有关交叉存储器的说法中，（ ）是错误的。
A. 交叉存储器实质上是一种模块式存储器，它能并行执行多个独立的读写操作。 B. **交叉存储器的每个模块的体选信号通常是由地址总线的高位经过译码产生的。**
C. 交叉存储器的每个模块都有自己的 MAR 和 MDR。
D. 交叉存储器的每个模块的地址是不连续的，相邻地址的单元位于相邻的模块。
12. 存储系统采用 Cache-主存-辅存的三级层次结构，其目的主要是（ ）。
A. 提高存储器的访问速度
B. 扩大存储器的容量
C. 便于存储器管理
D. **解决存储器容量、速度、价格之间的矛盾**
13. 下面哪一种存储器是非易失性的、随机存取的存储器：（ ）。
A. **EEPROM** B. DRAM C. SRAM D. 磁盘
14. 在计算机系统中，（ ）是软件和硬件的界面。它既是软件设计者的依据，也是硬件设计者的目标。
A. CPU B. **指令系统** C. 操作系统 D. 体系结构
15. 74LS181 ALU，具有___功能，其片内进位链结构为___。（ ）
A. 8 种算术运算和 8 种逻辑运算，并行进位
B. 8 种算术运算和 8 种逻辑运算，串行进位
C. **16 种算术运算和 16 种逻辑运算，并行进位**

- D. 16 种算术运算和 16 种逻辑运算，串行进位
16. 下面有关 Cache 的说法哪一个是不正确的：（ ）。
- A. 设置 Cache 的目的，是解决 CPU 和主存之间的速度匹配问题。
 - B. 设置 Cache 的理论基础，是程序访问的局部性原理。
 - C. **Cache 与主存统一编址，Cache 的地址空间属于主存的一部分。**
 - D. Cache 的功能均由硬件实现，对程序员是透明的。
17. 微程序控制器中，机器指令与微指令的关系是（ ）。
- A. 每一条机器指令由一条微指令来执行
 - B. **每一条机器指令由一段微指令编写的微程序来解释执行**
 - C. 每一条机器指令组成的程序可由一条微指令来执行
 - D. 一条微指令由若干条机器指令组成
18. 一个指令周期通常由（ ）组成。
- A. **若干个机器周期** B. 若干个时钟周期
 - C. 若干个工作脉冲 D. 若干个节拍
19. 下面有关 CPU 的叙述中，哪一个是正确的：（ ）。
- A. **RISC 的特点包括：CPU 寄存器数量多，采用流水线技术，指令长度固定，访问主存只有取数/存数指令和主要用硬布线控制逻辑等。**
 - B. 硬布线逻辑控制器为每条指令按时间顺序提供相应的控制信号，而且比微程序控制器的执行速度快，内部结构较规整，易扩充修改。
 - C. 微指令格式中的控制字段，只能够选用直接控制法、字段直接编码法、字段间接编码法之中的一种。
 - D. 微指令格式中的下址字段，与指令格式中的地址字段一样，指出了操作数的地址信息。
20. 下面有关存储器的叙述中，哪一个是正确的：_____。
- A. SRAM 是非易失性存储器，而 DRAM 是易失性存储器。
 - B. 虚拟存储器是指主存-辅存一级，它由软件来实现对存储系统的统一调度和管理。
 - C. 多体交叉存储器主要解决扩充容量问题。
 - D. **相联存储器是按内容访问的存储器，一般应用于快速查询的场合。**

二. 填空题（15 分，每空 1 分）

1. 控制器中有若干个专用寄存器，_____寄存器用来存放指令，_____用来指出指令地址。微程序控制器中微程序存放于_____。
2. 半导体 RAM 通常分为 SRAM 和 DRAM，主要区别在于：前者是用_____来存储信息的，而后者是用_____来存储信息的，前者与后者相比，速度快，价格高。
3. 从_____取出一条指令并执行完这条指令的时间，称为指令周期。指令系统是指_____。

4. 在微程序控制器中，指令译码器的作用是_____。
5. 控制器由专用寄存器、指令译码器、_____、_____构成，控制器的功能是_____、_____、_____、处理特殊请求和异常情况。
6. 微指令的格式可以分为_____微指令和_____微指令，前者并行处理能力强，但微指令字长_____。

三. 计算题（18 分）

1. （18 分）设浮点数的格式为：阶码 5 位，包含一位符号位，尾数 5 位，包含一位符号位，阶码和尾数均用补码表示，排列顺序为：

阶符（1 位）	阶码（4 位）	数符（1 位）	尾数（5 位）
---------	---------	---------	---------

则按上述浮点数的格式：

- ① （2 分）若数 Z 的浮点数的 16 进制形式为 1ABH，求 Z 的十进制的真值。
- ② （4 分）若 $(X)_{10}=15/32$ ， $(Y)_{10}=-1.25$ ，则求 X 和 Y 的规格化浮点数表示形式。
- ③ （5 分）求 $[X+Y]_{补}$ （要求用补码计算，列出计算步骤）。
- ④ （7 分）求 $[X*Y]_{补}$ （要求阶码用补码计算，尾数用补码 BOOTH 算法计算，列出计算过程和算式）。

四. 综合设计题（47 分）

1. （20 分）某机字长 8 位，CPU 地址总线 16 位，数据总线 8 位，存储器**按字节编址**，CPU 的控制信号线有：MREQ#（存储器访问请求，低电平有效），R/W#（读写控制，低电平为写信号，高电平为读信号）。试问：
- (1) （2 分）若该机主存采用 16K×1 位的 DRAM 芯片（内部为 128×128 阵列）构成最大主存空间，则共需_____个芯片。若采用异步刷新方式，单元刷新周期为 2ms，则刷新信号的周期为_____ms。
- (2) （4 分）若为该机配备 2K×8 位的 Cache，每字块 4 字节，采用 4 路组相联映象，则主存地址中字段块内地址_____位，字段 Cache 组地址_____位，字段高位标记_____位。若主存地址为 1234H，则该地址映象到的 Cache 的第_____组。
- (3) （4 分）若 CPU 执行一段时间时，Cache 完成存取的次数为 2400 次，主存完成的存取次数为 100 次，已知 cache 的存储周期为 20ns，主存的存储周期为 100ns。则 Cache/主存系统的平均访问时间为_____ns，Cache/主存系统的效率为_____。
- (4) （10 分）若用若干个 8K×4 位的 SRAM 芯片形成 24K×8 位的 RAM 存储区域，起始地址为 2000H，假设 SRAM 芯片有 CS#（片选，低电平有效）和 WE#（写使能，低电平有效）信号控制端；试写出 RAM 的地址范围，并画出 SRAM 与 CPU 的连接图（请标明 SRAM 芯片个数、译码器的输入输出线、地址线、数据线、控制线及其连接）。

2. （27 分）设某 8 位计算机指令格式如下：

OP（4 位）	SR（2 位）	DR（2 位）
A DDR/ DATA / DISP		

注意：除了 HALT 指令为单字指令外，其他指令均为双字指令；其中， SR 为源寄存器号， DR 为目的寄存器号，指令第二字为地址、数据或偏移量。模型机结构如图 1：

(1) (9 分) 下面是该模型机的指令系统的一部分：

指令助记符	功能	OP
MOV1 DR,DATA	DATA→DR	0000
MOV2 [ADDR],SR	SR→ADDR	0001
ADD DR,[[ADDR]]	(DR) + ((ADDR)) →DR	1000
SUB DR,[SI+ADDR]	(DR) - ((SI) +ADDR) →DR	1001
JMP DISP	(PC) +DISP→PC	1100
.....
HALT	停机	1111

内存地址的部分单元内容如下：

单元地址	内容	单元地址	内容	单元地址	内容
10H	80H	20H	01H	24H	91H
11H	90H	21H	23H	25H	01H
12H	10H	22H	81H	26H	F0H
13H	11H	23H	12H	27H	20H

若 (PC) =20H，变址寄存器 (SI) =10H，则此时启动程序执行，问执行了几条指令程序停止？

写出每条指令的助记符、寻址方式、EA、操作数和执行结果。

(2) (6 分) 该微程序控制器有 28 种微操作命令，采用直接控制法，有 4 个转移控制状态，采用译码形式编码，微指令格式中的下址字段 8 位，微指令格式如下，则操作控制字段和判别测试字段各有几位？控存的容量为多少（字数×字长）？

控制字段	判别测试字段	下址字段
------	--------	------

(3) (6 分) 模型机的某条指令的微程序流程图如图 2 所示，写出该条指令的功能、寻址方式、指令第二字的含义。

(4) (6 分) 写出上述 SUB DR,[SI+ADDR]指令的微程序流程图。

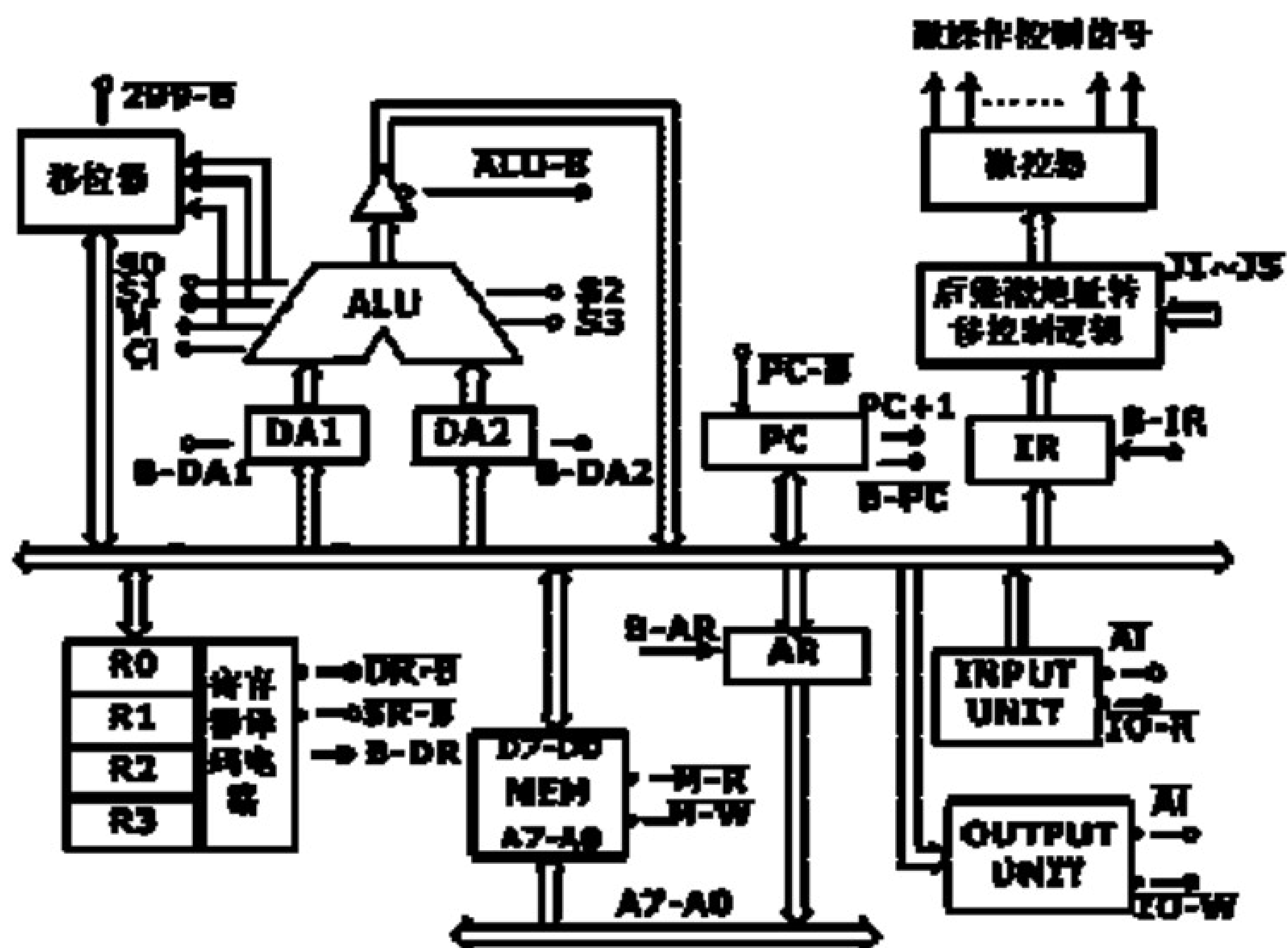


图 1 模型机结构

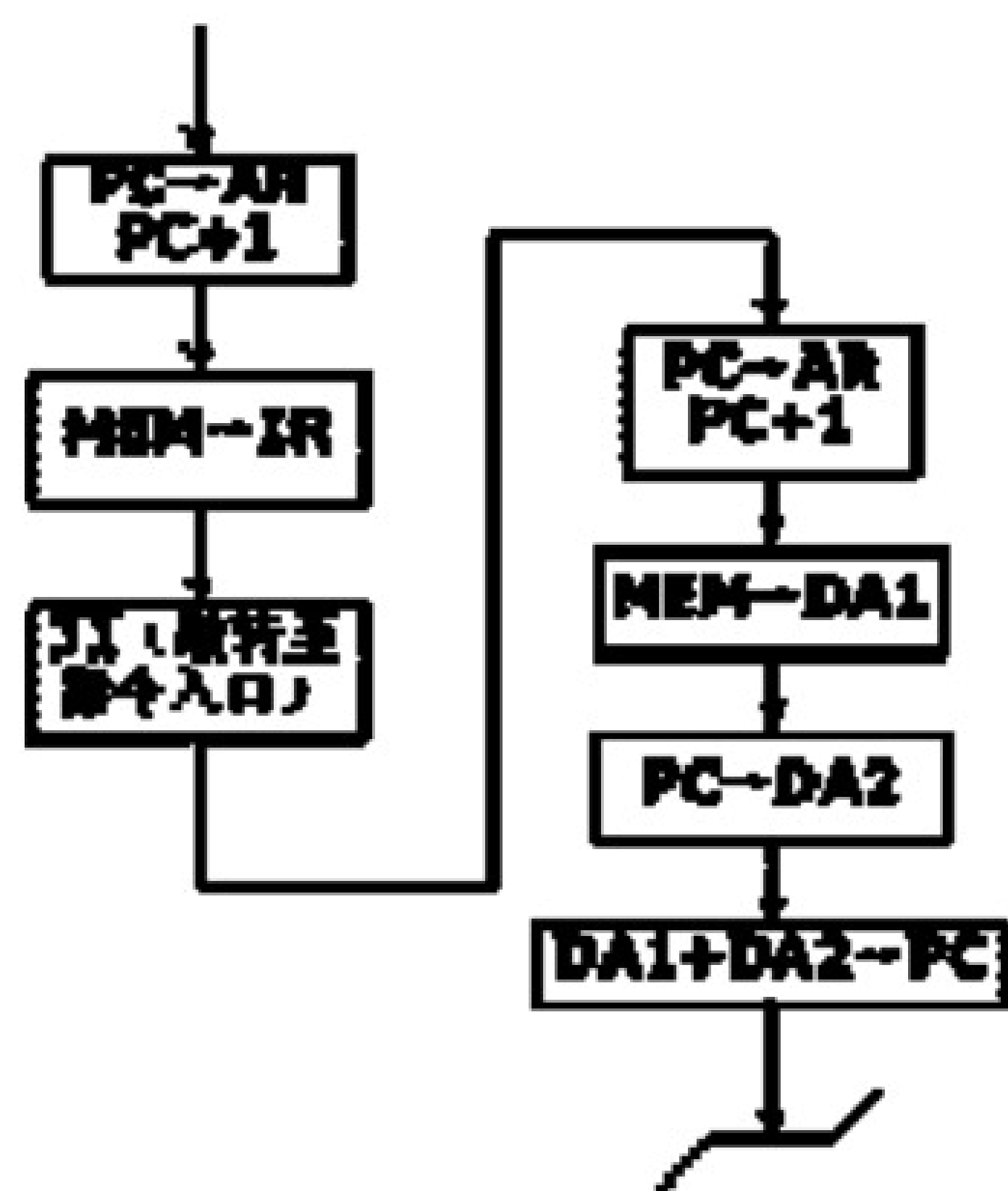


图 2 微程序流程图