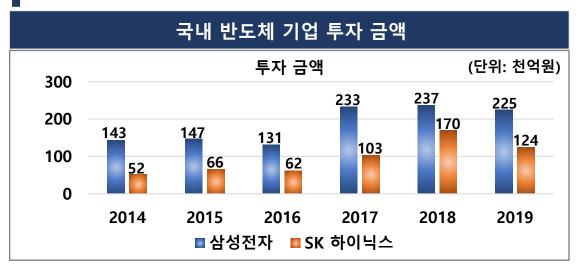
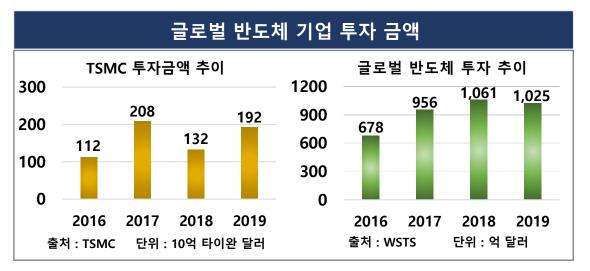
반도체 공정 운전조건 최적화 및 경로 추천 시스템 개발로 불량률 최소화

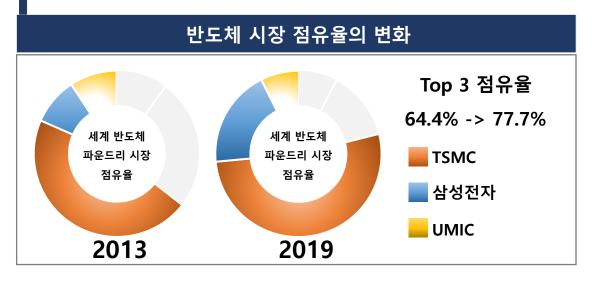
1. 추진 배경

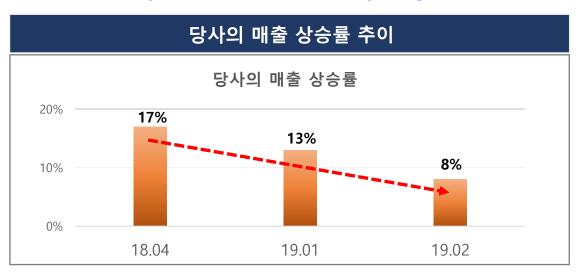
반도체 기업들의 공격적인 투자로 인한 기술력 강화가 자사의 위협 요인으로 작용함에 따라 기술 경쟁력 향상 방안 필요





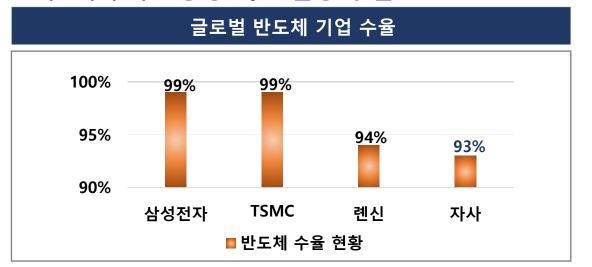
반도체 선도기업의 시장 독점화로 당사의 매출도 영향을 받음에 따라 원가 절감을 통한 경쟁력 향상 필요





2. 현황 및 개선기회

반도체 산업의 수율은 기업의 제조원가에 영향을 미치고, 기업의 기술 신뢰성을 나타내기 때문에 수율을 획기적으로 개선하기 위한 <mark>공정 개선 활동이 필요</mark>





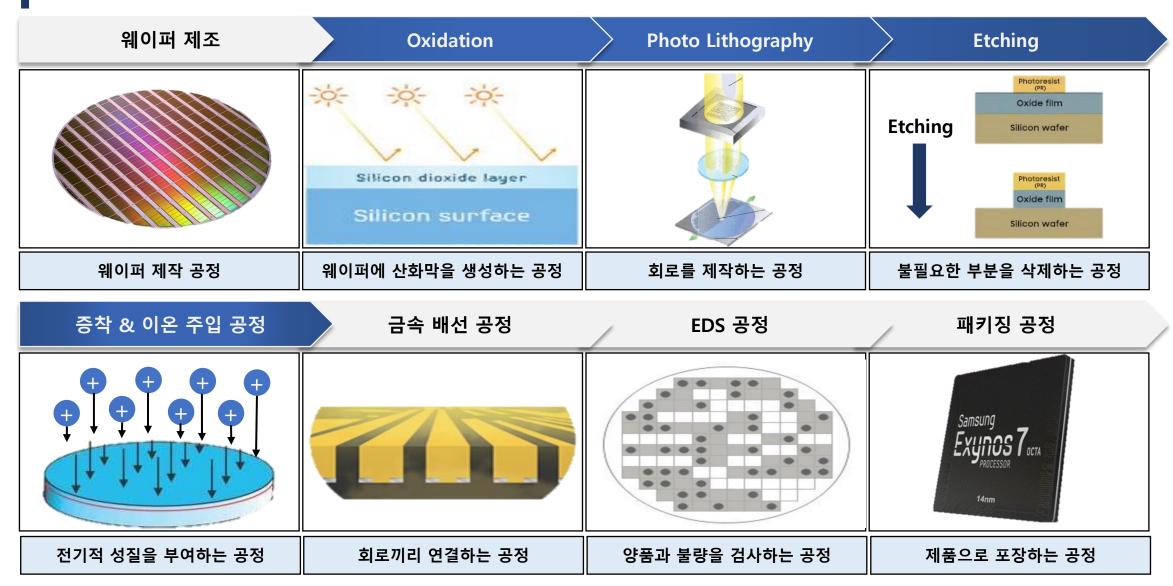
목표

" 2023년까지 불량률 7% -> 3% 수준의 공정기술 개발을 목표 "

지표	현재수준	'21년	'22년	′23년
불량률(%)	7	5	4	3

3. 반도체 공정의 이해

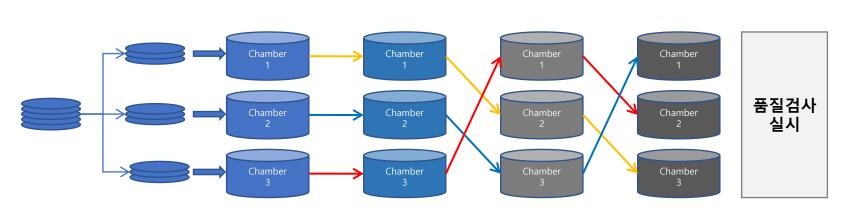
반도체 8공정 프로세스



3. 반도체 공정의 이해

공정 경로의 이해

공정 경로의 이해



▲ 1123, 2231, 3312의 경로의 도식화

공정 경로란?

반도체의 공정 단계는 3 개의 동일 설비들을 통해 작업을 수행하게 된다. 매 공정 단계마다 조건에 따라 거쳐 가는 공정 경로를 갖게 된다.

4. 분석 계획 수립

분석구분	목적	분석계획		
		분석방법	분석내용	
탐색적 데이터 분석	변수 특성 탐색 및 관계 파악	막대 그래프 / Pie Chart	• 범주형 변수 요소의 고유 값 확인	
	이상치 확인 및 조정	Boxplot / Histogram	• 공정 변수들의 분포 및 이상치 확인	
	선형성 및 상관성 확인	Scatter Plot / Trend Chart	• 불량 개수와 공정 변수들의 선형성 확인	

1. 공정 변수 최적화

공정의	Box plot	• 불안정 공정과 안정 공정 간 공정 변수의 평균 차이 확인
주요 변수 확인	2 sample t-test	• 불안정 공정과 안정 공정 간 공정 변수의 평균 차이 검정
	Logistic Regression	• 웨이퍼 불량과 밀접한
불량률을 예측하는	Decision Tree	· 웨이피 물당의 글십인 주요 변수 확인 및 불량률 확인
	Random Forest	
분류모델 개발	Gradient Boosting	• 주요 변수의 양품 발생 최적 구간 도출을 통해 불량률 최소화
	XG Boost	
양품 공정 변수의 최적구간 도출	Box plot	양품과 불량의 생산 조건을 비교하여 최적의 공정 변수 구간 설정

2. 공정 경로 최적화

이상 공정 확인	C 관리도	• 공정 경로의 C 관리도를 통한 안정 공정과 불안정 공정 확인
공정 경로의 과부화 확인	Bar plot	• 공정 경로의 부하와 추세 확인
안정/불안정 공정에 따른 이상치 차이 검정	Chi-square Test	• 불안정 공정과 안정 공정의 이상치 차이를 통계적으로 검정
안정/불안정 공정에 따른 불량률 차이 검정	2 Proportion Test	• 불안정 공정과 안정 공정의 불량률 차이를 통계적으로 검정

5. 분석 결과_공정변수 최적화

불량에 영향을 미치는 주요 공정 변수별 특성 확인 결과 양품과 불량 발생 구간의 차이가 확인됨에 따라, 공정변수의 양품 발생 조건을 반영한 조업 안정화 운전이 필요

공정 별 주요 변수 추출

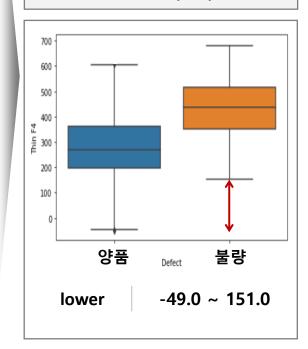
- Boxplot을 통해 공정 변수에 대하여 양품과 불량 간 평균 차이를 확인
- 2 sample t-test를 통해 양품과 불량의 변수의 평균 차이를 검증

공정	변수	P-value
	Temp_Oxid	0.0
	ppm	0.0
Oxidation	Pressure	0.0
	Thickness	0.0
	Resist_target	0.0
	Temp_HMDS_bake	0.017
Photo softbake	Spin1	0.002
Piloto_sortbake	Spin 3	0.005
	Photoresist_bake	0.0
	temp_softbake	0.0
Photo litho	Line_CD	0.0
Piloto_litilo	Thin F4	0.0
	Temp Etching	0.001
	Source_Power	0.029
Etching	Selectivity	0.01
	etching_rate_total	0.0
Ion Implantation	Temp_implantation	0.001
ion_impiantation	RTA_Temp	0.027

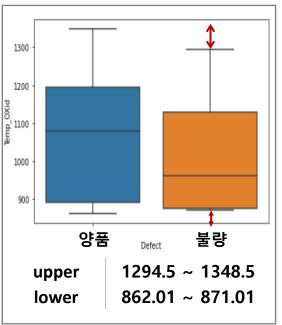
양품 생산 최적 구간

- 양품만 발생하는 구간을 분리하여 변수 최적화 전략 도출
- Thin F4, Temp_Oxid 등 공정 변수를 특정 구간으로 조정 시 양품 발생

Thin F4(nm)

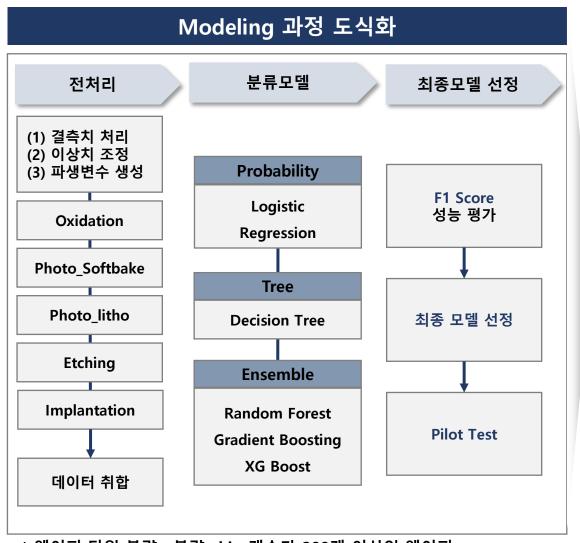


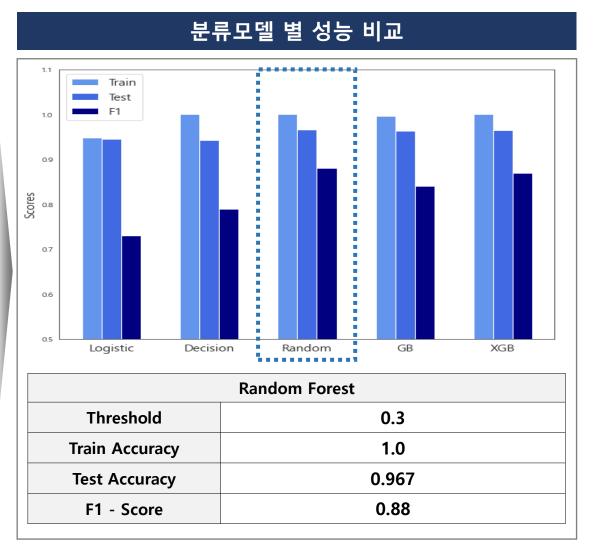
Temp_Oxid(°C)



5. 분석 결과_공정변수 최적화

웨이퍼 단위 불량 여부를 분류하는 모델을 개발하였으며 F1 Score가 가장 높은 Random Forest 모델을 최종 선택



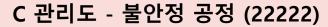


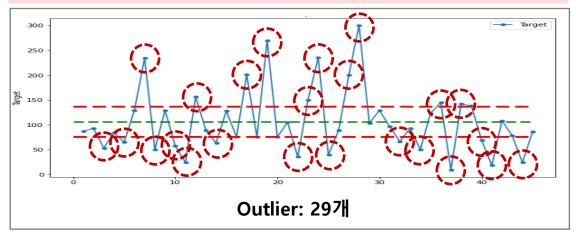
^{*} 웨이퍼 단위 불량 : 불량 chip 개수가 200개 이상인 웨이퍼

5. 분석 결과_공정경로 최적화

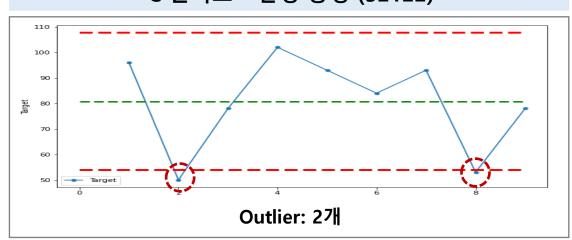
공정 경로의 이상 발생 현황과 생산 부하량에 대한 분석 결과, 부하가 많을수록 이상 발생이 많이 발생되는 것이 확인됨에 따라 생산 부하를 고려한 안정적인 운전이 필요

C 관리도를 통한 이상 공정 분석





C 관리도 - 안정 공정 (32122)



Chi-square Test

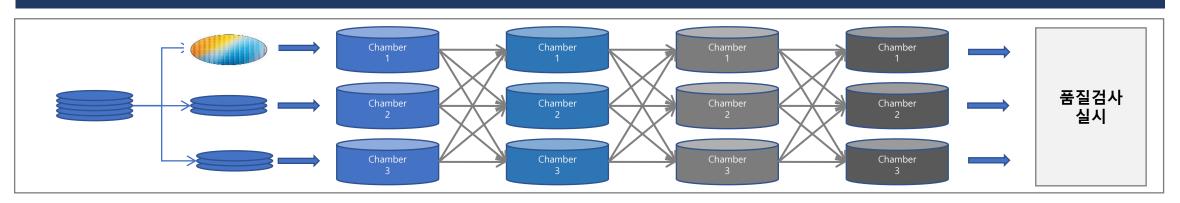
	불안정 공정 대표 3개		안정 공정 대표 3개			
공정 경로	22222	13222	21222	22322	11211	32122
양품	84808	81687	79517	17216	22531	17148
불량품	5192	4313	4483	784	1469	852

P-value = 0.00 ☞ 불안정 공정과 안정 공정 간 양품과 불량품의 비율에 차이가 있음

5. 분석 결과_공정경로 최적화

공정 경로별 불량률의 차이가 크게 발생됨에 따라 실시간 생산실적을 반영한 최적의 <mark>공정경로 재탐색 및</mark> 운전이 필요함

공정 경로 최적화를 통한 불량률 최소화



구분	공정 경로	양품개수	불량개수	불량률	평균
	12233,21311,33122	95,818	4,182	4.1826 %	
최대 수율	22311,11133,33222	186,000	7,468	3.8600 %	4.05%
888	12133,33322,21211	144,070	5,930	4.1106 %	
	31211,22333,13122	60,013	3,987	6.2297 %	
최저 수율 공정 경로	22122,13333,31211	74,022	5,978	7.4725%	7.42%
3332	13122,31211,22333	60,357	5,643	8.5555 %	

2 Proportion Test						
구분	구분 불량률(▼) 불량률(▲)					
양품개수	425,888	194,392				
불량개수	17,580	15,608				
P-value: 0.00 ☞ 최대 수윸 공정 경로에서 수윸이 3.468% 더 높음						

반도체 공정 운전조건 최적화 및 경로 추천 시스템 개발로 불량률 최소화 달성

분석결과 및 개선기회

개선안

수율을 획기적으로 개선하기 위한 공정 개선 활동 필요

생산 부하를 고려한 최적 공정 경로 산정 및 운전 필요

양품 운전 조건을 반영한 조업 안정화 운전 및 공정 최적화 필요

실시간 생산 모니터링을 통한 최적 운전 필요

실시간 불량률 모니터링 시스템 구축 및 최적 운전 실시

② 실시간 생산실적을 반영한 공정 경로 추천 시스템 개발 및 적용

6. 개선안

① 실시간 불량률 모니터링 시스템 구축 및 최적 운전 실시

주요 변수 운전 조건 최적화

- 주요 변수에 대해 양품만 발생하는 구간을 설정
- 해당 구간의 값을 갖는 새로운 데이터셋 생성

공정	주요변수	조정 구간	단위	
	Oxidation 공정 온도	862.01~871.01	°C	
Ovidation	Oxidation 등성 근도	1294.52~1348.47		
Oxidation	산화물 두께	681.44~695.76	nm	
	진치물 누세	727.56~737.4	nm	
Dhata safthala	흡착된 Resist 균일도	0.05~0.62	-	
Photo_softbake	급격한 Kesist 판결포	2.30~2.39		
Dhata litha	Line 패턴 간 거리	4.56~12.63	nm	
Photo_litho	Line 패턴 한 기디	71.76~76.27	nm	
	Thin Film 두께	-49~151	10.100	
F4	ININ FIIM 🛨"	680~687	nm	
Etching	식각 비율	192.9 ~ 185.43	0/	
	역식 미뀰	167.6 ~ 167.07	%	
Implantation	Chamber 내 온도	97.74~100.25	°C	
Implantation		106.7~107.37		

모델 시행 결과

1000개 웨이퍼 **Random Forest**

모든 웨이퍼 양품(0) 판정

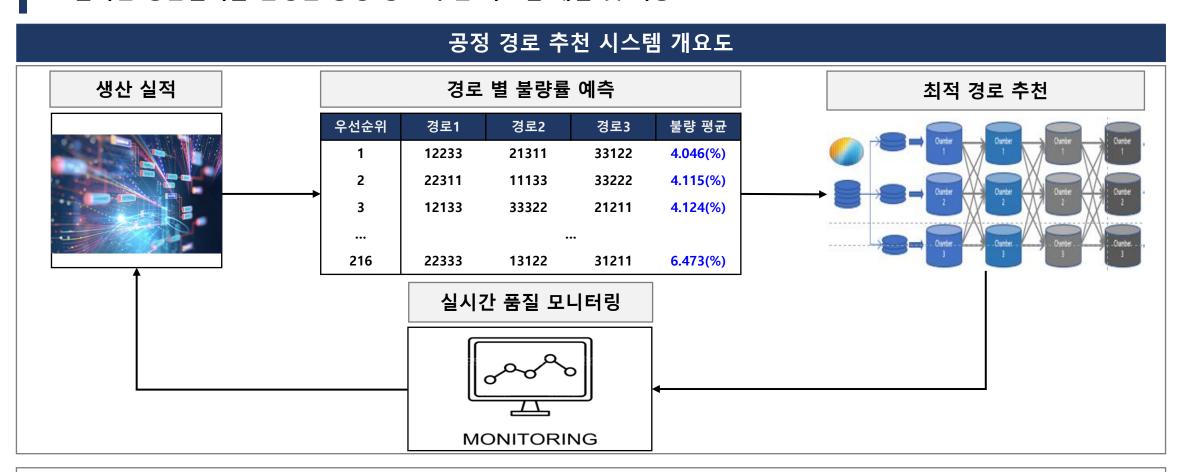
0: 불량 chip 개수가 200개 미만인 웨이퍼 1: 불량 chip 개수가 200개 이상인 웨이퍼

최적화 시스템 설계



6. 개선안

② 실시간 생산실적을 반영한 공정 경로 추천 시스템 개발 및 적용



81개 경로로 조합 가능한 총 216개 세트의 평균 불량률을 데이터 베이스화 "실시간 모니터링을 통한 데이터 베이스 업데이트와 이를 통한 최적 공정 경로 추천"