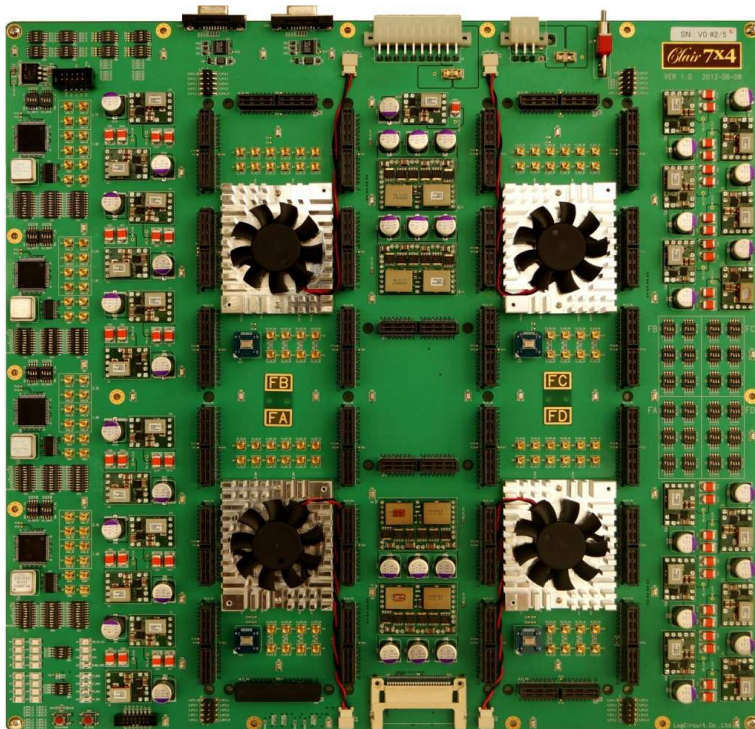


CLAIR 7x4 User's Guide

Ver. 0.9



INDEX

INDEX.....	2
History.....	3
Overview.....	4
Board Description	
BASE Board.....	5
IO 신호 구성.....	6
Power Description	
IO Power 설정.....	7
IO Power 설정 시 유의사항.....	8
Clock Description.....	10
Clock Generator 설정.....	11
Clock Buffer 설정.....	12

History

Overview

CLAIR7X4 보드는 ASIC 칩을 만들기 전에 HW/SW에 대한 선행 검증을 하기 위해 만들어진 플랫폼으로 기본 구성은 VIRTEX-7 4개로 구성된다. 그리고 각 기능별 daughter보드를 add-on 할 수 있도록 되어 있다. 용량 측면에서는 총 4개의 VIRTEX-7 2000T로 구성이 되어 최대 용량의 80% 정도 수준으로 보면 약 6400만 gate를 수용할 수 있다. (Glue-Logic 기준)

각 FPGA간 inter-connection은 230p(154p+76p)이며 inter-connection 핀이 더 필요한 경우 케이블 연결을 통하여 추가로 확장-연결시킬 수 있도록 되어 있다. 또한 신호의 속도 면에서도 differential signal을 사용하여 빠른 속도로 신호 전달을 할 수 있으며 SERDES 기술을 이용하는 경우 Inter-connection을 약 5배까지 늘릴 수 있다. Global Clock은 FPGA당 4개 연결되어있으며, cable 구성으로 최대 12개까지 연결할 수 있도록 되어 있다. Clock Cable(MMCX Cable)은 global clock 뿐 아니라 필요에 따라 다양한 Clock구성이 가능하다.

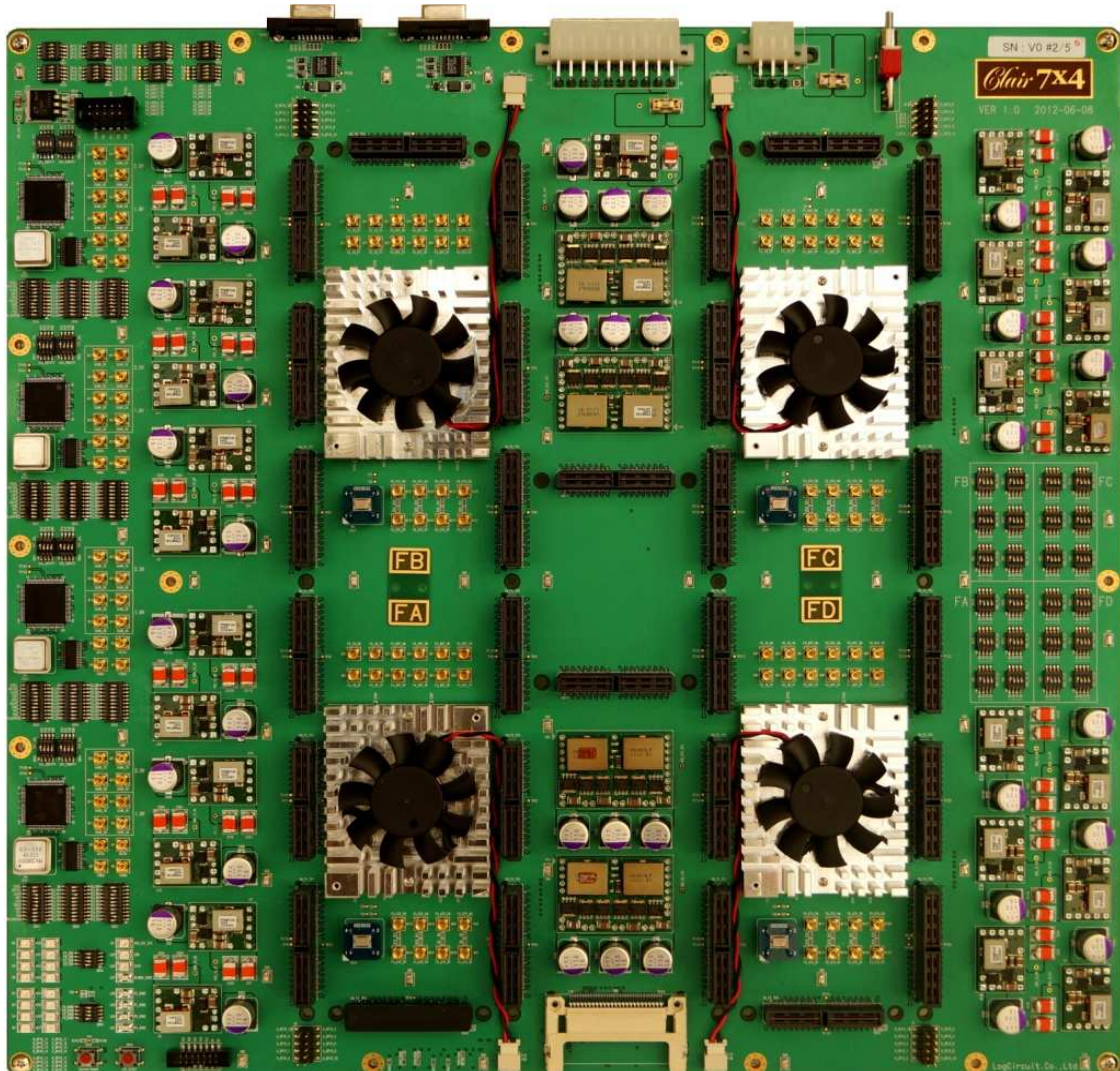


Figure.1 CLAIR7X4 FPGA Platform

Board Description

CLAIR7X4 보드는 4개의 FPGA Virtex-7 2000T로 구성이 되는데, 이 FPGA들은 서로간에 306p(90p+96p+120p)의 고정 interconnection을 가지고 있으며, 필요한 경우 SAMTEC 커넥터에 Bus Cable을 사용하여 추가로 840-pin의 IO 확장도 가능하다. 또, 4개의 clock Generator와 4개의 global clock buffer가 마련되어 있으며, 24개의 독립 전원 그룹을 두어, 각각 Connector 별 IO전압을 선택할 수 있도록 되어 있다.

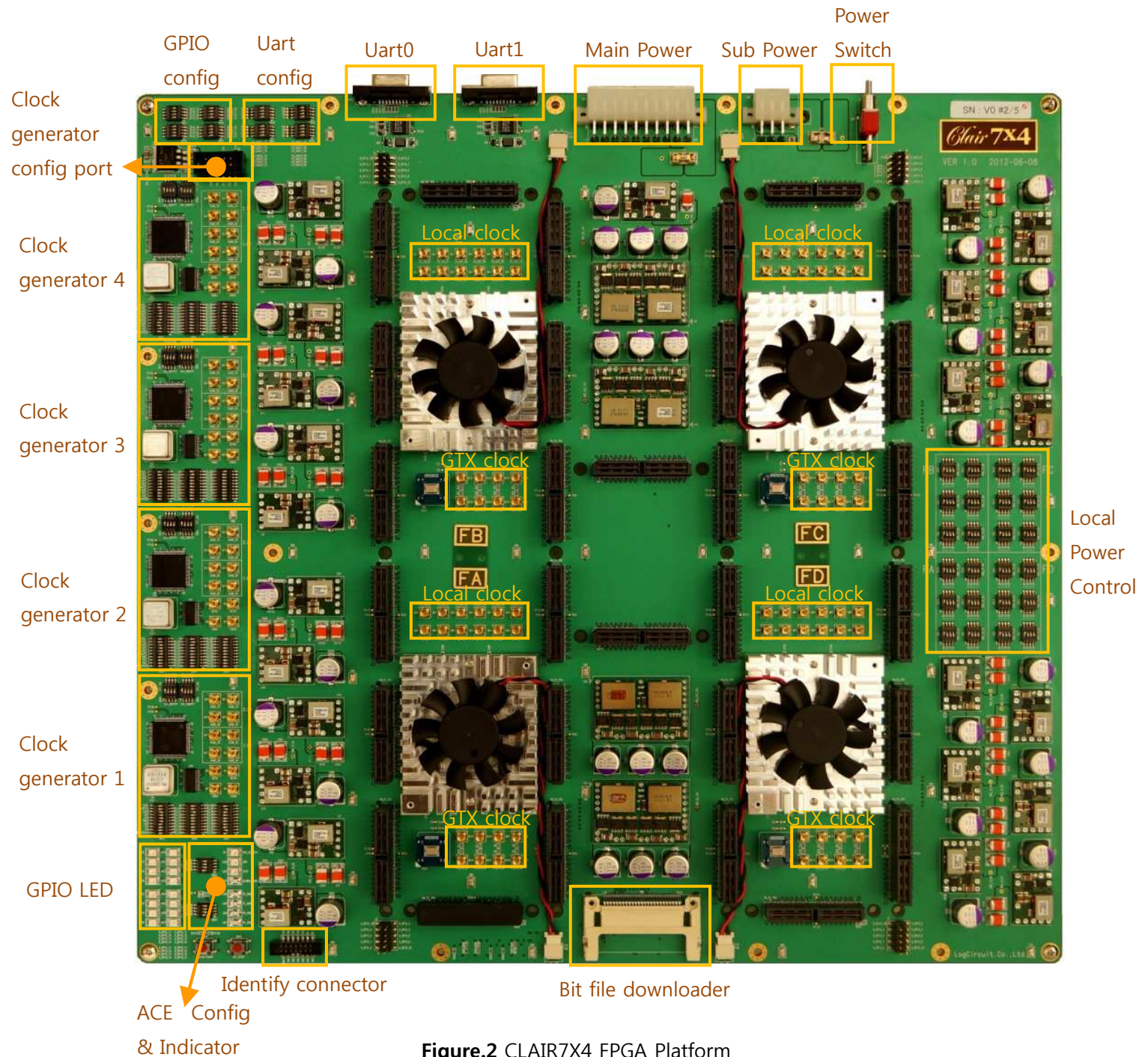


Figure.2 CLAIR7X4 FPGA Platform

IO 신호 구성

CLAIR7X4 보드의 IO는 아래의 그림4와 같이 할당되어 있다. 총 4개의 FPGA로 구성이 되는데, FPGA간 inter-connection은 FA-FB 210p(90p+120p), FB-FC 96p, FC-FD 210p(90p+120p), FA-FD 96p로 구성되어 있고, FPGA 하나당 user configurable한 IO는 120p짜리 samtec 커넥터 7개(1~7)로 총 840p가 있다. 이 중 1~6번(FA의 경우 A1~A6)은 inter-connection board를 이용하여 FPGA간 interconnection을 확장할 수도 있고, daughter board를 만들어 결합하여 사용할 수도 있다. 이와 달리 7번(FA의 경우 A7)은 inter-connection 전용 connector로 FA-FB간, 그리고 FC-FD간 120p씩 케이블로 inter-connection으로 연결하여 사용하는 용도로 설계되어있다. 아래 그림에서는 점선으로 표시된 A7-B7, C7-D7이 바로 그 부분이다. 그리고 각 FPGA마다 10pin의 GPIO가 있어서 추가적인 용도로 사용할 수 있다. 그림4에서 120, 96, 90, 60으로 표시된 숫자는 연결된 signal 수를 나타내고, 색은 FPGA 간 inter-connection은 빨간색, FPGA-samtec 커넥터 간 User IO는 파란색, 4개의 FPGA가 공유한 control line은 노란색으로 표시되었으며, 보라색(A8, B8, C8, D8)은 각 FPGA에서 60pin씩을 빼서 보드 중앙에 모아놨는데, 이 커넥터 위에 결합하는 inter-connector보드에 따라서 다양하게 결합할 수 있다. 전원그룹에 대해서는 다음 페이지에서 설명한다.

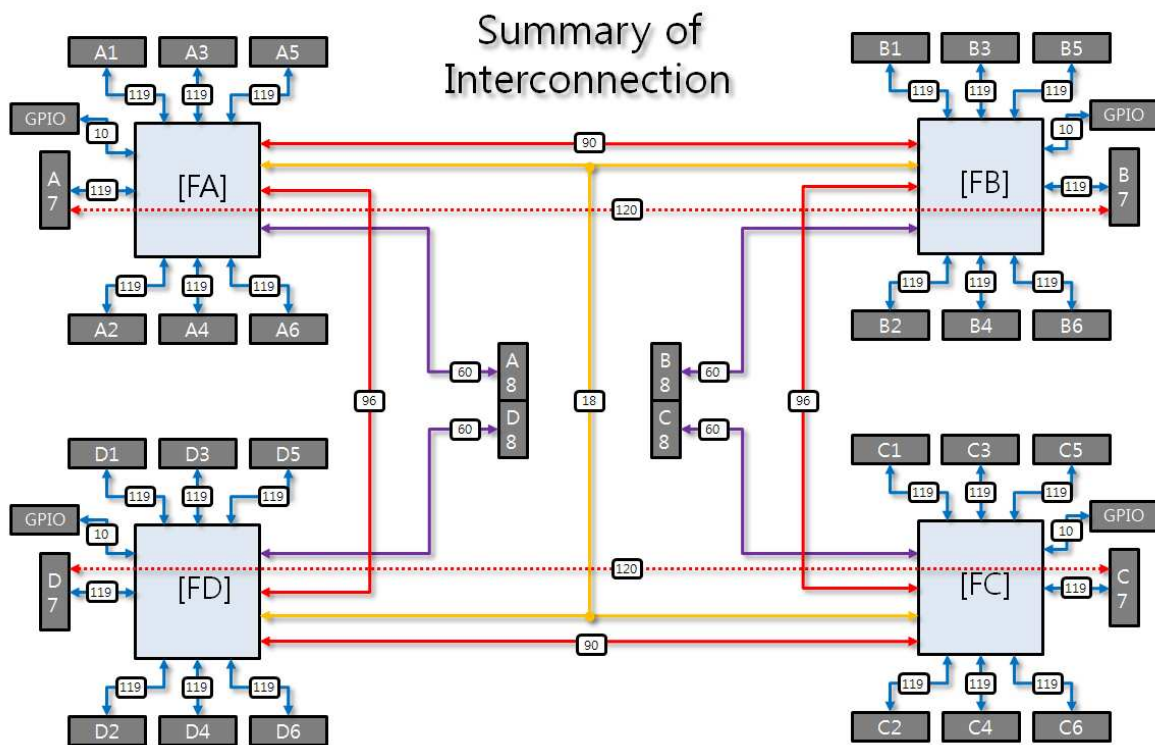


Figure.4 Base board interconnection and IO connection

Power Description - IO Power 선택

CLAIR7x4의 전원은 ATX POWER로부터 12V 전원을 받아서 동작한다. CLAIR7x4를 단독으로 쓸 때는 아래 그림의 MAIN POWER(20p ATX)를 연결하면 되고, HUINS 보드와 함께 쓸 때는 SUB POWER(6p eSATA)를 연결하면 된다. 이렇게 구성하는 이유는 HUINS보드와 CLAIR보드를 함께 쓸 경우 2개의 ATX POWER가 필요한데, 이를 하나의 ATX POWER로 사용하도록 하기 위해서다.

보드 내부 전원은 크게 고정된 전원과 가변 전원으로 나누어 진다. 먼저 고정 전원은 Core(1V), AUX(1.8V), Fixed IO(1.8V) 전원처럼 외부 device와 연결된 IO가 아닌 내부 logic을 구동하는 전원을 말하는데, 고정된 전압만을 사용하므로 설정 스위치가 없다.

이와 달리 가변 전원은 그림5처럼 각 커넥터로 연결된 IO에 대한 전원으로, 해당 커넥터에 연결된 device에 맞춰서 IO 전원을 선택할 수 있으며, 해당 커넥터의 선택 스위치는 우측 아래 그림처럼 번호를 확인해서 찾을 수 있다. 전원 선택 스위치의 위치는 왼쪽 아래 A1에서부터 오른쪽 위 C6까지 스위치와 실제 전원 커넥터의 위치가 1대 1로 동일한 순서로 배치되어 있어 해당 전원을 쉽게 선택할 수 있도록 했다. 해당 커넥터의 IO 신호의 level은 1.8V, 1.5V, 1.2V, 1.0V의 4가지 중 하나를 선택하여 사용할 수 있다.

여기서 주의할 점이 있는데, Virtex-7의 IO는 1.8V가 Max라서 1.8V 이상의 IO는 level shifter를 사용하여야 하고, 1.8V 이하의 전원(1.5V, 1.2V 또는 1.0V)로 선택하였을 경우, 해당 global clock 또는 FPGA간 inter-connection IO가 변경될 수 있어서 주의가 필요하다. 실질적으로는 모든 IO를 1.8V로 사용하는 것을 강력히 추천하며, 외부 device가 불가피하게 1.8V 이하인 경우 더라도 1.8V로 동작 여부를 확인하여 될 수 있으면 1.8V로 동작 시키는 것을 추천한다. 자세한 내용은 다음 장에 좀더 자세하게 설명한다.

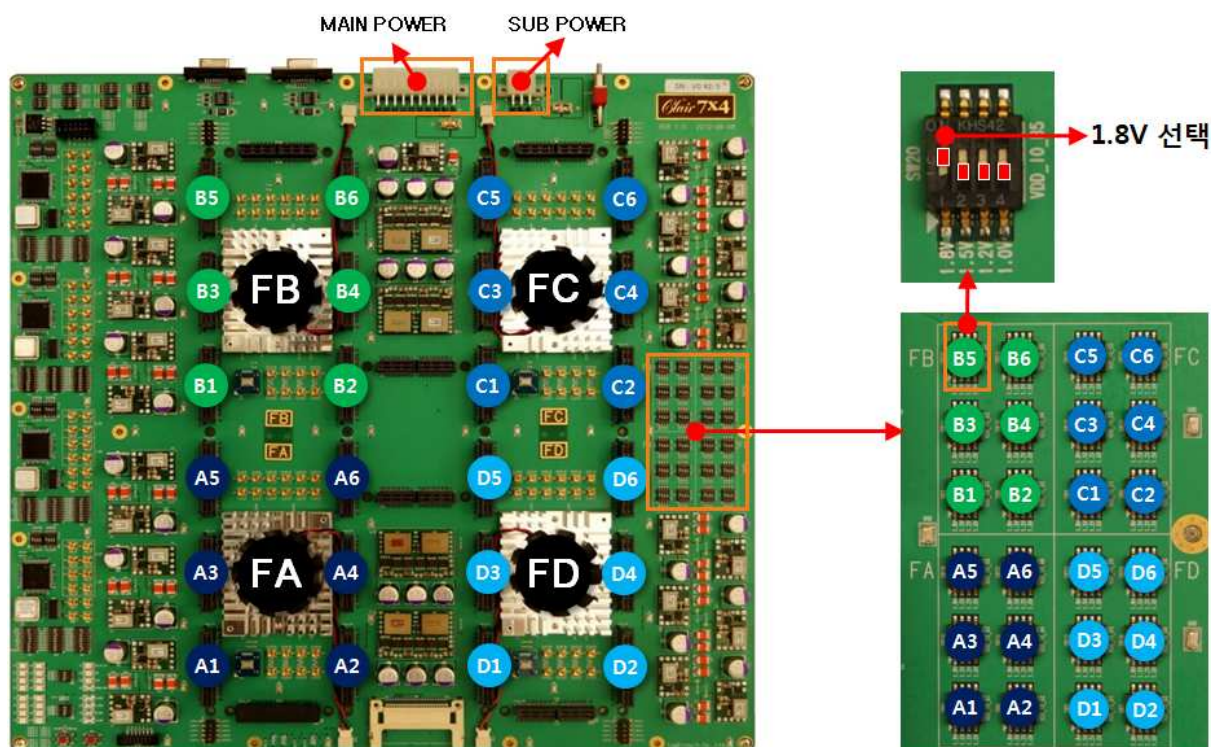
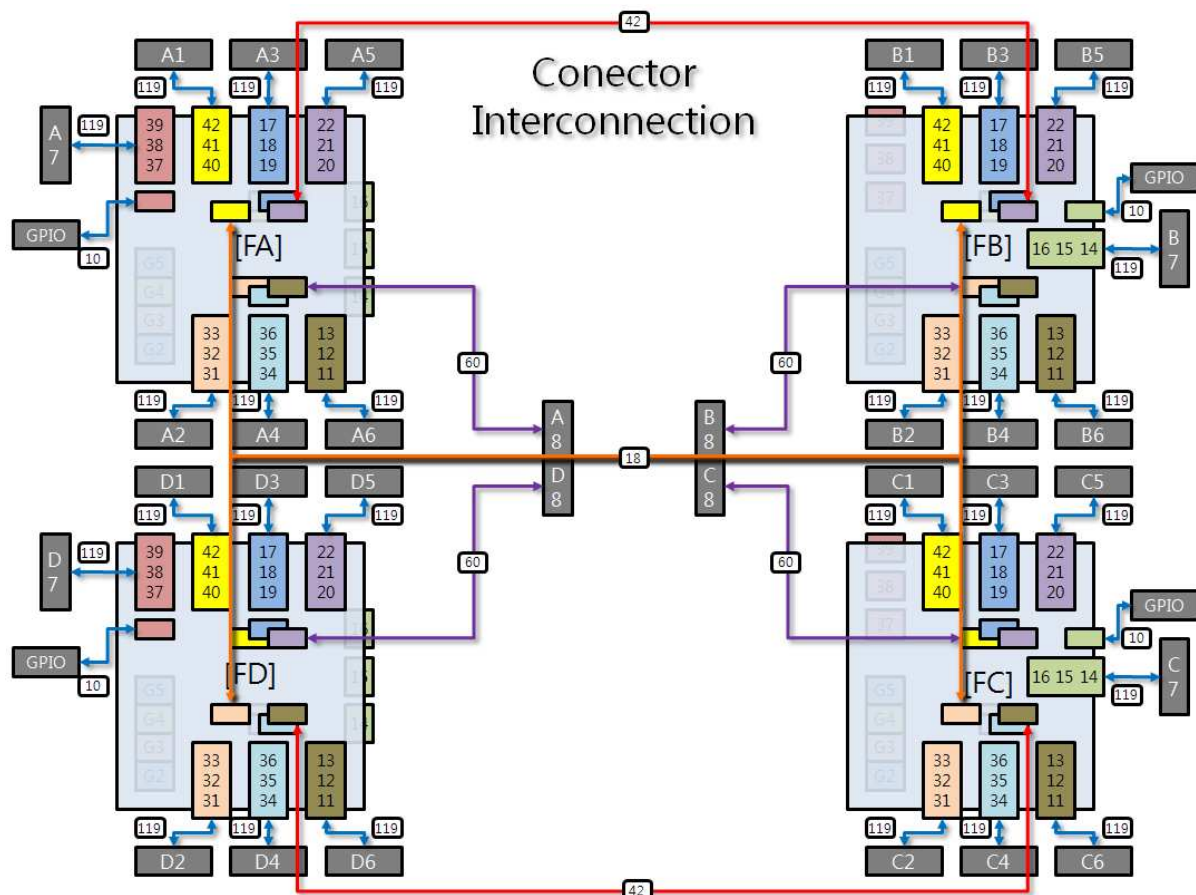


Figure.5 Power Group of BASE Board

Power Description - IO Power 시 유의사항

CLAIR7X4 보드에서 POWER를 설정하는데, 제한사항이 따르는 이유는 Virtex-6와 Virtex-7의 bank 구조의 차이에서 발생한다. 기존 Virtex-6의 경우 한 bank당 40pin의 IO가 있어, 3개의 bank를 가지고 120pin samtec 커넥터로 구성하면, 부가적으로 여분의 핀이 없어 독립적으로 전원을 설정할 수 있다. 하지만, Virtex-7의 경우 하나의 bank가 50pin으로 구성되어, 3개의 bank로 120-pin samtec 커넥터를 구성하면, 30pin이 남게 된다. 여분의 IO를 가지고 FPGA간 inter-connection을 구성하거나 Global clock, Uart 등을 구성하게 된다. 이로 인해 120pin으로 구성된 samtec 커넥터의 전원을 1.2V나 1.0V로 설정을 할 경우 부가적인 30pin의 구성의 전압이 함께 1.2V나 1.0V로 바뀌게 된다. 이렇게 되면 30pin이 inter-connection으로 구성되어있다면, 반대 쪽에 연결되는 신호도 함께 전원을 바꿔줘야 하는 문제가 발생한다.

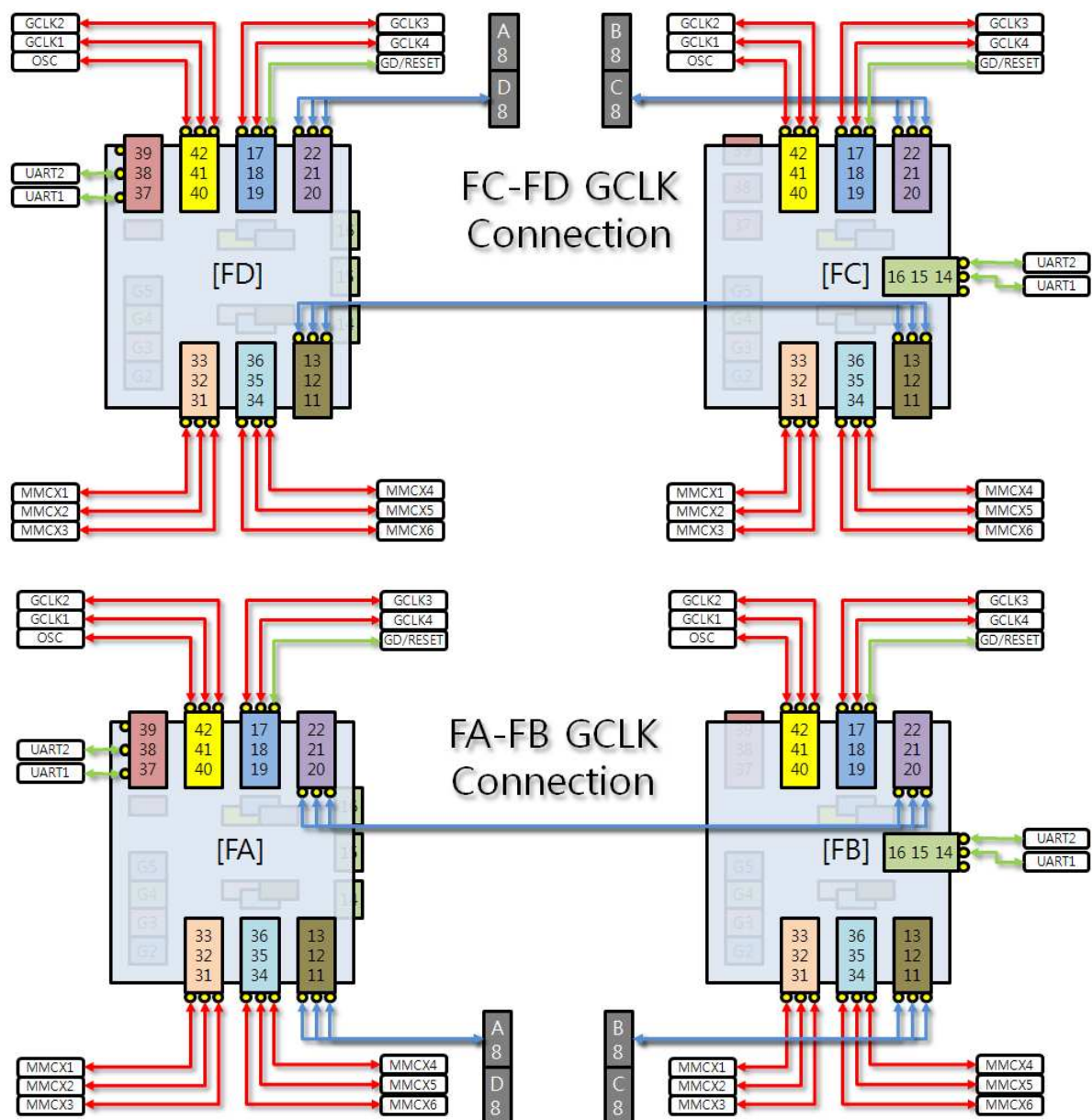
예를 들어 설명하자면, FA의 A1 커넥터의 전원을 1.2V로 설정하였다고 가정해보자. 그러면 아래 그림에서 왼쪽 위 노란색 상자 속 40, 41, 42번 bank가 1.2V로 설정이 된다. 이와 함께 40~42번 bank 아래에 있는 작은 노란색 블록도 동일한 bank이므로 함께 1.2V로 설정이 되게 된다. 이 작은 노란색 블록은 주황색 선으로 4개의 FPGA간에 연결되어 있고, FPGA 간 control 핀으로 공유하고 있어서, FB, FC, FD의 40~42번 bank도 함께 1.2V로 구성이 되어야 하는 문제가 발생한다.



Power Description - IO Power 시 유의사항(계속)

이와 더불어 Virtex-7은 각 bank 마다 MRCC, SRCC의 clock으로 사용할 수 있는 pin들이 포함되어있어, 이 핀들로 Global clock과 Local clock(MMCX 커넥터)이 구성되어 있는데, 이들도 앞서 설명한 것과 같이 bank 설정 전원에 맞춰서 동일하게 변경되기 때문에 1.2V로 변경할 경우 다소 문제의 소지가 있다.

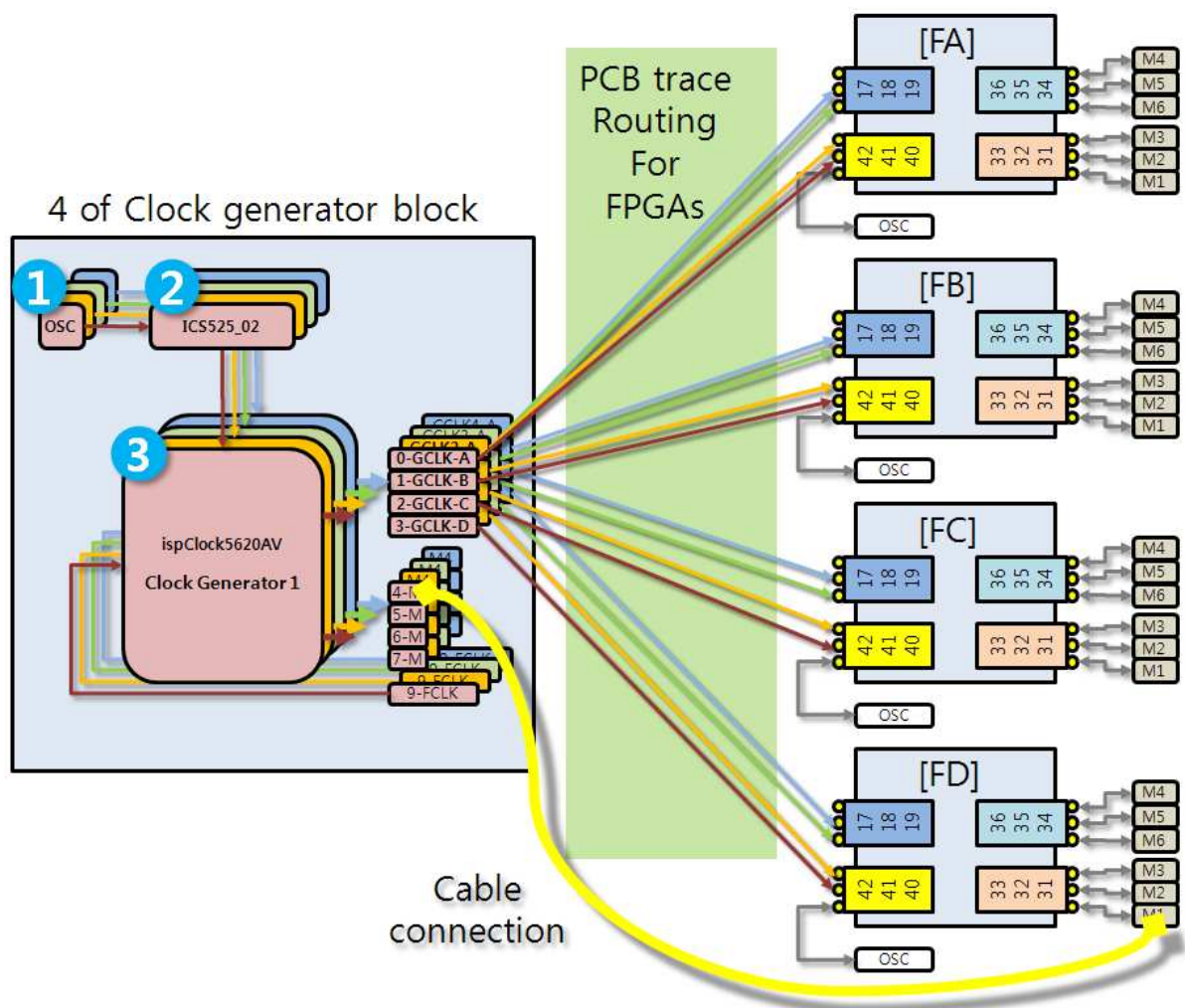
이와 같은 이유로 전원설정을 할 때, 가능하다면 1.8V로 사용을 하는 것이 강력히 권장되며, 반드시 1.8V 이하로 사용해야 할 경우 inter-connection이나 clock, uart 등의 문제를 확인하여, 이 부분을 사용하지 않도록 하여야 한다.

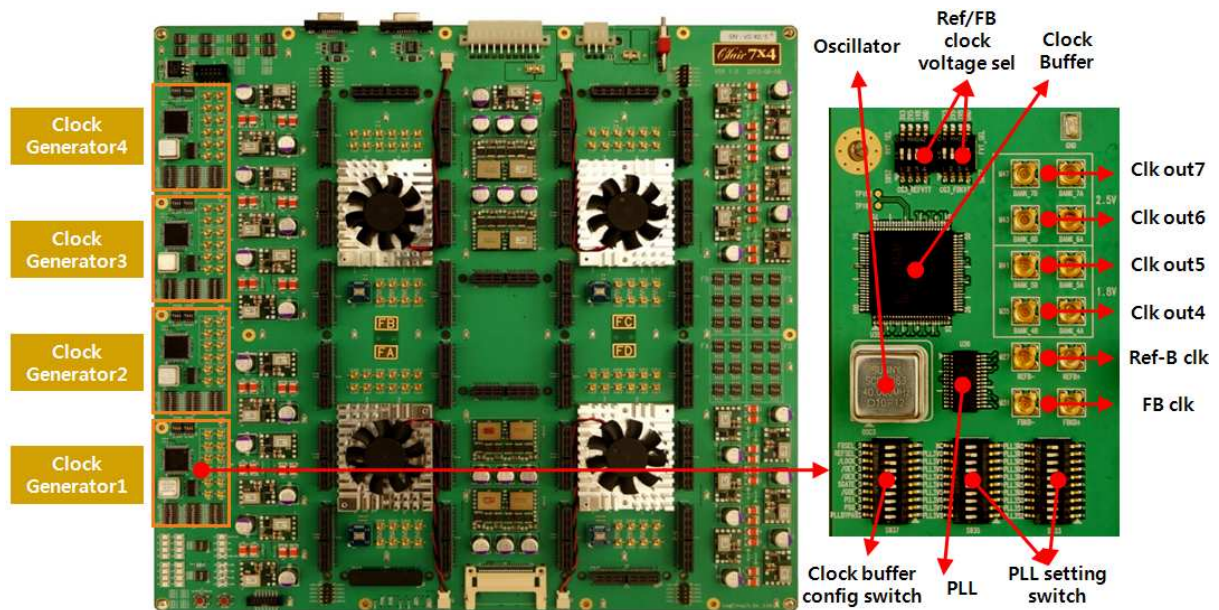


Clock Description

Clock Generator block은 CLAIR7x4 보드 좌측 면에 위치하고 있고, 왼쪽 아래서부터 1~4번으로 총 4개가 있다. 하나의 clock generator block은 세 부분으로 나뉘질 수 있는데, clock source와 clock PLL, clock buffer로 나눌 수 있다.

Clock source 부분은 oscillator로 구성이 되고, oscillator의 출력 clock이 PLL의 source clock으로 전달된다. clock PLL 부분은 PLL 칩(ISC525-02)과 PLL의 divide 값을 설정하는 PLL setting switch 2개로 구성되며, oscillator에서 입력 받은 2~50MHz를 PLL setting switch이 설정을 통해 250MHz까지 주파수를 생성할 수 있다. 이 PLL clock의 출력은 clock buffer의 Ref clock으로 다시 전달된다. 그리고 clock buffer부분은 clock buffer 칩(ispClock5620AV)와 clock buffer의 입력 Ref clock과 FB(feedback) clock의 전압을 설정하는 Ref/FB clock voltage selector, clock buffer config switch로 구성되며, PLL로부터 전달 받은 PLL clock을 buffering해서 4개의 FPGA에 동일한 clock frequency와 delay를 가진 differential global clock을 전달한다. 그리고 4개의 clock out을 MMCX 커넥터로 뽑아서 필요 시 cable을 통해서 연결할 수 있도록 하였다.





4개의 clock generator block은 각 oscillator, PLL, clock buffer로 구성되며, 다음과 같이 크게 세 단계를 거쳐서 이루어진다.

첫 번째는 Original clock source를 oscillator로 생성하는 단계이고, 두 번째는 생성된 clock을 PLL을 통해서 필요한 주파수로 변환하는 단계이다. 그리고 세 번째는 PLL로 만들어진 주파수를 divide하거나 혹은 bypass해서 각 FPGA로 전달하는 단계이다.

먼저 첫 번째 단계인 clock 생성은 default로 40MHz oscillator로 생성을 하는데, 이 clock을 ICS525-02 PLL 칩으로 전달한다. 두 번째 단계에서 ICS525-02 PLL 칩의 S, R, V의 pll setting 값으로 설정하고자 하는 값을 설정을 할 수 있다. Max 250MHz까지 설정이 가능하고. 설정은 다음 website를 참조해서 설정할 수 있다. 이 부분은 다음 장에서 자세히 설명한다. 세 번째 단계에서는 PLL로 설정된 주파수를 간단하게 divide 하거나 multiply 하여, 아래 그림 기준으로 0~3번 clock은 FPGA로 GCLK로 전달하고, 4~7번 clock은 MMCX 커넥터로 뽑아 필요 시 케이블로 연결할 수 있도록 했다. 그리고 9번 clock은 feed-back 해서 필요 시 clock의 delay를 보상하는 회로로 사용한다. 아래 그림은 CLAIR7X4의 전체적인 clock 구성을 보여 준다.

Clock Description - Clock PLL 설정

Clock PLL은 보드에서 사용할 Clock Source를 만들고 주파수를 필요한 값으로 설정하는 부분이다. 11page의 그림에서 clock generator block 내부의 1번(OSC)과 2번(ICS525-02)에 해당된다. Clock PLL은 Oscillator와 PLL로 구성이 되는데, PLL은 ICS525-02를 사용하고, 2~50MHz 입력을 받아서 250MHz까지 출력이 가능하다. 만약 40MHz oscillator를 넣고, HDMI clock인 74.25MHz를 맞추는 방법을 설명하자면 인터넷으로 <http://www.icst.com/support/calculators/52501> 에 접속해서 그림12처럼 input = 40MHz, output=74.25MHz, VDD=3.3V로 넣고, 아래 calculate 버튼을 누르면 결과 같이 나온다. 아래 그림13에 있는 Best accuracy 설정 값에 맞게 S0, S1, S2=1, R0, R4, R5 =1, V1, V2, V7=1로 설정을 하면, 74.248로 출력이 나오게 된다. 그림13에서 **525-01**이 아니라 **525-02**를 봐야 한다.

테이블의 값을 PLL setting switch에 설정하면, 원하는 clock을 만들 수 있다.

Input Frequency: 40 MHz

Desired Output Frequency: 74.25 MHz

Allowable Output Frequency Error: 100 ppm

(This is the *synthesis error*, a constant frequency offset which is added to the crystal error. It is possible for the synthesis error to be zero for most output frequencies.)

VDD: 3.3 V

Allowable Duty Cycle Range: no restriction

Operating Temperature: 0 to 70 deg C

Calculate

Figure.12 calculator

Set the input pins on the 525-02 according to this table:

				S2	S1	S0	R6	R5	R4	R3	R2	R1	R0	V8	V7	V6	V5	V4	V3	V2	V1	V0
	Out Freq	Error ppm	Pin	5	4	3	2	1	28	27	26	25	24	18	17	16	15	14	13	12	11	10
Best Accuracy	74.248366	22.0		1	1	1	0	1	1	0	0	0	1	0	1	0	0	0	0	1	1	0
Lowest Jitter	74.248366	22.0		1	1	1	0	1	1	0	0	0	1	0	1	0	0	0	0	1	1	0
Lowest IDD	74.248366	22.0		1	1	1	0	1	1	0	0	0	1	0	1	0	0	0	0	1	1	0

Figure.13 Setting table

Clock Description - Clock Buffer 설정

Clock Buffer는 lattice사의 ispClock5620AV를 사용한다. 이 device는 입력 받은 clock을 FPGA로 buffering 하는 것뿐만 아니라 그 clock 주파수를 divide하거나 multiply 할 수도 있으나, default로 1:1 bypass하게 설정되어 있기 때문에, ICS525-02를 설정하는 것으로 전체적인 clock 설정을 할 수 있다.

추가적으로 ispClock5620AV의 기능을 설명 하자면, oscillator로부터 하나의 입력을 받아서 0~9 까지 총 10 channel 출력 buffering이 가능한데, 각 IO 출력 주파수를 독립적으로 divide하거나 multiply할 수 있으며, IO type도 LVDS, SSTL, LVCMOS, single 및 differential 설정도 가능하다.

Clock buffer 설정 방법은 ispPA-Designer(왼쪽 위 그림)에서 Clock divide 값을 설정 완료한 후 JED 버튼(아래 그림 빨간 박스)을 누르면, JEDEC 파일이 만들어지고, 그 JEDEC 파일을 ispVM System(아래 중앙 그림)이라는 PC tool과 HW-USB-N-2A 케이블(오른쪽 위 사진)을 이용하여 CLAIR7x4에 있는 4개의 ispClock5620AV에 Download하면 설정된 값으로 clock이 출력된다.

보드가 release될 때는 default로 40MHz 입력을 10 channel 모두 bypass하는 것으로 설정되어 있으며, Max 200MHz까지는 정상적으로 동작되는 것을 확인하였다.

추가적인 설정방법을 알기 위해서는 아래 있는 ispClock5620_lattice.pdf 개체를 더블 클릭하면 자세한 내용을 확인할 수 있다.

더블 클릭 ispClock5620_lattice.pdf →

