

네, 요청하신 주제에 대한 기술 보고서를 작성해 드리겠습니다.

RFSoc DFE 및 동적 기능 교환(DFX)을 활용한 Non-Contiguous 4-Band SDR 구현 기술 보고서

1. 서론

현대의 소프트웨어 정의 라디오(SDR) 시스템은 서로 다른 주파수 대역에 분산된 여러 신호를 동시에 처리해야 하는 복잡한 요구사항에 직면해 있습니다. 특히, 4G/5G 동시 서비스, 군 통신, 전자전(EW) 및 스펙트럼 모니터링과 같은 애플리케이션에서는 물리적으로 인접하지 않은(Non-Contiguous) 다중 대역을 동시에, 그리고 동적으로 처리하는 능력이 필수적입니다.

AMD Zynq UltraScale+ RFSoc DFE는 이러한 과제를 해결하기 위한 이상적인 플랫폼을 제공합니다. 이 디바이스는 고성능 RF 데이터 컨버터(RF-ADC/DAC), 5G NR과 같은 표준을 위해 하드웨어로 구현된 디지털 프론트엔드(DFE) 블록, 그리고 유연한 프로그래머블 로직(PL)을 단일 칩에 통합했습니다.¹ 이 아키텍처는 Non-Contiguous 4-Band SDR 구현을 위한 강력한 기반을 형성합니다.

본 보고서는 여기서 한 걸음 더 나아가, RFSoc DFE의 동적 기능 교환(Dynamic Function eXchange, DFX) 기능을 활용하여 시스템의 유연성을 극대화하는 방안을 기술적으로 심층 분석합니다. DFX는 시스템의 다른 부분을 중단시키지 않고 FPGA 로직의 일부를 실시간으로 재구성할 수 있는 고급 기술로³, 이를 통해 각 RF 대역의 기능을 동적으로 변경하여 진정한 의미의 적응형 다중 대역 SDR을 구현하는 방법을 구체적으로 제시합니다.

2. 시스템 아키텍처 개요

Non-Contiguous 4-Band SDR의 핵심 목표는 넓은 RF 스펙트럼 내에 흩어져 있는 4개의 독립적인 주파수 대역을 동시에 수신(Rx)하고 송신(Tx)하는 것입니다. RFSoc DFE를 기반으로 한 시스템 아키텍처는 다음과 같이 구성됩니다.

- **RF 프론트엔드 및 데이터 변환:** 단일 RF-ADC가 4개의 목표 대역을 모두 포함하는 넓은 대역폭의 RF 신호를 직접 샘플링합니다.² 예를 들어, 1.8GHz, 2.1GHz, 2.6GHz, 3.5GHz에 위치한 4개의 밴드를 처리하기 위해, ADC는 7.125GHz까지 지원하는 넓은 순시

- 대역폭(iBW)으로 설정될 수 있습니다.² 송신 경로도 RF-DAC를 통해 유사하게 동작합니다.
- 디지털 채널화 (하향/상향 변환): 이것이 Non-Contiguous 대역 처리의 핵심입니다. RFSoc DFE에 내장된 하드웨어 디지털 하향 변환기(DDC) / 디지털 상향 변환기(DUC) 블록을 사용합니다.⁶
 - 광대역으로 디지털화된 ADC 출력은 DDC 블록으로 전달됩니다.
 - RFSoc DFE는 안테나 경로당 최대 8개의 구성 요소 반송파(Component Carrier, CC)를 지원하므로², 우리는 4개의 DDC 경로를 사용합니다.
 - 각 DDC 경로의 **수치 제어 발진기(NCO)**를 4개의 목표 주파수(예: 1.8GHz, 2.1GHz 등)로 각각 독립적으로 설정합니다.⁷ 이를 통해 각 대역 신호는 디지털적으로 기저대역(baseband)으로 주파수 하향 변환됩니다.
 - 이후 각 경로는 디지털 필터링 및 데시메이션을 통해 해당 대역의 신호만 추출하고 데이터 속도를 낮춥니다.⁶
 - 결과적으로, 광대역 RF 입력 하나가 4개의 독립적인 기저대역 AXI4-Stream 데이터로 분리됩니다.
 - 프로그래머블 로직 (PL) - 신호 처리:
 - DDC에서 출력된 4개의 기저대역 스트림은 PL에 구현된 4개의 병렬 신호 처리 체인으로 각각 입력됩니다.
 - 각 처리 체인은 복조, 디코딩, 변조 등 특정 파형에 맞는 기능을 수행합니다.
 - 이 영역이 바로 DFX가 적용되는 곳입니다. 각 신호 처리 체인을 '재구성 가능 파티션(Reconfigurable Partition)'으로 정의하여, 런타임에 그 기능을 동적으로 변경할 수 있습니다.
 - 프로세싱 시스템 (PS) - 제어 및 관리:
 - 내장된 Arm® 프로세서는 전체 SDR 시스템의 두뇌 역할을 합니다.¹
 - 부팅 시 RF 데이터 컨버터 IP와 DDC/DUC 블록을 초기 설정합니다.
 - 4개 대역의 NCO 주파수를 실시간으로 제어하여 동적 스펙트럼 할당을 지원합니다.
 - DFX 재구성 프로세스를 관리하고, 필요한 부분 비트스트림(Partial Bitstream)을 저장 장치에서 읽어와 PL에 로드하는 역할을 수행합니다.

3. 동적 기능 교환(DFX) 적용 전략 및 구현

DFX는 SDR의 적응성을 한 차원 높여줍니다. 예를 들어, Band 1은 5G NR 신호를 처리하다가, 필요에 따라 시스템 전체를 멈추지 않고 Band 1의 로직만 위성 통신 모뎀으로 변경할 수 있습니다. 이는 자원 활용을 최적화하고 새로운 표준이나 위협에 신속하게 대응할 수 있게 합니다.⁸

3.1. DFX 설계 워크플로우

1. 정적 영역(**Static Region**) 및 재구성 가능 파티션(**Reconfigurable Partition, RP**) 정의:
 - 정적 영역: DFX 프로세스 중에도 항상 동작을 유지하는 로직 영역입니다. 여기에는 Zynq PS 서브시스템, RF 데이터 컨버터 IP, DDC/DUC 하드 블록, 시스템 전체의 클럭 및 리셋 로직, 그리고 RP와의 안정적인 인터페이스를 위한 AXI 인터커넥트 및 버퍼(decoupling registers/FIFOs)가 포함되어야 합니다.
 - 재구성 가능 파티션(**RP**): PL 내에 4개의 독립적인 RP를 정의합니다. 각 RP는 DDC로부터 출력되는 4개의 기저대역 스트림 중 하나를 처리하는 신호 처리 체인을 담게 됩니다.
2. 재구성 가능 모듈(**Reconfigurable Module, RM**) 생성:
 - 각 RP에 대해 여러 버전의 기능을 구현합니다. 각 버전이 하나의 RM이 되며, 이는 부분 비트스트림 파일로 생성됩니다.
 - 예를 들어, RP_Band1에 대해 다음과 같은 RM들을 생성할 수 있습니다.
 - RM_5G_NR.pdi: 5G NR 파형 처리 로직
 - RM_LTE.pdi: LTE 파형 처리 로직
 - RM_SATCOM.pdi: 위성 통신 모뎀 로직
 - RM_EW_Jammer.pdi: 특정 전자전 재밍 파형 생성 로직
3. 런타임 제어 및 재구성:
 - 생성된 부분 비트스트림 파일들은 PS가 접근할 수 있는 비휘발성 메모리(예: SD 카드, eMMC)에 저장됩니다.
 - 사용자가 특정 대역의 모드 변경을 요청하면, PS에서 실행되는 제어 소프트웨어는 다음과 같은 절차를 수행합니다.
 1. 해당 RP로의 데이터 흐름을 일시 중지(quiesce)합니다.
 2. DFX 컨트롤러(예: PCAP)를 통해 저장된 해당 RM의 부분 비트스트림을 FPGA의 타겟 RP에 로드합니다.
 3. 재구성이 완료되면, RP를 리셋하고 데이터 흐름을 재개합니다.
 - 이 과정 동안 다른 3개의 RP와 정적 영역은 아무런 영향 없이 계속 동작합니다.

3.2. DFX 설계 시 기술적 고려사항

- 인터페이스 격리: 정적 영역과 RP 간의 모든 신호 경계는 반드시 레지스터나 FIFO와 같은 격리 로직을 통해 연결되어야 합니다. 이는 재구성 중에 발생할 수 있는 타이밍 위반이나 글리치(glitch)를 방지하여 시스템 안정성을 보장합니다.
- 자원 및 전력 관리: 각 RM은 동일한 RP의 물리적 영역 내에 구현되어야 하며, 할당된 로직 및 DSP 자원을 초과하지 않도록 설계해야 합니다. 또한, 각 RM의 전력 소모량을 Xilinx Power Estimator(XPE) 툴로 분석하여 시스템의 열 관리 설계에 반영해야 합니다.⁹
- 클럭킹 및 리셋: RP로 공급되는 클럭은 정적 영역에서 안정적으로 생성 및 공급되어야 합니다. 재구성 후 RM을 안정적인 상태에서 시작시키기 위한 명확한 리셋 절차를 제어 소프트웨어에 구현해야 합니다.

4. 구현 예시: Vivado 및 Vitis 워크플로우

1. Vivado (하드웨어 설계):

- Zynq UltraScale+ MPSoC IP를 사용하여 PS를 설정합니다.
- RF Data Converter IP를 추가하고, 4개 대역을 포함하는 광대역 모드로 ADC/DAC를 설정합니다. DDC/DUC 기능을 활성화하고, 4개의 CC 경로를 설정합니다. NCO 주파수는 런타임에 PS에서 설정할 수 있도록 AXI4-Lite 인터페이스를 노출합니다.⁷
- DFX를 위한 프로젝트 설정을 합니다. PL 영역에 4개의 RP를 정의하고, 각 RP에 대한 여러 RM(예: 5G NR 로직, LTE 로직 등)을 별도의 HDL 소스로 작성합니다.
- 정적 디자인을 먼저 구현한 후, 각 RM을 해당 RP에 대해 구현하여 정적 비트스트림과 다수의 부분 비트스트림을 생성합니다.
- 최종적으로 하드웨어 플랫폼 사양(XSA) 파일을 생성하여 Vitis로 내보냅니다.¹⁰

2. Vitis (소프트웨어 개발):

- 내보낸 XSA 파일을 기반으로 플랫폼 프로젝트를 생성합니다.¹²
- PS에서 실행될 제어 애플리케이션(Bare-metal 또는 RTOS 기반)을 작성합니다.
- 이 애플리케이션은 다음 기능을 포함해야 합니다.
 - RF Data Converter 드라이버를 사용하여 ADC/DAC 및 DDC/DUC NCO 주파수를 설정하는 API.
 - DFX 컨트롤러 드라이버를 사용하여 메모리에 저장된 부분 비트스트림을 특정 RP에 로드하는 기능.
 - 4개 대역의 데이터 처리 및 사용자 인터페이스 로직.

5. 결론

Zynq UltraScale+ RFSoc DFE는 내장된 RF 데이터 컨버터와 고도로 최적화된 DDC/DUC 하드웨어 블록을 통해, 별도의 외부 부품 없이 단일 칩으로 효율적인 Non-Contiguous 4-Band SDR을 구현할 수 있는 독보적인 플랫폼입니다.¹⁴

여기에 동적 기능 교환(DFX) 기술을 접목하는 것은 시스템의 패러다임을 한 단계 더 발전시킵니다. DFX를 통해 각 통신 대역의 핵심 기능을 시스템 중단 없이 실시간으로 교체함으로써, 하나의 하드웨어 플랫폼이 다양한 표준과 임무에 동적으로 적응할 수 있게 됩니다. 이는 변화하는 5G 표준, 다기능 전자전 시스템, 재구성 가능한 테스트 장비 등 미래 지향적인 RF 시스템 개발에 있어 핵심적인 전략적 우위를 제공합니다.⁸ 본 보고서에서 제시된 아키텍처와 구현 전략은 이러한 차세대 적응형 SDR 시스템을 성공적으로 구축하기 위한 기술적 토대가 될 것입니다.