

Jupiter SDR 플랫폼에서 IIO Oscilloscope를 이용한 DC Offset 제거 기능 분석 및 테스트 절차

섹션 1: Direct-Conversion SDR의 DC Offset 특성

1.1 Zero-IF 아키텍처와 그 불완전성

현대 Software Defined Radio (SDR)의 핵심에는 Direct-Conversion 또는 Zero-IF (ZIF) 수신기 아키텍처가 자리 잡고 있습니다. Jupiter SDR과 같은 AD936x 트랜시버 기반 플랫폼에서 널리 사용되는 이 구조는 RF 신호를 중간 주파수(IF) 단계를 거치지 않고 직접 기저대역(Baseband)으로 변환합니다.¹ ZIF 아키텍처의 가장 큰 장점은 부피가 크고 비용이 많이 드는 IF 대역 통과 필터와 추가적인 믹서 단계를 제거할 수 있다는 점입니다. 이로 인해 하드웨어 설계가 단순화되고, 크기가 작아지며, 넓은 주파수 대역을 유연하게 처리할 수 있는 능력이 극대화됩니다.

그러나 이러한 구조적 우아함에도 불구하고, ZIF 아키텍처는 본질적으로 몇 가지 민감한 문제점을 내포하고 있으며, 그중 가장 대표적인 것이 DC 오프셋(Offset)입니다.³ DC 오프셋은 기저대역으로 변환된 신호의 스펙트럼 중심, 즉 0 Hz 주파수에 원치 않는 강력한 직류(DC) 성분이 나타나는 현상입니다. 이는 결함이라기보다는 ZIF 설계 방식에 내재된 필연적인 부산물로 이해해야 합니다. 이 DC 성분은 수신된 신호의 동적 범위(Dynamic Range)를 심각하게 저해하고, 특히 신호의 중심에 위치한 정보를 왜곡하거나 완전히 가려버릴 수 있습니다. 따라서 ZIF 아키텍처를 사용하는 모든 고성능 SDR 시스템에서 DC 오프셋을 효과적으로 제거하는 기능은 선택이 아닌 필수적인 요구사항이 됩니다.

1.2 국부 발진기 누설(LO Leakage)의 원인과 스펙트럼 현상

DC 오프셋을 유발하는 첫 번째 주요 원인은 국부 발진기 누설(Local Oscillator Leakage, LOL)입니다. ZIF 수신기에서 국부 발진기(LO)는 수신된 RF 신호와 동일한 주파수의 신호를 생성하여 믹서에 공급하는 역할을 합니다. 이상적인 믹서라면 LO 신호는 믹서의 출력에 나타나지 않아야 합니다. 그러나 실제 반도체 칩에서는 완벽한 격리가 불가능합니다.³

LO 누설은 여러 물리적 경로를 통해 발생합니다. 실리콘 기판 자체의 기생 커패시턴스, 칩 내부의 배선 간 상호 결합, 패키지의 본드 와이어 간 커플링 등으로 인해 LO 포트에 인가된 신호의 일부가 믹서의 RF 입력단이나 출력단으로 직접 '누설'됩니다.³ 이 누설된 LO 신호는 수신된 RF 신호와 함께 믹서에서 자기 자신과 곱해지는 자기 혼합(self-mixing) 과정을 거칩니다. 주파수가 같은 두 신호가 곱해지면 그 결과는 주파수가 0인 DC 성분과 원래 주파수의 두 배인 고조파 성분을 포함하게 됩니다. 고조파 성분은 후단의 저역 통과 필터(LPF)에 의해 쉽게 제거되지만, 주파수가 0인 DC 성분은 필터를 그대로 통과하여 기저대역 신호에 중첩됩니다.

결과적으로, 스펙트럼 분석기에서 관찰할 때 LO 누설은 기저대역 스펙트럼의 정확히 중앙(0 Hz)에 날카로운 스파이크(spike) 형태로 나타납니다. 이 스파이크는 실제 수신된 신호가 아님에도 불구하고 매우 큰 전력을 가질 수 있으며, 이는 ZIF 시스템에서 수신하고자 하는 신호가 바로 이 0 Hz 주변에 위치하기 때문에 치명적인 문제가 됩니다.

1.3 I/Q 불균형(Imbalance)의 이해: 이득 및 위상 오차

DC 오프셋을 유발하는 두 번째 핵심 요인은 I/Q 불균형입니다. ZIF 수신기는 이미지 주파수(image frequency)를 제거하기 위해 동위상(In-phase, I) 경로와 직교위상(Quadrature, Q) 경로라는 두 개의 신호 경로를 사용합니다. LO 신호는 90도의 위상차를 갖는 두 신호로 분리되어 각각 I 경로와 Q 경로의 믹서에 공급됩니다. 이론적으로 이 두 경로는 완벽하게 동일한 특성을 가져야 합니다.⁴

하지만 실제 아날로그 회로에서는 제조 공정상의 미세한 편차로 인해 I 경로와 Q 경로를 구성하는 믹서, 증폭기, 필터 등의 소자들이 완벽하게 동일한 특성을 가질 수 없습니다.⁵ 이로 인해 두 가지 주요 불균형이 발생합니다.

1. 이득 불균형 (Gain Imbalance): I 경로와 Q 경로의 전체 증폭량이 미세하게 다른 경우입니다. 이로 인해 I 채널과 Q 채널의 신호 진폭이 달라집니다.⁴
2. 위상 불균형 (Phase Imbalance): I 경로와 Q 경로에 공급되는 LO 신호 간의 위상차가 정확히 90도가 아닌 경우입니다. 1도 미만의 작은 오차라도 성능에 영향을 미칩니다.⁴

이러한 I/Q 불균형은 원치 않는 이미지 신호를 완벽하게 제거하지 못하게 만들어 수신 성능을 저하시킬 뿐만 아니라, 각 경로의 아날로그 소자들이 갖는 고유한 DC 오프셋 전압이

불균형하게 결합되면서 최종 기저대역 출력에 순수한 DC 성분을 추가하는 원인이 됩니다.

1.4 종합적 효과: 중심 주파수의 DC 스파이크

결론적으로, SDR 수신기의 스펙트럼에서 관찰되는 단일 DC 스파이크는 단일 원인에 의한 것이 아닙니다. 이는 국부 발진기 누설로 인해 발생하는 DC 성분과 I/Q 경로의 불균형 및 기타 아날로그 회로의 오프셋으로 인해 발생하는 DC 성분의 벡터 합(vector sum)입니다.⁴

이 DC 스파이크는 시스템에 여러 가지 심각한 문제를 야기합니다. 첫째, 매우 큰 DC 성분은 후단의 아날로그-디지털 변환기(ADC)의 입력 범위를 포화시켜 신호의 클리핑(clipping)을 유발할 수 있습니다. 둘째, ADC가 포화되지 않더라도 DC 성분이 전체 동적 범위의 상당 부분을 차지하게 되어 미약한 신호의 양자화 정밀도를 떨어뜨립니다.⁷ 셋째, 스펙트럼의 중심에 강력한 스파이크가 존재함으로써 해당 주파수 대역은 사실상 '수신 불능 지역(blind spot)'이 되어 버립니다.⁸ 따라서 고성능 SDR 시스템을 구현하기 위해서는 이러한 복합적인 원인으로 발생하는 DC 오프셋을 정밀하게 보정하는 메커니즘이 반드시 필요합니다. AD936x와 같은 최신 트랜시버가 아날로그 영역과 디지털 영역 모두에서 작동하는 다단계 보정 기능을 탑재한 것은 바로 이러한 문제의 물리적 복잡성에 대한 직접적인 공학적 대응이라 할 수 있습니다.

섹션 2: AD936x 트랜시버의 온칩(On-Chip) DC Offset 보정

2.1 AD936x 수신기 체인 개요

Jupiter SDR의 핵심 부품인 AD9361/AD9364 트랜시버는 고도로 집적된 RF 프런트엔드와 유연한 혼합 신호 기저대역 섹션을 결합한 장치입니다.¹ 수신기 신호 경로는 저잡음 증폭기(LNA), I/Q 믹서, 트랜스임피던스 증폭기(TIA), 아날로그 기저대역 필터, 그리고 고성능 ADC로 구성됩니다. 이 칩의 중요한 특징 중 하나는 수신 성능을 최적화하기 위한 포괄적인 온칩 보정 기능들을 내장하고 있다는 점입니다. 여기에는 자동 이득 제어(AGC), 직교 오차 보정(Quadrature Correction)뿐만 아니라, 본 보고서의 핵심 주제인 DC 오프셋 보정 기능이 포함됩니다. 이러한 기능들이 칩 내부에 통합되어 있어 외부의 디지털 기저대역 프로세서(FPGA 또는 CPU)의 부담을 크게 줄여줍니다.¹

2.2 이중 계층 보정 접근법: RF 대 Baseband

AD936x는 DC 오프셋 문제에 대응하기 위해 정교한 이중 계층(two-tiered) 보정 방식을 채택하고 있습니다. 이 방식은 문제의 근원이 되는 아날로그 영역과 신호 처리가 이루어지는 디지털 영역 모두에서 보정을 수행하여 효과를 극대화합니다. 이 두 가지 메커니즘은 IIO Oscilloscope와 같은 제어 소프트웨어를 통해 독립적으로 활성화하거나 비활성화할 수 있으며¹¹, 각각 다음과 같이 명명됩니다.

1. **RF DC Correction (RF DC 보정)**
2. **Baseband DC Correction (기저대역 DC 보정)**

이 두 기능은 서로 다른 원리로 작동하며, 상호 보완적으로 DC 오프셋을 제거하는 역할을 합니다.

2.3 메커니즘 1: RF DC Offset Correction (아날로그 영역)

RF DC 보정 알고리즘은 DC 오프셋의 주요 원인 중 하나인 아날로그 프런트엔드 단의 불균형을 직접적으로 해결하기 위해 설계되었습니다. 이 메커니즘은 순수한 아날로그 방식이 아닌, 디지털 제어를 통한 아날로그-디지털 피드백 루프로 동작합니다.¹³

- **작동 원리:** 알고리즘은 먼저 ADC 이후의 디지털 데이터를 샘플링하여 DC 성분을 측정합니다. 이 측정값을 바탕으로 필요한 보정 계수를 계산한 뒤, 이 디지털 값을 다시 아날로그 신호로 변환하여 수신기 체인의 초기 단계인 트랜스임피던스 증폭기(TIA) 단계에 보정 전류(analog current)를 주입합니다. 이 보정 전류는 TIA 단계에서 발생하는 오프셋을 상쇄시켜 ADC에 도달하기 전에 DC 성분을 원천적으로 감소시키는 역할을 합니다.
- **보정 범위:** 이 보정은 지속적으로 이루어지지 않습니다. 대신, 수신기 이득 테이블에 미리 지정된 특정 이득 인덱스(gain index)에서만 교정(calibration)이 수행됩니다. 교정 결과로 얻어진 보정 값들은 각 이득 인덱스에 해당하는 룩업 테이블(Look-Up Table, LUT)에 저장됩니다. 이후 수신기 이득이 해당 인덱스로 설정될 때마다 LUT에 저장된 보정 값이 자동으로 적용됩니다.¹³

2.4 메커니즘 2: Baseband DC Offset Tracking (디지털 영역)

기저대역 DC 보정은 ADC를 통과한 후 디지털화된 신호에 남아있는 잔여 DC 오프셋이나

시간에 따라 천천히 변하는 드리프트(drift)를 추적하고 제거하는 역할을 합니다. 이 과정은 완전히 디지털 영역에서 이루어집니다.¹³

- **작동 원리:** 이 알고리즘은 디지털 샘플들을 일정 시간 동안 누적(accumulate)하여 평균 DC 레벨을 계산합니다. 그런 다음, 계산된 DC 레벨의 역수 값을 원본 신호에 더하거나 빼서 DC 성분을 제거합니다. 이 보정의 강도는 'M-shift'라는 프로그래밍 가능한 파라미터를 통해 조절됩니다. M-shift 값은 보정 신호에 적용되는 이진 감쇠기(binary attenuator) 역할을 하여, 값이 작을수록 더 강한 보정을, 값이 클수록 더 약한 보정을 수행합니다.¹³
- **보정 범위:** RF 보정과 달리, 이 알고리즘은 모든 아날로그 기저대역 필터의 이득 단계에 걸쳐 지속적으로 DC 오프셋을 추적하고 보정합니다. 따라서 RF 보정보다 더 동적이고 광범위한 추적 능력을 가집니다.

2.5 온칩 알고리즘의 알려진 한계와 특이 사례

AD936x의 DC 보정 시스템은 매우 정교하지만, 특정 조건에서는 오작동하거나 성능이 저하될 수 있는 알려진 한계가 존재합니다. 이러한 한계를 이해하는 것은 시스템 설계와 테스트에 매우 중요합니다.

- **Near-DC 문제:** 두 알고리즘 모두 DC에 매우 가까운(통상 7.5 kHz 미만) 강력한 외부 신호에 민감합니다. 알고리즘은 유한한 시간 동안 샘플링하여 DC를 측정하기 때문에, 이러한 저주파 신호 에너지를 실제 DC 오프셋으로 오인할 수 있습니다. 그 결과, 알고리즘이 유효한 신호를 '보정'하려고 시도하면서 신호 왜곡을 일으키거나 진폭을 감소시킬 수 있습니다.¹³
- **RF 보정 잠금(Lock-up) 현상:** 더 심각한 문제로, DC에 매우 근접한 매우 큰 외부 신호가 입력될 경우 RF DC 보정 알고리즘이 포화 상태에 빠질 수 있습니다. 이 상태가 되면 보정 계수가 최대치에 고정되어, 원인이 된 외부 신호가 사라진 후에도 정상으로 복귀하지 못하는 '잠금' 현상이 발생할 수 있습니다. 이 문제를 해결하기 위해서는 칩을 재설정하거나 보정 절차를 다시 수행하는 등의 외부 개입이 필요합니다.¹³ 이러한 현상은 실제 사용자 포럼에서도 유사한 "이상 동작"으로 보고된 바 있습니다.¹⁴

이러한 온칩 보정 시스템의 동작 방식은 수신기의 자동 이득 제어(AGC)와 미묘한 상호작용을 가집니다. AGC가 신호 강도에 따라 수신기 이득을 동적으로 변경할 때, RF DC 보정은 LUT에 저장된 값들 사이를 전환하게 됩니다. 만약 이득 변경이 빈번하게 발생하면, 서로 다른 보정 값들이 단계적으로 적용되면서 기저대역 신호에 저주파 노이즈나 '툭'하는 과도 현상(transient artifact)을 유발할 수 있습니다. 따라서 DC 보정 기능을 테스트할 때는 AGC를 비활성화하고 수동 이득 모드에서 수행하여 변수를 통제하는 것이 중요합니다.

다음 표는 AD936x의 두 가지 온칩 DC 오프셋 보정 메커니즘의 주요 특징을 요약한 것입니다.

표 2.1: AD936x 온칩 DC 오프셋 보정 메커니즘 비교

특징	RF DC Offset Correction	Baseband DC Offset Correction
동작 영역	아날로그 보정 (TIA 단)	디지털 보정 (ADC 이후)
메커니즘	디지털 데이터 샘플링 후 보정용 아날로그 전류 주입	디지털 샘플 누적 후 역의 디지털 값 차감
제어 루프	디지털-아날로그 피드백	순수 디지털 피드백
보정 범위	Rx 이득 테이블에 정의된 특정 이득 인덱스에서만 교정 (LUT 기반)	모든 아날로그 기저대역 필터 이득 단계에 걸쳐 추적
주요 대상	아날로그 RF 프론트엔드에서 발생하는 정적 및 이득 의존적 오프셋 (예: LO 누설)	ADC 이후의 잔여 DC 오프셋 및 저주파 드리프트
주요 한계	DC에 근접한(< 7.5 kHz) 강한 외부 신호에 의해 포화되어 잠김 현상 발생 가능	유효한 저주파 신호를 DC 오프셋으로 오인하여 왜곡시킬 수 있음
IIO Scope 제어	AD936x 플러그인 탭의 Enable RF DC Correction 체크박스	AD936x 플러그인 탭의 Enable Baseband DC Correction 체크박스

섹션 3: 테스트 및 측정 환경으로서의 IIO Oscilloscope

3.1 Analog Devices IIO 에코시스템 소개

IIO Oscilloscope를 이용한 테스트를 이해하기 위해서는 먼저 그 기반이 되는 Analog Devices의

IIO (Industrial I/O) 에코시스템에 대한 이해가 필요합니다. IIO는 리눅스 커널에 통합된 표준 프레임워크로, 다양한 센서, ADC, DAC 등 산업용 입출력 장치와 사용자 공간 애플리케이션 간의 표준화된 인터페이스를 제공합니다.¹⁵ 이 프레임워크의 핵심에는

libiio 라이브러리가 있습니다. libiio는 C로 작성된 크로스플랫폼 라이브러리로, 로컬(임베디드 시스템 내) 또는 원격(네트워크, USB, 시리얼)으로 IIO 장치에 접근할 수 있는 일관된 API를 제공합니다.¹⁶

IIO Oscilloscope는 바로 이 libiio 라이브러리를 기반으로 구축된 대표적인 그래픽 사용자 인터페이스(GUI) 애플리케이션입니다.¹⁷ 이는 단순한 데이터 시각화 도구를 넘어, 연결된 IIO 장치의 파라미터를 실시간으로 제어하고, 데이터를 캡처하며, 분석하는 강력한 프로토타이핑 및 디버깅 도구의 역할을 합니다.

3.2 SDR 플랫폼과의 연결 설정

테스트를 시작하기 위한 첫 단계는 Jupiter SDR(예: ADALM-PLUTO)과 호스트 PC의 IIO Oscilloscope를 연결하는 것입니다.

1. 소프트웨어 및 드라이버 설치: Analog Devices의 공식 GitHub 릴리즈 페이지에서 자신의 운영체제에 맞는 IIO Oscilloscope 실행 파일을 다운로드하여 설치합니다.¹⁹ 윈도우 환경의 경우, PlutoSDR과 같은 장치를 위한 USB 드라이버도 함께 설치해야 합니다.¹⁹
2. 하드웨어 연결: SDR 장치를 USB 케이블이나 이더넷 케이블을 통해 호스트 PC에 연결합니다.
3. 장치 식별: 명령 프롬프트(Command Prompt)나 터미널을 열고 `iio_info -s` 명령을 실행합니다. 이 명령은 현재 연결 가능한 모든 IIO 장치를 스캔하여 각각의 고유한 URI(Uniform Resource Identifier)를 표시합니다. URI는 연결 방식을 나타내며, USB 연결의 경우 `usb:x.x.x`와 같은 형식으로, 네트워크 연결의 경우 `ip:xxx.xxx.xxx.xxx`와 같은 형식으로 나타납니다.¹⁹
4. 연결: IIO Oscilloscope를 실행하고, 'Connect' 창의 URI 입력란에 `iio_info -s`를 통해 확인한 장치의 URI를 정확하게 입력한 후 'Refresh' 버튼을 누릅니다. 장치가 정상적으로 인식되면 드롭다운 메뉴에 나타나며, 이를 선택하고 'Connect' 버튼을 누르면 연결이 완료됩니다.

3.3 인터페이스 탐색: 캡처, 플롯, 그리고 플러그인 탭

IIO Oscilloscope에 성공적으로 연결하면 여러 창이 나타납니다. 주 제어 창에서는 데이터 캡처를 시작하고 중지할 수 있으며, 플롯 창에서는 캡처된 데이터를 시각적으로 확인할 수

있습니다. 가장 중요한 부분은 장치별 설정을 담고 있는 플러그인(Plugin) 탭입니다.

AD936x 기반의 장치에 연결하면, 주 제어 창에 'AD9361/AD9364'라는 이름의 전용 탭이 나타납니다.¹⁹ 이 탭은 트랜시버의 핵심 파라미터를 직접 제어할 수 있는 인터페이스를 제공합니다. 사용자는 이 탭에서 RX/TX LO 주파수, 샘플링 속도, RF 대역폭, 이득 제어 모드 등 다양한 설정을 변경할 수 있습니다. DC 오프셋 보정 기능을 테스트하기 위한

Enable RF DC Correction과 Enable Baseband DC Correction 체크박스도 바로 이 탭 안에 위치해 있습니다.

이 GUI의 제어 기능은 단순한 소프트웨어 필터링이 아닙니다. 사용자가 GUI에서 체크박스를 클릭하거나 값을 변경하면, IIO Oscilloscope는 libiio 라이브러리를 통해 해당 명령을 AD936x 칩의 특정 레지스터에 대한 SPI(Serial Peripheral Interface) 쓰기 명령으로 변환하여 전달합니다.²¹ 즉, GUI를 통한 조작은 칩 내부의 실제 하드웨어 블록을 직접 활성화하거나 비활성화하는 행위입니다. 이는 IIO Oscilloscope를 이용한 테스트가 소프트웨어 시뮬레이션이 아닌, 실제 하드웨어의 성능을 직접 특성화하는 과정임을 의미합니다.

3.4 주요 창: 시간 영역, 주파수 영역(FFT), 그리고 컨스텔레이션 플롯

IIO Oscilloscope는 캡처된 데이터를 세 가지 주요 형태로 시각화하는 기능을 제공합니다.¹⁸ DC 오프셋 테스트에서는 이들을 적절히 활용해야 합니다.

- 주파수 영역 (**Frequency Domain**) 플롯: DC 오프셋 테스트에서 가장 핵심적인 창입니다. 이 창은 캡처된 시간 영역 데이터를 고속 푸리에 변환(FFT)하여 스펙트럼을 표시합니다. DC 오프셋은 이 플롯에서 0 Hz 주파수 빈(bin)에 뚜렷한 전력 스파이크로 나타나기 때문에, 보정 기능의 활성화/비활성화에 따른 스파이크의 진폭 변화를 직관적으로 관찰하고 정량적으로 측정할 수 있습니다.
- 시간 영역 (**Time Domain**) 플롯: 캡처된 I 및 Q 신호의 원본 파형을 시간의 흐름에 따라 보여줍니다. DC 오프셋이 심할 경우, 파형 전체가 0 레벨에서 위 또는 아래로 치우쳐 있는 것을 확인할 수 있습니다.
- 컨스텔레이션 (**Constellation**) 플롯: I 데이터를 X축, Q 데이터를 Y축으로 하여 신호점을 2차원 평면에 표시합니다. 이 플롯은 주로 I/Q 불균형의 영향을 시각화하는 데 유용합니다. DC 오프셋은 컨스텔레이션의 중심점을 원점(0,0)에서 벗어나게 만들며, 이득 및 위상 불균형은 컨스텔레이션 모양을 왜곡시킵니다.⁴

DC 오프셋 보정 기능의 효과를 명확하게 테스트하고 검증하기 위해서는 주로 주파수 영역 플롯을 주시하면서, 필요에 따라 시간 영역 및 컨스텔레이션 플롯을 보조적으로 참조하는 것이 효과적입니다.

섹션 4: DC Offset 보정 테스트를 위한 7단계 가이드

이 섹션에서는 Jupiter SDR과 IIO Oscilloscope를 사용하여 AD936x 트랜시버의 온칩 DC 오프셋 보정 기능의 성능을 정량적으로 테스트하고 검증하는 상세한 7단계 절차를 제시합니다. 각 단계는 명확한 수행 절차, 예상되는 관찰 결과, 그리고 그 결과에 대한 해석을 포함합니다. 이 절차는 개별 보정 메커니즘의 효과를 분리하여 측정하고, 시스템의 한계를 파악하는 과학적인 접근법에 기반합니다.

1단계: 초기 하드웨어/소프트웨어 설정 및 기준 측정

이 단계의 목표는 외부 신호의 영향을 배제하고 수신기 자체에서 발생하는 내부 DC 오프셋을 측정하기 위한 통제된 기준 환경을 구축하는 것입니다.

- 수행 절차:
 - Jupiter SDR (예: ADALM-PLUTO)의 RX1A 수신 포트에 50옴 종단기(terminator)를 연결합니다. 이는 안테나를 통해 유입될 수 있는 모든 외부 RF 신호를 차단하는 역할을 합니다.
 - SDR을 호스트 PC에 USB로 연결하고 IIO Oscilloscope를 실행합니다.
 - iio_info -s 명령으로 확인된 URI를 사용하여 장치에 연결합니다.
 - 'AD9361/AD9364' 플러그인 탭으로 이동하여 다음과 같이 수신 파라미터를 설정합니다.¹⁹
 - RX LO Frequency:** 915 MHz (또는 다른 임의의 주파수)
 - Sampling Rate:** 10 MSPS
 - RF Bandwidth:** 5 MHz
 - Hardware Gain (dB):** 'Manual' 모드로 설정하고 값을 30 dB로 지정합니다. AGC는 동적 이득 변화로 인해 측정의 일관성을 해칠 수 있으므로 반드시 'Manual' 모드를 사용해야 합니다.
 - Enable RF DC Correction과 Enable Baseband DC Correction 체크박스가 모두 해제되어 있는지 확인합니다.
- 목표: 이 설정은 보정 기능이 모두 비활성화된 상태에서, 특정 이득 값(30 dB)에서의 순수한 내부 DC 오프셋을 측정하기 위한 기준점(baseline)을 설정합니다.

2단계: 미보정 DC Offset의 시각화

이 단계에서는 보정 기능이 없는 상태에서 DC 오프셋이 스펙트럼에 어떻게 나타나는지

확인합니다.

- 수행 절차:
 1. 'Plot' 메뉴에서 'Frequency Domain'을 선택하여 FFT 플롯 창을 엽니다.
 2. 주 제어 창에서 'Capture' 버튼을 클릭하여 데이터 수집을 시작합니다.
- 관찰 결과: FFT 플롯의 정확히 중앙, 즉 0 Hz 주파수 지점에서 주변 잡음 레벨보다 훨씬 높은 날카로운 스파이크가 뚜렷하게 관찰될 것입니다. 이 스파이크가 바로 보정되지 않은 DC 오프셋입니다.
- 해석: 이 스파이크의 피크 전력 레벨(dBFS 단위)을 기록해 둡니다. 이것이 앞으로 수행할 모든 보정 성능 평가의 기준이 되는 '문제의 크기'입니다.

3단계: Baseband DC Offset 보정 효과 테스트

이 단계에서는 디지털 영역에서 작동하는 기저대역 DC 보정 기능의 성능을 단독으로 평가합니다.

- 수행 절차:
 1. 데이터 캡처가 실행 중인 상태에서 'AD9361/AD9364' 탭으로 돌아가 Enable Baseband DC Correction 체크박스를 선택합니다. Enable RF DC Correction은 여전히 해제된 상태를 유지합니다.
- 관찰 결과: 체크박스를 선택하는 즉시 FFT 플롯의 0 Hz 스파이크 진폭이 눈에 띄게 감소하는 것을 볼 수 있습니다. 스파이크가 완전히 사라지지는 않을 수 있지만, 상당한 수준의 억제 효과가 나타납니다.
- 해석: 감소된 후의 피크 전력 레벨을 기록합니다. 2단계에서 측정한 값과의 차이가 기저대역 DC 보정 알고리즘 단독의 억제 성능(dB 단위)을 나타냅니다. 이는 ADC 이후의 잔여 오프셋을 제거하는 디지털 필터의 효과를 분리하여 측정한 것입니다.

4단계: RF DC Offset 보정 효과 분리 테스트

이번에는 아날로그 영역에서 작동하는 RF DC 보정 기능의 성능을 단독으로 평가합니다.

- 수행 절차:
 1. 먼저, Enable Baseband DC Correction 체크박스를 다시 해제하여 시스템을 2단계와 동일한 상태로 되돌립니다. 0 Hz 스파이크가 원래 크기로 복원되는 것을 확인합니다.
 2. 이제 Enable RF DC Correction 체크박스를 선택합니다.
- 관찰 결과: 3단계와 마찬가지로 0 Hz 스파이크의 진폭이 크게 감소합니다. 감소량은 3단계의 결과와 비슷할 수도 있고 다를 수도 있습니다.
- 해석: 감소된 후의 피크 전력 레벨을 기록합니다. 이 값은 아날로그 프런트엔드 단에서

오프셋을 직접 보정하는 RF 보정 알고리즘의 단독 성능을 나타냅니다. 3단계의 결과와 이 결과를 비교하면, 현재 이득 및 주파수 조건에서 두 메커니즘 중 어느 쪽이 더 효과적인지 상대적으로 평가할 수 있습니다.

5단계: 통합 온칩 보정 성능 평가

이 단계에서는 두 가지 보정 기능을 모두 활성화하여 AD936x가 제공하는 최상의 DC 오프셋 억제 성능을 확인합니다.

- 수행 절차:
 1. Enable RF DC Correction이 선택된 상태에서 Enable Baseband DC Correction 체크박스도 선택합니다. 이제 두 보정 기능이 모두 활성화되었습니다.
- 관찰 결과: 0 Hz의 DC 스파이크가 최대로 억제되어 FFT의 평균 잡음 플로어(noise floor) 속으로 거의 사라지는 것을 관찰할 수 있습니다. 이것이 이 SDR의 최적화된 DC 오프셋 보정 성능입니다.
- 해석: 이 상태는 장치의 표준 동작 모드에 해당합니다. 최종적으로 억제된 DC 성분의 전력 레벨은 이 수신기의 중요한 성능 지표가 됩니다. 2단계의 미보정 값과 비교하여 전체 DC 오프셋 억제비(rejection ratio)를 계산할 수 있습니다.

6단계: Near-DC CW 톤을 이용한 스트레스 테스트

이 단계는 ¹³에 기술된 온칩 알고리즘의 알려진 한계를 직접 검증하는 과정입니다.

- 수행 절차:
 1. SDR의 50옴 종단기를 제거하고 신호 발생기(Signal Generator)의 출력을 연결합니다.
 2. 신호 발생기에서 연속파(Continuous Wave, CW) 톤을 생성합니다. 주파수는 RX LO 주파수에 매우 가깝게 설정합니다. 예를 들어, RX LO가 915 MHz라면 915.005 MHz (즉, 기저대역에서 +5 kHz 오프셋)로 설정합니다.
 3. 출력 전력은 -70 dBm과 같이 낮은 레벨에서 시작합니다.
 4. 두 DC 보정 기능이 모두 활성화된 상태(5단계와 동일)에서 FFT 플롯을 관찰합니다.
- 관찰 결과: +5 kHz 지점에 생성된 CW 톤이 나타납니다. 보정 알고리즘이 이 신호를 DC 오프셋으로 오인하여 '보정'하려 들면서 톤의 진폭이 불안정하게 흔들리거나 감소하는 현상이 나타날 수 있습니다. 신호 발생기의 출력 전력을 서서히 증가시키면서 관찰을 계속합니다. 특정 전력 레벨 이상이 되면 0 Hz에 억제되었던 DC 스파이크가 다시 나타나거나, +5 kHz 톤이 심하게 왜곡되는 등 알고리즘이 실패하는 지점을 확인할 수 있습니다. 이는 ¹³에서 설명된 '잠금' 현상 또는 오작동을 재현하는 것입니다.
- 해석: 이 테스트는 온칩 보정 알고리즘의 동작 경계를 확인하는 중요한 과정입니다. 알고리즘이 실패하기 시작하는 입력 신호의 주파수 오프셋과 전력 레벨을 확인함으로써,

실제 애플리케이션에서 시스템이 안정적으로 동작할 수 있는 '안전한' 신호 환경의 범위를 파악할 수 있습니다.

7단계: 결과 문서화 및 성능 해석

마지막 단계는 모든 테스트 결과를 종합하고 정량적으로 분석하는 것입니다.

- 수행 절차:
 1. 각 단계에서 캡처한 스크린샷과 기록한 0 Hz 스파이크의 피크 전력 레벨을 하나의 표로 정리합니다.
- 해석:
 - 정량 분석: 각 보정 메커니즘(기저대역, RF)이 단독으로 제공하는 억제량(dB)은 얼마인가? 두 기능을 함께 사용했을 때의 총 억제량은 얼마인가?
 - 한계 분석: 스트레스 테스트에서 어느 정도의 주파수 오프셋과 전력 레벨을 가진 Near-DC 신호가 보정 알고리즘의 오작동을 유발했는가?
 - 종합 결론: 이 분석을 통해 테스트 대상 Jupiter SDR의 DC 오프셋 보정 성능에 대한 포괄적인 특성 보고서를 작성할 수 있습니다. 이 데이터는 향후 시스템 설계 및 신호 처리 알고리즘 개발에 중요한 기초 자료로 활용될 수 있습니다.

섹션 5: 고급 및 소프트웨어 기반 DC Offset 완화 전략

AD936x에 내장된 온칩 보정 기능은 매우 효율적이지만, 특정 시나리오에서는 그 한계가 명확합니다. 이러한 경우, 또는 더 높은 수준의 제어가 필요한 애플리케이션에서는 하드웨어 기능을 보완하거나 대체할 수 있는 다양한 소프트웨어 기반의 고급 DC 오프셋 완화 전략을 고려할 수 있습니다.

5.1 LO 주파수 편이: 문제 영역 회피

가장 강력하고 널리 사용되는 시스템 레벨 기법 중 하나는 의도적으로 LO 주파수를 편이(shift)시키는 것입니다. 이 방법은 DC 오프셋 문제를 직접 해결하는 대신, 문제가 발생하지 않는 영역으로 회피하는 접근법입니다.²²

- 메커니즘: 수신하고자 하는 목표 신호의 중심 주파수가 f_{desired} 라고 가정해 봅시다. 이 때 SDR의 LO를 f_{desired} 가 아닌, 약간의 오프셋 f_{offset} 을 더한 $f_{\text{desired}} +$

f_{offset} 으로 튜닝합니다. 이렇게 하면, LO 누설과 I/Q 불균형으로 인한 DC 스파이크는 기저대역의 0 Hz가 아닌, $-f_{\text{offset}}$ 주파수에 나타나게 됩니다. 반면, 우리가 수신하고자 하는 목표 신호는 기저대역의 0 Hz가 아닌, $-f_{\text{offset}}$ 주파수를 중심으로 나타납니다. 이제 디지털 영역에서 수신된 신호 전체에 주파수 편이(복소 지수 함수를 곱하는 연산)를 적용하여 목표 신호를 다시 0 Hz로 이동시킬 수 있습니다.

- **장점:** 이 기법의 가장 큰 장점은 DC 스파이크라는 '오염원'을 우리가 관심 있는 신호 대역 밖으로 완전히 분리시킨다는 점입니다. 이렇게 분리된 DC 스파이크는 후처리 과정에서 간단한 고역 통과 필터(High-Pass Filter)나 노치 필터(Notch Filter)로 신호에 아무런 영향을 주지 않고 쉽게 제거할 수 있습니다. 이는 온칩 알고리즘이 오작동을 일으키는 Near-DC 신호 수신 문제에 대한 완벽한 해결책이 될 수 있습니다.

5.2 디지털 DC 차단 필터: 후처리 신호 처리

데이터가 ADC를 통해 수집된 후, 소프트웨어나 FPGA에서 디지털 필터를 적용하여 DC 성분을 제거할 수 있습니다. 이는 온칩 기능이 불충분하거나 비활성화된 경우 유용한 방법입니다.

- **단순 IIR 필터:** 가장 일반적인 방법은 계산적으로 매우 저렴한 1차 IIR(Infinite Impulse Response) 필터를 사용하는 것입니다. 이 필터는 현재 입력 샘플에서 이전 입력 샘플을 빼고, 이전 출력 샘플에 감쇠 계수를 곱해 더하는 방식으로 동작합니다. 이는 '누설 적분기(leaky integrator)'의 고역 통과 버전으로, DC 성분은 효과적으로 차단하면서 저주파 신호의 왜곡을 최소화합니다.⁸
- **GNU Radio DC Blocker 블록:** 오픈 소스 SDR 프레임워크인 GNU Radio에서 제공하는 DC Blocker는 이러한 기능의 실용적인 예시입니다. 이 블록은 DC 주변에 매우 좁고 날카로운 노치 필터를 생성하도록 설계된, 단순 IIR 필터보다 정교한 알고리즘을 사용합니다.²⁴ 하지만 이 방법의 잠재적인 단점은, 만약 수신하고자 하는 신호 자체가 DC 성분(예: OOK 변조 신호의 기저 레벨)을 포함하고 있다면 필터가 이 유효한 정보까지 함께 제거해 버릴 수 있다는 점입니다.²⁶

5.3 적응형 DC 제거 알고리즘 소개

온도 변화나 장비 노후화 등으로 인해 DC 오프셋이 고정되어 있지 않고 시간에 따라 천천히 변동하는 경우가 있습니다. 이러한 동적인 오프셋을 처리하기 위해서는 적응형(adaptive) 알고리즘이 필요합니다.

- **평균 차감 (Mean Subtraction):** 가장 간단한 적응형 기법은 블록 단위로 동작하는 것입니다. 일정 개수(블록)의 샘플을 수집한 뒤, 이 블록의 평균값을 계산합니다. 이 평균값이 해당 구간의 DC 오프셋 추정치가 됩니다. 그런 다음 블록 내의 모든 샘플에서 이

평균값을 빼서 DC를 제거합니다.⁸ 더 부드러운 보정을 위해, 현재 블록의 평균값을 이전까지의 평균값과 가중 평균하여 이동 평균(moving average) 보정 값을 사용할 수도 있습니다.

- **칼만 필터 (Kalman Filter):** 더 정교하고 동적인 환경에서는 칼만 필터와 같은 고급 추적 알고리즘을 사용할 수 있습니다. 칼만 필터는 신호와 노이즈의 통계적 모델을 기반으로 시간에 따라 변하는 DC 오프셋을 최적으로 추정하고 이를 실시간으로 제거합니다. 이 방법은 시스템 지연을 최소화하면서 매우 정확하게 동적 DC 바이어스를 추적할 수 있어 최첨단 기법으로 간주됩니다.²⁷

결론적으로, DC 오프셋 완화 전략은 하나의 정답이 있는 것이 아니라, 여러 도구들로 구성된 하나의 '툴박스'와 같습니다. 온칩 보정은 실시간성과 낮은 자원 소모라는 장점이 있지만 동작 한계가 명확합니다. 반면, 소프트웨어 기반 기법들은 유연성과 강력한 성능을 제공하지만 지연 시간과 계산 복잡도를 증가시킵니다. 따라서 최적의 시스템 설계는 애플리케이션의 특정 요구사항(예: 신호의 특성, 허용 지연 시간, 사용 가능한 계산 자원 등)을 고려하여 이러한 하드웨어 및 소프트웨어 기법들을 적절히 조합하는 하이브리드 접근법을 통해 이루어집니다.

섹션 6: 강건한 시스템 설계를 위한 최종 권장 사항

본 보고서에서 수행된 분석과 테스트 절차를 바탕으로, Jupiter SDR과 같은 AD936x 기반 플랫폼에서 DC 오프셋 문제를 효과적으로 관리하고 강건한 시스템을 설계하기 위한 종합적인 권장 사항을 제시합니다.

6.1 하이브리드 접근법의 종합: 하드웨어와 소프트웨어의 결합

DC 오프셋 완화를 위한 최적의 전략은 단일 솔루션에 의존하는 것이 아니라, 하드웨어와 소프트웨어의 강점을 결합하는 다층적(multi-layered) 접근법을 채택하는 것입니다.

- **1차 방어선 - 온칩 보정:** AD936x에 내장된 RF DC Correction과 Baseband DC Correction 기능은 시스템 자원을 전혀 소모하지 않고 실시간으로 동작하므로, 항상 활성화하는 것을 기본 원칙으로 삼아야 합니다. 이 기능들은 특히 시스템이 처음 켜졌을 때 발생하는 크고 정적인 DC 오프셋을 제거하는 데 매우 효율적입니다.
- **2차 방어선 - 소프트웨어 보정:** 온칩 기능만으로는 완벽하게 제거되지 않는 잔여 오프셋이나 동적 드리프트를 처리하기 위해 소프트웨어 기반 솔루션을 추가로 적용하는 것이 좋습니다.
 - 일반적인 경우: 대부분의 애플리케이션에서는 간단한 디지털 DC 차단 필터(예: 1차 IIR 필터)를 추가하는 것만으로 충분히 깨끗한 신호를 얻을 수 있습니다.
 - **Near-DC** 신호가 중요한 경우: 수신하고자 하는 신호가 DC에 매우 근접해 있거나(예:

도플러 레이다, 일부 저속 데이터 통신), 온칩 알고리즘의 오작동을 유발할 가능성이 있는 경우에는 LO 주파수 편이 기법을 사용하는 것이 가장 강력하고 안정적인 해결책입니다. 이는 문제를 근본적으로 회피하여 시스템의 신뢰성을 크게 향상시킵니다.

6.2 맞춤형 SDR 애플리케이션을 위한 DC Offset 교정 모범 사례

커스텀 SDR 애플리케이션을 개발하는 엔지니어를 위해 다음과 같은 실질적인 모범 사례를 권장합니다.

1. 초기 교정 수행: 안정적인 온도 환경에서 동작하는 시스템의 경우, 생산 단계나 초기 설정 과정에서 한 번의 정밀 교정을 수행하는 것이 효과적입니다. 안테나 포트를 50옴으로 종단한 상태에서 DC 오프셋을 측정하고, 이를 상쇄하기 위한 보정 계수를 계산하여 비휘발성 메모리에 저장해 두었다가 시스템 부팅 시 적용할 수 있습니다.⁴
2. 수신 신호의 특성 파악: 개발 초기 단계에서 목표 신호의 스펙트럼 특성을 명확히 분석해야 합니다. 만약 신호가 DC 근처에 중요한 정보를 포함하고 있다면, 온칩 보정 기능에만 의존하는 것은 위험합니다. 이 경우, 설계 초기부터 LO 주파수 편이 기법을 시스템 아키텍처에 반영하는 것을 적극적으로 고려해야 합니다.
3. 이득 및 온도에 대한 특성 평가: 본 보고서의 7단계 테스트 절차는 단일 이득 및 온도 조건에서의 성능을 평가합니다. 실제 시스템은 다양한 신호 환경과 온도에서 동작하므로, 예상되는 전체 동작 범위(수신기 이득, 작동 온도 등)에 걸쳐 테스트를 반복 수행하여 장치의 DC 오프셋 특성을 완벽하게 파악해야 합니다.
4. 동적 재교정 루틴 고려: 장시간 동작하거나 온도 변화가 극심한 환경에서 사용되는 애플리케이션의 경우, 주기적으로 또는 성능 저하가 감지되었을 때 자동으로 재교정을 수행하는 루틴을 구현하는 것이 좋습니다. 이 루틴은 일시적으로 신호 경로를 차단(또는 내부 루프백 경로를 활성화)하고, 오프셋을 다시 측정한 뒤 보정 값을 갱신하는 방식으로 동작할 수 있습니다.

이러한 체계적인 접근법을 통해 엔지니어는 DC 오프셋이라는 ZIF 아키텍처의 고질적인 문제를 효과적으로 제어하고, SDR 시스템의 잠재적 성능을 최대한으로 이끌어낼 수 있습니다.

참고 자료

1. AD9361 | datasheet and product info RF Agile Transceiver - Analog Devices, 9월 25, 2025에 액세스, <https://www.analog.com/en/products/ad9361.html>
2. AD9361 - Farnell, 9월 25, 2025에 액세스, <https://www.farnell.com/datasheets/2150817.pdf>
3. Transmit LO Leakage (LOL)—An Issue of Zero-IF That Isn't Making People Laugh Out Loud, 9월 25, 2025에 액세스, <https://www.analog.com/en/resources/analog-dialogue/articles/transmit-lo-leakage-lol-an-issue-of-zero-if-that-isn-t-making-people-laugh-out-loud.html>

4. AN-1039: Correcting Imperfections in IQ Modulators to Improve RF ..., 9월 25, 2025에 액세스, <https://www.analog.com/en/resources/app-notes/an-1039.html>
5. A Blind Calibration Model for I/Q Imbalances of Wideband Zero-IF Receivers - MDPI, 9월 25, 2025에 액세스, <https://www.mdpi.com/2079-9292/9/11/1868>
6. Time-Varying Frequency Selective IQ Imbalance Estimation and Compensation - VTechWorks, 9월 25, 2025에 액세스, https://vtechworks.lib.vt.edu/bitstream/handle/10919/78202/Inti_D_T_2017.pdf
7. DC Offset Auto-Calibration of TRF371x - Texas Instruments, 9월 25, 2025에 액세스, <https://www.ti.com/lit/pdf/slwa057>
8. Removing DC and low frequency noise from a spectrum - DSPRelated.com, 9월 25, 2025에 액세스, <https://www.dsprelated.com/thread/1104/removing-dc-and-low-frequency-noise-from-a-spectrum>
9. AD9363 - Datasheet Archive, 9월 25, 2025에 액세스, <https://datasheet.datasheetarchive.com/originals/dk/DKDS-11/216050.pdf>
10. AD-FMCOMMS3-EBZ Board 9 - AD9361 RF Agile Transceiver - Fraser Innovation Inc, 9월 25, 2025에 액세스, <https://fraserinnovations.com/product/fii-ad9361/>
11. DC Offset Tracking - MATLAB & Simulink - MathWorks, 9월 25, 2025에 액세스, <https://ww2.mathworks.cn/help/soc/ug/dc-offset-tracking.html>
12. DC Offset Tracking - MATLAB & Simulink - MathWorks, 9월 25, 2025에 액세스, <https://kr.mathworks.com/help/soc/ug/dc-offset-tracking.html>
13. AD936x_DCOFFSET_ISSUE - Documents - Design Support AD9361/AD9363/AD9364 - EngineerZone, 9월 25, 2025에 액세스, https://ez.analog.com/wide-band-rf-transceivers/design-support/w/documents/10060/ad936x_5f00_dcoffset_5f00_issue
14. AD9361 DC offset calibration - Q&A - EngineerZone - Analog Devices, 9월 25, 2025에 액세스, <https://ez.analog.com/wide-band-rf-transceivers/design-support/f/q-a/80508/ad9361-dc-offset-calibration>
15. Using the IIO Ecosystem — Precision Converters Firmware documentation - Repositories, 9월 25, 2025에 액세스, https://analogdevicesinc.github.io/precision-converters-firmware/source/tinyiio/iio_ecosystem.html
16. the libIIO documentation, 9월 25, 2025에 액세스, <https://analogdevicesinc.github.io/libiio/v0.24/index.html>
17. jonkraft/PlutoSDR_Labs: Hands on labs for the ADALM Pluto SDR - GitHub, 9월 25, 2025에 액세스, https://github.com/jonkraft/PlutoSDR_Labs
18. A GTK+ based oscilloscope application for interfacing with various IIO devices - GitHub, 9월 25, 2025에 액세스, <https://github.com/analogdevicesinc/iio-oscilloscope>
19. Senior Design Project T307 8 April 2021 Operation Manual, 9월 25, 2025에 액세스, https://web1.eng.famu.fsu.edu/ece/senior_design/2021/team307/files/op_manual.pdf
20. Detail Manual for your "IIO Oscilloscope" - Q&A - Linux Software Drivers - EngineerZone, 9월 25, 2025에 액세스,

<https://ez.analog.com/linux-software-drivers/f/q-a/85626/detail-manual-for-your-io-oscilloscope>

21. Summary - AD9361 Config Table of Contents, 9월 25, 2025에 액세스,
https://opencpi.github.io/assets/AD9361_Config.pdf
22. how to eliminate the center peak of HAcKRF in SDRSHARP - RadioReference.com Forums, 9월 25, 2025에 액세스,
<https://forums.radioreference.com/threads/how-to-eliminate-the-center-peak-of-hackrf-in-sdrsharp.441554/>
23. Removing DC offset from a complex signal : r/DSP - Reddit, 9월 25, 2025에 액세스,
https://www.reddit.com/r/DSP/comments/wj4zgm/removing_dc_offset_from_a_complex_signal/
24. DC Blocker - GNU Radio Wiki, 9월 25, 2025에 액세스,
https://wiki.gnuradio.org/index.php/DC_Blocker
25. gnuradio.filters — GNU Radio 3.7.9.1 documentation, 9월 25, 2025에 액세스,
https://www.gnuradio.org/doc/sphinx-v3.7.9.1/filter_blocks.html
26. Removing that Center Frequency DC Spike in Gnuradio the Easy Way - RTL-SDR.com, 9월 25, 2025에 액세스,
<https://www.rtl-sdr.com/wp-content/uploads/2017/02/Getting-rid-of-that-center-frequency-spike-in-gnuradio.pdf>
27. Kalman Filter and Cross-Multiply Algorithm With Adaptive DC Offset Removal, 9월 25, 2025에 액세스,
https://www.researchgate.net/publication/358323999_Kalman_Filter_and_Cross-Multiply_Algorithm_with_Adaptive_DC_Offset_Removal
28. Error Correction and Calibration Techniques - Monolithic Power Systems, 9월 25, 2025에 액세스,
<https://www.monolithicpower.com/en/learning/mpscholar/analog-to-digital-converters/adc-errors-and-compensation/error-correction-and-calibration-techniques>