

스푸리어스 신호의 생성: **RF** 신호 디지털화 과정에서의 샘플링 및 양자화 오차에 대한 심층 분석 보고서

섹션 1: **RF** 신호 디지털화 개론

1.1 현대 **RF** 시스템에서 **ADC**의 핵심적 역할

현대 무선 통신, 레이더, 계측 시스템의 패러다임은 아날로그 중심에서 디지털 중심으로 급격히 이동하고 있다. 이러한 변화의 중심에는 아날로그-디지털 변환기(Analog-to-Digital Converter, **ADC**)가 있다. 특히 기가 샘플링(**GPS**) **ADC**의 등장은 전통적인 수퍼헤테로다인(Superheterodyne) 수신기 구조를 직접 **RF** 샘플링(Direct **RF**-Sampling) 구조로 대체하는 혁신을 가능하게 했다.¹

전통적인 구조에서는 여러 단계의 아날로그 믹서와 중간 주파수(**IF**) 필터를 사용하여 원하는 신호 대역을 선택하고 필터링했다. 이 방식은 각 단계에서 불필요한 신호를 제거할 기회가 많았지만, 아날로그 부품의 복잡성, 크기, 비용 및 유연성 부족이라는 한계를 가졌다. 반면, 직접 **RF** 샘플링 구조는 안테나와 저잡음 증폭기(**LNA**)를 거친 광대역 **RF** 신호를 **ADC**가 직접 디지털화한다.¹ 이로 인해 아날로그 프론트엔드(Front-end)가 대폭 단순화되고 시스템의 유연성과 재구성 가능성이 극대화된다. **5G** 통신, 위상 배열 레이더(Phased Array Radar), 전자 정보(**SIGINT**), 고성능 오실로스코프와 같은 최첨단 애플리케이션은 이러한 구조를 통해 넓은 순간 신호 대역폭을 처리할 수 있게 되었다.²

그러나 이러한 구조적 단순화는 **ADC**에 막대한 성능 부담을 지운다. 과거 아날로그 필터 체인이 수행하던 스펙트럼 순도 유지의 역할이 이제는 전적으로 **ADC**의 성능에 의존하게 된다. **ADC**의 미세한 비이상적 동작 하나하나가 전체 디지털 신호 처리 체인에 직접적이고 필터링되지 않은 영향을 미치기 때문에, **ADC** 자체의 성능이 시스템 전체의 성능을 규정하는 핵심 요소가 되었다. 따라서 **ADC**에서 발생하는 오차와 그로 인한 스푸리어스 신호(Spurious Signal, 이하 스퍼)의

생성 메커니즘을 이해하는 것은 현대 RF 시스템 설계의 가장 중요한 과제 중 하나이다.

1.2 이상적인 ADC와 실제 ADC

ADC의 역할을 이해하기 위해 먼저 이상적인 ADC를 정의할 필요가 있다. 이상적인 ADC는 두 단계의 수학적 과정으로 볼 수 있다. 첫째, 아날로그 신호를 무한히 짧은 순간에 완벽하게 측정하는 '이상적 샘플링'이다. 둘째, 측정된 값을 무한한 정밀도를 가진 실수 값으로 매핑하는 것이다. 이 과정에서는 어떠한 정보의 손실이나 왜곡도 발생하지 않는다.

하지만 현실 세계의 ADC는 물리적 한계로 인해 세 가지 구체적인 단계, 즉 샘플링(Sampling), 양자화(Quantization), 부호화(Encoding)를 거친다.³ 각 단계는 이상적인 모델로부터의 편차를 내포하며, 이 편차들이 바로 오차의 근원이 된다.

- **샘플링(Sampling):** 연속적인 아날로그 신호를 일정한 시간 간격으로 추출하여 이산 시간(discrete-time) 신호로 만드는 과정이다.³ 이상적인 샘플링은 순간적으로 이루어지지만, 실제로는 유한한 시간 동안 신호를 포착하는 샘플-앤-홀드(Sample-and-Hold) 회로를 사용하며, 샘플링 클럭의 시간적 불확실성(지터) 등 타이밍 오차를 포함한다.
- **양자화(Quantization):** 샘플링된 아날로그 값을 유한한 개수의 대표 디지털 값 중 가장 가까운 값으로 근사화(반올림)하는 과정이다.³ 이 과정에서 아날로그 신호가 가질 수 있는 무한한 레벨이 이산적인 레벨로 축소되면서 본질적인 오차, 즉 양자화 오차가 발생한다.
- **부호화(Encoding):** 양자화된 이산 레벨을 2진 디지털 코드로 변환하는 과정이다.⁵

이처럼 실제 ADC는 물리적 구현 과정에서 발생하는 필연적인 오차들로 인해 원본 아날로그 신호와 디지털 표현 사이에 차이를 만들어낸다. 이러한 차이가 스펙트럼 상에서 어떻게 나타나는지를 분석하는 것이 본 보고서의 핵심 목표이다.

1.3 주요 오차 원인과 스펙트럼 상의 발현

ADC에서 발생하는 오차는 크게 두 가지 범주로 나눌 수 있으며, 각각은 스펙트럼 상에서 고유한 형태의 스퍼로 나타난다.

- **샘플링 오차:** 주로 타이밍과 대역폭 제한과 관련이 있다. 가장 대표적인 현상은 '에일리어싱(Aliasing)'으로, 나이퀴스트 이론을 위반했을 때 발생하며, 대역 외(out-of-band) 신호가 대역 내(in-band)의 거짓 신호, 즉 **에일리어싱 스퍼(Aliased Spur)**로 나타난다.
- **양자화 오차:** 유한한 분해능과 변환기 하드웨어의 물리적 비이상성에서 비롯된다. 이상적인 양자화기는 광대역의 '양자화 잡음(Quantization Noise)'을 발생시키지만, 실제

변환기의 비선형적(non-linear) 특성은 입력 신호와 상관관계를 갖는 특정 주파수 성분, 즉 ****고조파 스퍼(Harmonic Spur)****를 생성하는 주된 원인이 된다.

결론적으로, 디지털화의 목표는 아날로그 신호의 스펙트럼을 충실하게 복제하는 것이지만, 물리적인 변환 과정은 필연적으로 원치 않는 스펙트럼 인공물(artifact), 즉 스퍼를 추가하게 된다. 본 보고서는 이러한 스퍼가 어떠한 물리적 메커니즘을 통해 생성되는지 근본적인 원인부터 심층적으로 분석하고, 이를 정량화하며, 제어하는 기술적 방안까지 포괄적으로 다룰 것이다.

섹션 2: 샘플링 과정과 에일리어싱 스퍼의 기원

2.1 나이퀴스트-샤넌 샘플링 정리: 디지털화의 초석

아날로그 신호를 디지털 신호로 변환하는 모든 과정은 나이퀴스트-샤넌 샘플링 정리(Nyquist-Shannon Sampling Theorem)라는 근본적인 원리에 기반한다. 이 정리는 "어떤 신호를 정보의 손실 없이 완벽하게 복원하기 위해서는 해당 신호가 포함하는 최대 주파수(f_{max})의 최소 2배가 되는 샘플링 주파수(f_s)로 샘플링해야 한다"고 명시한다.⁷ 수학적으로는 $f_s \geq 2f_{max}$ 로 표현된다.

이 정리에서 샘플링 주파수의 절반에 해당하는 주파수, 즉 $f_s/2$ 는 '나이퀴스트 주파수(Nyquist Frequency)'라고 불리며, 왜곡 없이 신호를 표현할 수 있는 이론적인 최대 주파수 경계를 의미한다.⁷ DC부터 나이퀴스트 주파수까지의 대역(

$0 \sim f_s/2$)을 '1차 나이퀴스트 존(1st Nyquist Zone)'이라고 하며, 이 대역 내의 주파수 정보만이 명확하게 식별될 수 있다. 만약 신호에 나이퀴스트 주파수를 초과하는 주파수 성분이 포함되어 있다면, 샘플링 과정에서 정보가 왜곡되는 현상이 발생하는데, 이를 '에일리어싱(Aliasing)'이라고 한다.

2.2 에일리어싱의 메커니즘: "주파수 폴딩" 현상

샘플링 주파수가 신호의 최대 주파수의 2배보다 낮을 때($f_s < 2f_{max}$), 나이퀴스트 주파수를 초과하는 고주파 성분은 사라지는 것이 아니라, 마치 거울에 비친 것처럼 나이퀴스트 주파수를 중심으로 '접혀서(folded)' 1차 나이퀴스트 존 안으로 들어오게 된다.⁹ 이 현상을 '주파수

폴딩(Frequency Folding)'이라고 부른다.

이 과정을 신호 처리 관점에서 더 엄밀하게 살펴보면, 샘플링은 시간 영역에서 연속 신호와 임펄스 열(impulse train)의 곱셈으로 모델링할 수 있다. 시간 영역에서의 곱셈은 주파수 영역에서 컨볼루션(convolution)에 해당한다.⁹ 임펄스 열의 주파수 스펙트럼 또한 샘플링 주파수(f_s)

간격의 임펄스 열이므로, 원본 신호의 스펙트럼과 이를 컨볼루션하면 원본 스펙트럼이 f_s 의 모든 정수배 지점에 무한히 복제되는 결과가 나타난다.⁹ 만약 원본 신호의 대역폭이 나이퀴스트 주파수($f_s/2$)보다

넓다면, 이 복제된 스펙트럼들이 서로 겹치게 된다. 이 겹침 현상이 바로 에일리어싱이다. 즉, 상위 나이퀴스트 존에 위치해야 할 주파수 성분이 1차 나이퀴스트 존으로 침범하여, 원래 그 자리에는 없었던 새로운 주파수 성분처럼 보이게 되는 것이다.

예를 들어, 샘플링 주파수 f_s 가 100 MHz일 때 나이퀴스트 주파수는 50 MHz이다. 만약 입력 신호에 60 MHz($f_s/2 + 10$ MHz) 성분이 포함되어 있다면, 이 성분은 나이퀴스트 주파수인 50 MHz를 기준으로 접혀서 40 MHz($f_s/2 - 10$ MHz) 위치에 나타나게 된다.¹⁰ 시스템은 이 40 MHz 신호가 원래부터 존재했던 신호인지, 아니면 60 MHz 신호가 에일리어싱된 것인지 구별할 수 없다.

이것이 에일리어싱의 가장 위험한 점이다. 일단 에일리어싱이 발생하여 스퍼가 생성되면, 이 스퍼는 1차 나이퀴스트 존 내의 실제 신호와 수학적으로 완벽하게 동일한 형태를 띠게 된다.¹⁰ 따라서 샘플링 이후의 어떠한 디지털 필터링이나 신호 처리 기술로도 에일리어싱된 스퍼와 실제 신호를 분리하는 것은 불가능하다.

2.3 실제 환경에서의 에일리어싱: 대역 외 신호가 대역 내 스퍼가 되는 과정

실제 RF 환경에서 신호는 이론처럼 완벽하게 대역 제한(band-limited)되어 있지 않다.¹¹ 모든 신호는 고조파(harmonics)를 포함할 수 있으며, 주변에는 항상 의도치 않은 다른 무선 신호(간섭 신호)와 광대역 잡음이 존재한다. 이러한 대역 외 신호들이 에일리어싱을 통해 우리가 관심 있는 대역 내로 들어와 심각한 성능 저하를 유발하는 스퍼가 된다.

구체적인 시나리오를 가정해 보자. 500 MSPS의 샘플링 속도(f_s)를 가진 ADC를 사용하여 100 MHz의 원하는 신호를 수신한다고 가정하자. 이 시스템의 나이퀴스트 주파수는 250 MHz이다. 만약 시스템의 입력단에 적절한 필터링이 없어 400 MHz의 강력한 외부 간섭 신호가 ADC에 입력된다면, 이 신호는 에일리어싱되어 $|f_s - 400 \text{ MHz}| = |500 - 400| = 100 \text{ MHz}$ 위치에 스퍼로 나타나게 된다. 이 에일리어싱 스퍼는 정확히 우리가 수신하려는 100 MHz 신호와 주파수가 겹치게 되어 신호를 심각하게 오염시키거나 완전히 마스킹할 수 있다. 이처럼 에일리어싱은 보이지 않던 대역 외 신호를 시스템 내부의 유해한 스퍼로 변환시키는 핵심 메커니즘이다.

2.4 의도적인 에일리어싱: RF 시스템에서의 언더샘플링

에일리어싱은 통제되지 않을 경우 심각한 오류의 원인이 되지만, 역으로 이를 의도적으로 활용하는 기술도 존재한다. '언더샘플링(Undersampling)' 또는 '대역 통과 샘플링(Bandpass Sampling)'이라 불리는 이 기법은 나이퀴스트 정리를 대역폭의 관점에서 재해석하여 활용한다.¹²

나이퀴스트 정리는 신호의 '최대 주파수'가 아닌 '대역폭'이 $f_s/2$ 보다 작아야 한다고도 해석할 수 있다. 예를 들어, 중심 주파수가 1.5 GHz이고 대역폭이 100 MHz인 L-대역 신호가 있다고 가정하자. 이 신호의 최대 주파수는 1.55 GHz이므로 전통적인 나이퀴스트 기준에 따르면 최소 3.1 GSPS의 샘플링 속도가 필요하다. 하지만 언더샘플링 기법을 사용하면, 예를 들어 1 GSPS의 샘플링 속도로도 이 신호를 처리할 수 있다. 이 경우, 1.5 GHz 대역의 신호는 의도적으로 에일리어싱되어 1차 나이퀴스트 존(0 ~ 500 MHz) 내의 500 MHz 위치($|2 \times f_s - 1.5 \text{ GHz}| = |2 - 1.5| = 0.5 \text{ GHz}$)로 주파수가 하향 변환(down-conversion)된다.

이 기법은 아날로그 믹서 없이 ADC 자체만으로 RF 신호를 IF나 기저대역(baseband)으로 직접 변환하는 효과를 가져와 RF-샘플링 ADC에서 매우 유용하게 사용된다. 단, 이 기법이 성공적으로 동작하기 위해서는 ADC 앞에 정밀한 대역 통과 필터(Band-pass Filter)를 사용하여 원하는 대역 외의 모든 신호가 ADC에 입력되지 않도록 철저히 차단해야 한다. 그렇지 않으면 원치 않는 에일리어싱 스퍼가 발생하여 신호를 오염시키기 때문이다. 이는 에일리어싱이 정밀하게 제어될 때 강력한 도구가 되지만, 그렇지 않을 때는 파괴적인 오류의 원인이 되는 양면성을 잘 보여준다.

섹션 3: 양자화, 비선형성, 그리고 고조파 스퍼의 생성

3.1 이상적인 양자화와 실제 세계의 왜곡

양자화는 연속적인 진폭 값을 갖는 샘플을 유한한 개수의 이산적인 레벨로 매핑하는 과정이다.³ 이 과정에서 발생하는 반올림 오차를 '양자화 오차(Quantization Error)'라고 한다. 이상적인 ADC에서 입력 신호가 복잡하고 여러 주파수 성분을 포함할 경우, 양자화 오차는 통계적으로 입력 신호와 무관하며, 스펙트럼 전반에 걸쳐 균일하게 분포하는 백색 잡음(white noise)처럼 행동한다.¹³ 이 경우, 양자화 오차는 시스템의 전체적인 잡음 레벨(noise floor)을 결정하는

'양자화 잡음'으로 모델링된다.

그러나 RF 시스템에서 성능을 평가하기 위해 사용되는 단일 톤(single-tone)의 순수한 사인파와 같은 신호를 디지털화할 때, 상황은 근본적으로 달라진다. 이 경우 양자화 오차는 더 이상 무작위적이지 않고, 입력 사인파의 주기와 강한 상관관계를 갖게 된다.¹⁴ 이 상관관계로 인해 오차 에너지가 스펙트럼 전반에 무작위로 퍼지지 않고, 입력 주파수의 정수배에 해당하는 특정 주파수에 집중되어 나타난다. 이것이 바로 '고조파 왜곡(Harmonic Distortion)'이며, 스펙트럼 상에서는 '고조파 스퍼(Harmonic Spur)'로 관측된다.

여기서 핵심적인 사실은, 고조파 스퍼의 주된 원인이 양자화 과정 자체의 근본적인 한계라기보다는, ADC를 물리적으로 구현하는 과정에서 발생하는 '비선형성(Non-linearity)'이라는 점이다. 이상적인 양자화기의 오차는 왜곡을 일으키지만, 실제 ADC의 아날로그 회로가 갖는 미세한 비선형성이 이 왜곡을 증폭시키고 특정 고조파 성분으로 집중시키는 역할을 한다. 따라서 ADC의 분해능(비트 수)을 높이는 것은 양자화 잡음 레벨을 낮추는 데는 효과적이지만, ADC 자체의 아날로그적 비선형성을 개선하지 않는 한 고조파 스퍼를 근본적으로 제거할 수는 없다. RF 애플리케이션에서는 종종 이 고조파 스퍼가 시스템의 유효 동적 범위(dynamic range)를 결정하는 가장 중요한 제한 요소가 된다.

3.2 근본 원인: ADC의 정적 비선형성

ADC의 전달 함수(transfer function)는 입력 아날로그 전압에 따라 특정 디지털 코드를 출력하는 관계를 나타낸다. 이상적인 ADC의 전달 함수는 완벽한 직선 형태의 계단 함수이지만, 실제 ADC는 반도체 공정의 불균일성과 회로의 비이상성으로 인해 이 직선에서 미세하게 벗어난다. 이러한 편차를 정적 비선형성(static non-linearity)이라고 하며, 이를 측정하는 두 가지 주요 지표는 미분 비선형성(DNL)과 적분 비선형성(INL)이다.

- **미분 비선형성 (Differential Nonlinearity, DNL):** ADC의 각 디지털 코드에 해당하는 아날로그 입력 전압 폭(step width)이 이상적인 값인 1 LSB(Least Significant Bit)에서 얼마나 벗어나는지를 나타내는 척도이다.¹⁷ DNL이 0 LSB이면 모든 코드 폭이 정확히 1 LSB임을 의미한다. DNL이 양수이면 해당 코드 폭이 1 LSB보다 넓고, 음수이면 좁다는 뜻이다. 만약 DNL이 -1 LSB보다 작아지면 해당 코드 폭이 존재하지 않게 되어 '누락된 코드(missing code)'가 발생하며, 이는 ADC의 단조성(monotonicity)을 깨뜨린다.
- **적분 비선형성 (Integral Nonlinearity, INL):** DNL 오차가 누적된 결과로, ADC의 실제 전달 함수가 이상적인 직선에서 얼마나 최대로 벗어나는지를 나타낸다.¹⁷ INL은 ADC 전달 함수의 전반적인 선형성을 직접적으로 보여주는 가장 중요한 지표이다. INL이 클수록 ADC의 왜곡 특성이 나빠진다.

결론적으로, 고조파 스퍼를 생성하는 근본적인 물리적 원인은 바로 이 INL로 대표되는 ADC의 비선형성이다.

3.3 INL에서 고조파까지: 수학적 연결고리

ADC의 비선형적인 전달 함수는 수학적으로 다음과 같은 다항식 급수로 근사화할 수 있다:

$$V_{out}=a_1V_{in}+a_2V_{in}^2+a_3V_{in}^3+\dots$$

여기서 V_{in} 은 입력 신호, V_{out} 은 그에 대응하는 출력이다. 이상적인 선형 ADC는 a_2, a_3, \dots 등의 고차항 계수가 모두 0이고, a_1 항만 존재한다. INL이 존재한다는 것은 바로 이 a_2, a_3 등의 계수들이 0이 아닌 값을 가짐을 의미한다.¹⁹

이제 이 비선형 시스템에 순수한 사인파 입력 $V_{in} = A \sin(\omega t)$ 를 인가하면 어떻게 되는지 살펴보자. 삼각함수 항등식(예: $\sin^2(x) = \frac{1}{2}(1 - \cos(2x))$, $\sin^3(x) = \frac{3}{4}\sin(x) - \frac{1}{4}\sin(3x)$)을 이용하면 각 항의 출력을 분석할 수 있다.¹⁹

- a_1 항 (선형 항): $a_1 A \sin(\omega t) \rightarrow$ 원래 주파수(ω) 성분 (기본파, Fundamental)
- a_2 항 (2차 비선형 항): $a_2 (A \sin(\omega t))^2 = \frac{a_2 A^2}{2} (1 - \cos(2\omega t)) \rightarrow$ DC 성분과 2차 고조파(2ω) 성분 (HD2)
- a_3 항 (3차 비선형 항): $a_3 (A \sin(\omega t))^3 = \frac{3a_3 A^3}{4} \sin(\omega t) - \frac{a_3 A^3}{4} \sin(3\omega t) \rightarrow$ 기본파 성분과 3차 고조파(3ω) 성분 (HD3)

이처럼 ADC의 비선형 전달 함수는 입력 신호에 없었던 새로운 주파수 성분, 즉 입력 주파수의 정수배에 해당하는 고조파들을 생성한다. a_2 계수는 주로 2차 고조파(HD2)를, a_3 계수는 3차 고조파(HD3)를 발생시키는 주된 원인이 된다.²⁰ 스펙트럼 상에서 이 고조파 성분들이 바로 고조파 스퍼로 나타나는 것이다.

3.4 에일리어싱된 고조파: 결합된 효과

고조파 스퍼는 비선형성에 의해 생성된 후, 샘플링 과정에서 다시 에일리어싱의 영향을 받을 수 있다. 만약 생성된 고조파의 주파수가 나이퀴스트 주파수($f_s/2$)를 초과하면, 해당 고조파는 주파수 폴딩 현상에 의해 1차 나이퀴스트 존 안으로 에일리어싱된다.²¹

예를 들어, 샘플링 주파수 f_s 가 1 GSPS이고, 입력 신호 주파수 f_{in} 이 400 MHz라고 가정하자. 이 시스템의 나이퀴스트 주파수는 500 MHz이다. ADC의 2차 비선형성에 의해 2차 고조파(HD2)가 $2 \times f_{in} = 800$ MHz에서 생성된다. 이 800 MHz는 나이퀴스트 주파수를 초과하므로, 에일리어싱되어 1차 나이퀴스트 존 내의 $|f_s - 800 \text{ MHz}| = |1000 - 800| = 200$ MHz 위치에 스퍼로 나타나게 된다.

이 '에일리어싱된 고조파(Aliased Harmonic)'는 매우 중요한 개념이다. 이는 하나의 스퍼가 두

가지 다른 오차 메커니즘, 즉 비선형성에 의한 '생성'과 샘플링에 의한 '위치 이동'의 복합적인 결과물일 수 있음을 보여준다. 따라서 스펙트럼에서 관찰되는 스퍼의 원인을 정확히 진단하기 위해서는 이 두 가지 메커니즘을 모두 고려해야 한다.

섹션 4: 스펙트럼에서 스퍼 유형 구별 및 식별

이전 섹션들에서 논의된 스퍼 생성 메커니즘을 종합하여, 실제 측정된 스펙트럼에서 관찰되는 다양한 스퍼의 유형을 식별하고 그 원인을 추적하는 실용적인 방법을 분석한다. 엔지니어에게 스퍼의 정확한 식별은 문제 해결의 첫걸음이다.

4.1 비교 분석: 스퍼 분류 체계

ADC 출력 스펙트럼에 나타나는 스퍼는 그 생성 원인과 행동 특성에 따라 다음과 같이 분류할 수 있다. 이 분류는 스퍼의 근본 원인을 파악하고 적절한 해결책을 찾는 데 도움을 준다.

4.2 행동 특성

각 스퍼 유형은 입력 신호 주파수(f_{in}), 샘플링 주파수(f_s), 그리고 입력 신호의 전력 레벨 변화에 따라 고유한 행동 패턴을 보인다. 이러한 패턴을 관찰함으로써 스퍼의 정체를 파악할 수 있다.

- **고조파 스퍼 (Harmonic Spurs):**
 - 주파수 위치: 이 스퍼의 주파수는 입력 신호 주파수의 정확한 정수배($f_{spur} = n \times f_{in}$, 여기서 $n=2, 3, 4, \dots$)이다.
 - 행동: 입력 주파수 f_{in} 을 Δf 만큼 변경하면, n 차 고조파 스퍼는 $n \times \Delta f$ 만큼 이동한다. 예를 들어, 입력 주파수를 1 MHz 변경하면 3차 고조파는 3 MHz 이동한다. 샘플링 주파수 f_s 를 변경해도 이들의 상대적인 위치(기본파 대비)는 변하지 않는다 (단, 에일리어싱되지 않았을 경우).
 - 진폭 특성: 진폭은 입력 신호의 전력 레벨에 매우 민감하게 반응한다. 이론적으로 n 차 고조파의 전력은 입력 신호 전력에 대해 n 배의 기울기(dB 스케일)로 증가한다.
- **에일리어싱 스퍼 (외부 신호로부터):**
 - 주파수 위치: 이 스퍼의 주파수는 외부 간섭 신호의 주파수(f_{ext})와 샘플링 주파수(f_s)에 의해 결정된다 ($f_{spur} = |k \times f_s \pm f_{ext}|$, 여기서 k 는 정수).
 - 행동: 입력 신호 주파수 f_{in} 을 변경해도 이 스퍼의 위치는 전혀 변하지 않는다. 그러나 샘플링 주파수 f_s 를 변경하면 스퍼의 위치가 예측 가능한 방식으로 이동한다.

- **진폭 특성:** 진폭은 ADC에 입력되는 외부 간섭 신호의 전력에 따라 결정되며, 주 신호의 전력과는 무관하다.
- **에일리어싱된 고조파 스퍼 (Aliased Harmonic Spurs):**
 - **주파수 위치:** 이 스퍼는 고조파 생성과 에일리어싱이 결합된 결과로, 그 주파수는 $f_{\text{spur}} = |k \times f_s \pm n \times f_{\text{in}}|$ 의 형태를 갖는다.²¹
 - **행동:** 이 스퍼는 입력 주파수 f_{in} 과 샘플링 주파수 f_s 모두에 반응하여 위치가 변하기 때문에 식별이 가장 까다롭다. f_{in} 을 변경하면 $n \times \Delta f$ 만큼 이동하고, f_s 를 변경하면 에일리어싱된 위치 자체가 변한다.
 - **진폭 특성:** 고조파 스퍼와 마찬가지로 입력 신호의 전력 레벨에 민감하게 반응한다.

4.3 실용적인 식별 기법

실제 측정 환경에서 스퍼의 원인을 규명하기 위해 다음과 같은 체계적인 접근법을 사용할 수 있다.

1. **입력 주파수 스위핑 (Sweeping):** ADC에 인가하는 테스트 톤의 주파수 f_{in} 을 천천히 변화시키면서 의심스러운 스퍼의 주파수가 어떻게 변하는지 관찰한다. 스퍼가 f_{in} 과 함께 움직인다면 고조파 또는 에일리어싱된 고조파일 가능성이 높다. 움직임의 비율(1배, 2배, 3배 등)을 통해 고조파 차수를 유추할 수 있다. 스퍼가 전혀 움직이지 않는다면 외부 신호의 에일리어싱이나 시스템 내부의 다른 클럭 소스로부터 유입된 것일 수 있다.
2. **샘플링 주파수 변경:** 가능하다면 ADC의 샘플링 주파수 f_s 를 변경해본다. 만약 스퍼의 위치가 f_s 변화에 따라 이동한다면, 그 스퍼는 에일리어싱과 관련된 것임이 확실하다.
3. **입력 전력 레벨 변경:** 입력 신호의 진폭을 변화시키면서 스퍼의 진폭 변화를 관찰한다. 스퍼의 진폭이 입력 신호 진폭에 비해 비선형적으로(예: 2배, 3배 더 빠르게) 증가한다면 고조파 스퍼일 가능성이 매우 높다.

이러한 기법들을 종합적으로 활용하면 스펙트럼 상에 나타나는 대부분의 스퍼의 근본 원인을 효과적으로 진단할 수 있다. 다음 표는 이러한 진단 과정을 요약한 것이다.

표 1: RF ADC의 스퍼 유형 요약

스퍼 유형	근본 원인	주파수 공식	f_{in} 변경 시 행동	f_s 변경 시 행동
고조파 (HDn)	ADC INL (비선형성)	$n \times f_{\text{in}}$	$n \times \Delta f_{\text{in}}$ 만큼 이동	위치 불변 (단, 에일리어싱되지 않을 시)
에일리어싱된	불충분한	$k \times f_s \pm n \times f_{\text{in}}$	$k \times \Delta f_s$	Δf_s

간섭 신호	안티에일리어싱 필터(AAF)		$\pm f_{\text{ext}}$	
에일리어싱된 고조파	ADC INL + 에일리어싱	\$	$k \times f_s \pm n \times f_{\text{in}}$	\$
인터리빙 스퍼 (Offset)	서브 ADC 간 DC 오프셋 불일치	$k \times f_s / M$	변화 없음	$k \times \Delta f_s / M$ 만큼 이동
인터리빙 스퍼 (Gain/Timing)	서브 ADC 간 이득/타이밍 불일치	$k \times f_s / M \pm f_{\text{in}}$	$\pm \Delta f_{\text{in}}$ 만큼 이동	$k \times \Delta f_s / M$ 만큼 중심 주파수 이동

주: n 은 고조파 차수, k 는 정수, f_{ext} 는 외부 간섭 신호 주파수, M 은 인터리빙 채널 수

이 표는 엔지니어가 관찰된 스퍼의 행동을 바탕으로 그 원인을 체계적으로 추론할 수 있는 강력한 진단 도구 역할을 한다. 예를 들어, f_{in} 을 변경했을 때 스퍼가 움직이지 않지만 f_s 를 변경했을 때 움직인다면, 원인은 ADC의 비선형성이 아니라 불충분한 입력 필터링일 가능성이 높다는 결론을 내릴 수 있다.

섹션 5: 고속 RF ADC의 고급 스퍼 메커니즘

수 GSPS(Giga-Samples Per Second)에 달하는 초고속 샘플링 속도를 달성하기 위해, 현대의 RF ADC는 단일 변환 코어가 아닌 여러 개의 서브 ADC를 병렬로 사용하는 '인터리빙(Interleaving)' 아키텍처를 채택한다.¹ 이 구조는 샘플링 속도를 획기적으로 높일 수 있지만, 병렬 신호 경로 간의 미세한 불일치로 인해 새로운 유형의 스퍼, 즉 '인터리빙 스퍼(Interleaving Spurs)'를 발생시키는 근본적인 트레이드오프를 안고 있다.

5.1 속도를 위한 필요성: 인터리빙 아키텍처

단일 ADC 코어의 변환 속도는 내부 비교기의 속도, 전하 재분배 시간 등 물리적인 요소에 의해 제한된다. 이 한계를 극복하기 위해 인터리빙 아키텍처는 M 개의 동일한 서브 ADC를 사용한다.

각 서브 ADC는 전체 샘플링 속도(f_s)의 $1/M$ 에 해당하는 속도(f_s/M)로 동작하지만, 샘플링 클럭의 위상이 서로 균일하게($360/M$ 도씩) 지연되어 있다.¹ 예를 들어, 2-way 인터리빙 구조에서는 두 개의 서브 ADC가 각각

$f_s/2$ 의 속도로 동작하되, 두 번째 ADC의 클럭은 첫 번째 ADC보다 반 주기($1/f_s$) 늦게 인가된다. 최종 디지털 출력은 각 서브 ADC의 변환 결과를 시간 순서에 따라 번갈아 조합하여(예: A, B, A, B,...) 구성된다. 이 방식을 통해 개별 서브 ADC의 속도 한계를 뛰어넘는 전체 유효 샘플링 속도 f_s 를 달성할 수 있다.

5.2 인터리빙 스퍼: 병렬 처리의 대가

인터리빙 아키텍처의 성능은 M 개의 서브 ADC가 전기적으로 완벽하게 동일하다는 가정 하에 이상적으로 동작한다. 그러나 반도체 제조 공정의 미세한 편차로 인해 각 서브 ADC는 필연적으로 약간씩 다른 특성을 갖게 된다. 이러한 불일치(mismatch)는 최종 출력 데이터에 주기적인 오차를 발생시키고, 이 주기적인 오차는 주파수 영역에서 특정 위치에 스퍼로 나타난다.¹

이러한 현상은 최종 디지털 데이터를 재구성하는 알고리즘이 물리적인 아날로그 회로의 불완전성과 상호작용하여 발생하는 것으로, 단순한 고조파 생성보다 훨씬 복잡한 메커니즘을 갖는다. 주요 불일치 요인과 그로 인해 발생하는 스퍼는 다음과 같다.

- **DC 오프셋 불일치 (DC Offset Mismatch):** 각 서브 ADC의 입력단이 가지는 DC 오프셋 전압이 서로 다를 때 발생한다. 예를 들어, 2-way 인터리빙에서 한 ADC의 오프셋이 다른 쪽보다 높다면, 최종 출력 데이터는 짝수 번째 샘플과 홀수 번째 샘플의 평균값이 주기적으로 달라지는 패턴을 보이게 된다. 이 주기적인 오차 패턴은 주파수 $f_s/2$ 에서 강력한 스퍼를 생성한다. 일반적으로 M -way 인터리빙에서는 $k \times f_s/M$ ($k=1, 2, \dots, M-1$) 위치에 스퍼가 나타난다.¹ 이 스퍼는 입력 신호의 주파수나 진폭과는 무관하게 고정된 위치에 나타나는 특징이 있다.
- **이득 불일치 (Gain Mismatch):** 각 서브 ADC의 이득(gain)이 서로 다를 때 발생한다. 이 경우, 입력 신호의 진폭이 각 서브 ADC에 의해 다르게 측정되어 최종 출력 신호의 진폭이 주기적으로 변조되는 효과를 낳는다. 이 진폭 변조는 주파수 영역에서 $k \times f_s/M \pm f_{in}$ 위치에 사이드밴드(sideband) 형태의 스퍼를 생성한다. 이 스퍼의 진폭은 입력 신호의 진폭에 비례한다.
- **타이밍 불일치 (Timing Mismatch / Skew):** 각 서브 ADC에 공급되는 샘플링 클럭의 위상 간격이 이상적인 값에서 벗어날 때 발생한다. 이는 광대역 신호에서 가장 심각한 문제를 일으키는 요인이다. 타이밍 불일치는 입력 신호의 위상을 주기적으로 변조하는 효과를 가져오며, 이 또한 $k \times f_s/M \pm f_{in}$ 위치에 스퍼를 생성한다. 특히 이 스퍼의 진폭은 입력 신호의 주파수(f_{in})가 높아질수록 급격하게 증가하는 특징을 보인다. 따라서 고주파 RF 신호를 직접 샘플링하는 시스템에서 타이밍 불일치는 SFDR을 저하시키는 주된 요인이 된다.

5.3 기타 스퍼 소스

인터리빙 불일치 외에도 고성능 RF 시스템에서는 다음과 같은 요인들이 스퍼를 유발할 수 있다.

- 클럭 지터 (**Clock Jitter**): 샘플링 클럭의 시간 축 상의 미세한 흔들림, 즉 지터는 샘플링 순간의 불확실성을 야기한다. 이 불확실성은 입력 신호를 위상 변조시키는 것과 같은 효과를 내어, 기본파 주변에 잡음 스커트(noise skirt)를 형성하고 시스템의 신호 대 잡음비(SNR)를 저하시킨다. 지터에 주기적인 성분이 포함되어 있다면, 이는 특정 주파수에 스퍼를 생성할 수도 있다.
- 전원 공급 장치 잡음 (**Power Supply Noise**): ADC의 아날로그 및 디지털 회로에 공급되는 전원에 잡음이나 리플이 존재할 경우, 이 잡음이 ADC 내부의 기준 전압이나 바이어스 회로를 변조시킬 수 있다. 이 변조는 입력 신호와 혼합되어 잡음 주파수와 관련된 스퍼를 생성할 수 있다. 따라서 깨끗하고 안정적인 전원 공급은 스퍼를 최소화하기 위한 필수적인 시스템 설계 요건이다.

섹션 6: 성능 정량화: 스퓨리어스 없는 동적 범위 (SFDR)

ADC의 스펙트럼 순도를 평가하고 다양한 제품의 성능을 객관적으로 비교하기 위해서는 표준화된 성능 지표가 필요하다. RF 시스템에서 가장 중요하게 사용되는 지표가 바로 '스퓨리어스 없는 동적 범위(Spurious-Free Dynamic Range, SFDR)'이다.

6.1 핵심 지표 SFDR의 정의

SFDR은 주파수 스펙트럼 상에서 기본 신호(fundamental signal)의 전력과 가장 강력한 스퍼(spur) 신호의 전력 간의 비율을 데시벨(dB) 단위로 나타낸 것이다.²⁰ 여기서 가장 강력한 스퍼는 고조파 스퍼, 인터리빙 스퍼, 또는 다른 어떤 종류의 스퍼라도 될 수 있다. SFDR은 ADC가 얼마나 '깨끗한' 변환을 수행하는지를 나타내는 가장 직접적인 척도이다.

SFDR 값이 높다는 것은 ADC가 생성하는 내부 왜곡 및 스퍼 성분이 매우 작다는 것을 의미한다. 이는 통신 시스템에서 매우 중요한데, 예를 들어 수신기에서 강력한 신호와 매우 약한 신호를 동시에 처리해야 하는 경우를 생각해 보자. 만약 ADC의 SFDR이 낮다면, 강력한 신호로 인해 생성된 스퍼가 약한 신호의 주파수 대역을 침범하여 약한 신호를 마스킹하거나 검출 불가능하게 만들 수 있다. 따라서 높은 SFDR은 시스템이 넓은 동적 범위 내에서 신호를

충실하게 처리할 수 있는 능력을 보장한다. SFDR이 80 dBc라는 것은 가장 큰 스퍼 성분이 기본 신호보다 10,000배(1080/20) 작다는 것을 의미한다.²⁰

6.2 단위의 이해: dBc 대 dBFS

SFDR은 주로 두 가지 단위, dBc와 dBFS로 표현되며, 데이터시트를 정확하게 해석하기 위해서는 이 둘의 차이를 명확히 이해해야 한다.

- **dBc (decibels relative to carrier):** 스퍼의 전력을 '반송파(carrier)', 즉 입력 신호(기본파)의 전력을 기준으로 측정한 값이다.²⁰ 예를 들어, SFDR이 86 dBc라면 가장 큰 스퍼의 전력이 기본파의 전력보다 86 dB 낮다는 의미이다. dBc 값은 입력 신호의 전력 레벨에 따라 변할 수 있다. 일반적으로 입력 신호가 커지면 고조파 스퍼도 더 빠르게 커지므로 SFDR(dBc) 값은 감소하는 경향을 보인다.
- **dBFS (decibels relative to Full Scale):** 스퍼의 전력을 ADC의 '풀스케일(Full Scale)' 범위를 기준으로 측정한 값이다.²⁰ ADC의 최대 입력 가능 전압(또는 전력)이 기준(0 dBFS)이 된다. 따라서 dBFS는 스퍼의 절대적인 크기를 나타내는 척도이다. 예를 들어, -3 dBFS의 입력 신호는 ADC 풀스케일의 약 70.7%에 해당하는 진폭을 가진 신호를 의미한다.

이 두 단위 사이에는 다음과 같은 관계가 성립한다:

$$\text{SFDR(dBFS)} = \text{SFDR(dBc)} + \text{Pin(dBFS)}$$

여기서 $P_{\text{in}}(\text{dBFS})$ 는 dBFS 단위로 표현된 입력 신호의 전력이다.²⁵ 예를 들어, 입력 신호가 -1 dBFS이고 측정된 SFDR이 85 dBc라면, SFDR(dBFS)는 $85 + (-1) = 84$ dBFS가 된다. 만약 입력 신호가 정확히 풀스케일(0 dBFS)이라면, SFDR(dBc)와 SFDR(dBFS) 값은 같아진다.²⁵

6.3 ADC 데이터시트 해석

ADC 데이터시트에는 일반적으로 입력 주파수와 입력 진폭에 따른 SFDR 성능 그래프가 제공된다. 이 그래프는 ADC의 동작 특성을 파악하는 데 매우 중요한 정보를 담고 있다.

- **SFDR vs. 입력 주파수:** 이 그래프는 보통 특정 입력 진폭(예: -1 dBFS)에서 입력 주파수를 변화시키며 SFDR을 측정한 결과를 보여준다. 일반적으로 입력 주파수가 높아질수록 SFDR은 감소하는 경향을 보인다. 이는 고주파에서 ADC 내부 회로의 비선형성이 증가하거나, 특히 인터리빙 구조에서 타이밍 불일치로 인한 스퍼가 더 심해지기 때문이다. 이 그래프를 통해 특정 애플리케이션 주파수 대역에서 ADC가 요구되는 스펙트럼 순도를

만족하는지 확인할 수 있다.

- **SFDR vs. 입력 진폭:** 이 그래프는 특정 입력 주파수에서 입력 신호의 진폭을 변화시키며 SFDR을 측정한 결과이다. 입력 진폭이 낮을 때는 스퍼가 잡음 레벨 아래에 묻혀 SFDR이 잡음 레벨에 의해 제한될 수 있다. 입력 진폭이 증가함에 따라 기본파의 전력은 1 dB 증가할 때 고조파(예: 3차 고조파)의 전력은 3 dB 증가하는 등 스퍼가 더 빠르게 증가한다. 이로 인해 기본파와 스퍼 간의 간격, 즉 SFDR(dBc)은 입력 진폭이 커질수록 감소한다.

이러한 특성은 시스템 설계자에게 중요한 시사점을 제공한다. 최상의 SFDR 성능을 얻기 위해서는 ADC를 풀스케일에 가깝게 구동하는 것이 항상 최선은 아니라는 점이다. 오히려 입력 신호 레벨을 풀스케일에서 약간 '백오프(back-off)'시켜, 고조파 스퍼의 생성을 억제하고 최적의 SFDR 지점을 찾아 동작시키는 것이 더 유리할 수 있다. 이는 직관과는 반대될 수 있지만, 고성능 RF 시스템에서 스펙트럼 순도를 극대화하기 위한 핵심적인 운영 기법이다.

섹션 7: 스펙트럼 순도 확보를 위한 엔지니어링: 스퍼 완화 전략

ADC에서 발생하는 스퍼는 피할 수 없는 물리적 현상이지만, 체계적인 시스템 설계와 신호 처리 기법을 통해 그 영향을 최소화할 수 있다. 스퍼 완화 전략은 크게 아날로그 영역에서의 예방, 디지털화 과정에서의 개선, 그리고 디지털 후처리 보정으로 나눌 수 있다.

7.1 첫 번째 방어선: 안티에일리어싱 필터 (AAF)

에일리어싱 스퍼를 방지하기 위한 가장 근본적이고 효과적인 방법은 ADC 입력단에 '안티에일리어싱 필터(Anti-Aliasing Filter, AAF)'를 배치하는 것이다.¹⁰ AAF의 유일한 목적은 샘플링 과정에서 에일리어싱을 유발할 수 있는 나이퀴스트 주파수($f_s/2$)

이상의 모든 주파수 성분을 ADC에 도달하기 전에 미리 감쇠시키는 것이다.

AAF는 일반적으로 저역 통과 필터(Low-pass Filter)로 구현되지만, 언더샘플링을 사용하는 시스템에서는 특정 RF 대역만 통과시키는 대역 통과 필터(Band-pass Filter)를 사용한다. 이상적인 AAF는 통과 대역(passband)의 신호는 전혀 왜곡 없이 통과시키고, 차단 대역(stopband)의 신호는 완벽하게 제거해야 한다. 그러나 실제 필터는 유한한 감쇠 기울기(roll-off)를 가지므로, 설계 시 다음과 같은 트레이드오프를 고려해야 한다.

- **필터 차수(Order)와 복잡성:** 필터의 차수가 높을수록(즉, 더 많은 부품으로 구성될수록) 감쇠 기울기가 가팔라져 대역 외 신호를 더 효과적으로 억제할 수 있다. 하지만 필터의 물리적 크기, 비용, 그리고 복잡성이 증가한다.

- **통과 대역 왜곡:** 가파른 감쇠 특성을 갖는 필터(예: 체비쇼프 필터)는 통과 대역 내에서 진폭 리플이나 위상 비선형성을 유발할 수 있다.¹⁰ 이는 신호의 품질을 저하시킬 수 있으므로, 필터 종류(예: 버터워스, 베셀)의 선택은 애플리케이션의 요구 사항에 따라 신중하게 이루어져야 한다.

AAF의 목표는 대역 외 신호와 잡음을 감쇠시켜, 설령 이들이 에일리어싱되더라도 그 레벨이 ADC의 잡음 레벨보다 낮아져 스펙트럼 상에서 보이지 않게 만드는 것이다.

7.2 선형성 개선을 위한 디더링

디더링(Dithering)은 ADC의 입력 신호에 의도적으로 소량의 광대역 잡음을 추가하는 기법이다.¹⁵ 이는 언뜻 비직관적으로 보일 수 있지만, ADC의 전달 함수를 효과적으로 '평활화(smoothing)'하여 비선형성으로 인한 고조파 스퍼를 크게 줄일 수 있다.

- **동작 원리:** 디더링 잡음은 양자화 오차와 입력 신호 간의 상관관계를 깨뜨리는 역할을 한다. 앞서 설명했듯이, 단일 톤 신호의 양자화 오차는 신호와 동기화되어 고조파 스퍼를 생성한다. 여기에 무작위적인 디더 잡음을 더하면, 특정 입력 전압에 대해 ADC 출력이 하나의 고정된 코드가 아닌 여러 인접 코드 사이를 확률적으로 오가게 된다. 이 과정은 시간 평균적으로 볼 때 ADC의 계단 형태 전달 함수를 부드러운 직선에 가깝게 만들어 선형성을 개선하는 효과를 낳는다.¹⁵
- **결과:** 디더링은 특정 주파수에 집중되어 있던 고조파 스퍼의 에너지를 스펙트럼 전반에 걸쳐 넓게 분산시킨다. 결과적으로 높은 피크를 가진 스퍼는 사라지는 대신, 전체적인 잡음 레벨이 약간 상승하게 된다.¹⁶ 많은 RF 시스템에서 예측 불가능한 높은 스퍼보다는 약간 높지만 균일하고 예측 가능한 잡음 레벨을 갖는 것이 훨씬 유리하다. 따라서 디더링은 특히 저레벨 신호 처리 시 SFDR을 개선하는 데 매우 효과적인 기법이다.

7.3 온칩 디지털 보정

최신 고속 인터리빙 ADC는 아날로그 불일치로 인한 스퍼 문제를 해결하기 위해 정교한 온칩(on-chip) 디지털 보정 회로를 내장하고 있다.¹ 이러한 보정 회로는 ADC 동작 중에 서브 ADC 간의 오프셋, 이득, 타이밍 불일치를 동적으로 측정하고, 그 오차를 디지털 영역에서 보상해준다.

예를 들어, 오프셋 보정 회로는 각 서브 ADC의 평균 출력값을 모니터링하여 DC 오프셋 차이를 계산하고, 이를 디지털적으로 빼주어 오프셋 불일치 스퍼를 제거한다. 타이밍 보정 회로는 더욱 정교한 알고리즘을 사용하여 샘플링 클럭의 미세한 시간차를 감지하고, 디지털 필터를 통해 이를 보상함으로써 고주파 입력에서 SFDR을 크게 향상시킨다. 이러한 디지털 보정 기술 덕분에

현대의 **GPS** ADC는 과거에는 불가능했던 수준의 높은 스펙트럼 순도를 달성할 수 있게 되었다.

다음 표는 주요 스퍼 완화 기법들을 요약하고 비교한 것이다.

표 2: 스퍼 완화 기법 비교

기법	대상 스퍼 유형	동작 원리	설계 고려사항 / 트레이드오프
안티에일리어싱 필터 (AAF)	에일리어싱 스퍼	주파수 영역 필터링 (감쇠)	필터 차수, 비용, 크기, 통과 대역의 위상/진폭 왜곡
디더링 (Dithering)	고조파 스퍼 (특히 저레벨)	시간 영역 무작위화 (상관관계 제거)	잡음 레벨 약간 상승, 최적의 디더 잡음 레벨 선정 필요
온칩 디지털 보정	인터리빙 스퍼	디지털 영역 오차 측정 및 감산	알고리즘 복잡성, 보정 범위의 한계, 전력 소모 증가

이 표는 설계자가 시스템에서 발견된 특정 스퍼 문제에 대해 가장 효과적인 해결책을 선택하고, 그에 따른 장단점을 평가하는 데 유용한 가이드라인을 제공한다. 성공적인 **RF** 시스템 설계는 이러한 기법들을 적절히 조합하여 시스템 요구사항을 만족시키는 최적의 균형점을 찾는 과정이라 할 수 있다.

섹션 8: 결론: 스퍼 생성과 제어에 대한 통합적 관점

본 보고서는 아날로그 **RF** 신호를 디지털 영역으로 변환하는 과정에서 발생하는 샘플링 및 양자화 오차가 어떻게 원치 않는 스퓨리어스 신호, 즉 스퍼를 생성하는지에 대해 심층적으로 분석했다. 분석을 통해 스퍼 생성은 단일 원인이 아닌, **ADC**의 물리적, 구조적 한계에서 비롯된 여러 복합적인 메커니즘의 결과물임을 확인했다.

8.1 오차에서 스퍼로 이어지는 경로 요약

스퍼가 생성되는 핵심 경로는 세 가지로 명확하게 요약될 수 있다.

1. 샘플링 원리 위반 → 에일리어싱 스퍼: 나이퀴스트 샘플링 정리를 위반할 경우, 대역 외 신호나 잡음이 주파수 폴딩 현상에 의해 대역 내로 침범하여 에일리어싱 스퍼를 생성한다. 이는 부적절한 아날로그 필터링으로 인해 발생하는 가장 기본적인 형태의 스퍼이다.
2. **ADC** 비선형성 → 고조파 스퍼: **ADC**의 물리적 구현 과정에서 발생하는 전달 함수의 비선형성(**INL**)은 입력 신호에 없던 정수배 주파수 성분, 즉 고조파를 생성한다. 이 고조파는 다시 샘플링 과정에서 에일리어싱되어 예측하기 어려운 위치에 나타날 수도 있다.
3. 구조적 불일치 → 인터리빙 스퍼: 초고속 샘플링을 위해 사용되는 인터리빙 아키텍처는 병렬로 동작하는 서브 **ADC** 간의 미세한 오프셋, 이득, 타이밍 불일치로 인해 고유한 형태의 인터리빙 스퍼를 발생시킨다. 이는 현대 고성능 **ADC**가 직면한 가장 큰 과제 중 하나이다.

8.2 시스템 레벨의 관점

높은 스펙트럼 순도를 달성하는 것은 단순히 고성능 **ADC**를 선택하는 것만으로 해결되지 않는 시스템 레벨의 과제이다. 이는 아날로그 프론트엔드, **ADC** 자체, 그리고 디지털 백엔드(**back-end**) 간의 긴밀한 공동 설계를 요구한다.

- 아날로그 프론트엔드: 정교하게 설계된 안티에일리어싱 필터는 **ADC**가 처리해야 할 신호 환경을 '깨끗하게' 만들어줌으로써 에일리어싱 스퍼의 근원을 차단하는 첫 번째 방어선 역할을 한다.
- **ADC** 선택: 애플리케이션의 요구사항(대역폭, 중심 주파수)에 맞춰 최적의 **SFDR**, **INL**, 그리고 인터리빙 성능을 제공하는 **ADC**를 선택하는 것이 핵심이다.
- 디지털 백엔드: **ADC**에 내장된 디지털 보정 알고리즘을 최대한 활용하고, 필요하다면 시스템 레벨에서 추가적인 보정 기법을 적용하여 잔여 스퍼를 최소화해야 한다.

결론적으로, **ADC**의 선택은 시스템의 나머지 부분, 특히 아날로그 필터의 요구 사양과 디지털 처리의 복잡성을 결정하는 중대한 영향을 미친다.

8.3 미래 동향 및 결론

5G/6G 통신, 차세대 레이더, 광대역 위성 통신 등 **RF** 시스템이 더 넓은 대역폭과 더 높은 주파수로 이동함에 따라 스퍼 완화의 과제는 더욱 심화될 것이다. 더 넓은 대역폭은 더 많은 잠재적 간섭 신호를 의미하며, 더 높은 주파수는 타이밍 오차와 같은 문제에 시스템을 더욱

민감하게 만든다.

이러한 도전에 대응하기 위한 미래 기술의 방향은 ADC 자체의 성능 향상에 초점이 맞춰질 것이다. 더 높은 고유 선형성을 갖는 새로운 ADC 아키텍처와, 실시간으로 변화하는 동작 환경에 적응하여 스퍼를 능동적으로 제거하는 더욱 정교하고 지능적인 온칩 디지털 보정 엔진의 개발이 가속화될 것이다. 궁극적으로 외부 아날로그 부품에 대한 의존도를 줄이고, ADC 칩 내부에서 스펙트럼 순도를 보장하는 것이 핵심 목표가 될 것이다. '스퍼 없는' 동적 범위를 향한 끊임없는 탐구는 앞으로도 혼성 신호(mixed-signal) 설계 분야의 혁신을 이끄는 핵심 동력이 될 것이다.

참고 자료

1. Spurs Analysis in the RF Sampling ADC - Texas Instruments, 9월 22, 2025에 액세스, <https://www.ti.com/lit/pdf/slaa824>
2. ADC12DJ2700 5.4-GSPS Single-Channel or 2.7-GSPS Dual-Channel, 12-bit, RF-Sampling Analog-to-Digital Converter (ADC) datasheet - Texas Instruments, 9월 22, 2025에 액세스, <https://www.ti.com/lit/ds/symlink/adc12dj2700.pdf>
3. njh208804.tistory.com, 9월 22, 2025에 액세스, <https://njh208804.tistory.com/52#:~:text=ADC%EC%9D%98%20%EC%9E%91%EB%8F%99%20%EC%9B%90%EB%A6%AC&text=%EC%83%98%ED%94%8C%EB%A7%81%EC%9D%80%20%EC%95%84%EB%82%A0%EB%A1%9C%EA%B7%B8%20%EC%8B%A0%ED%98%B8%EB%A5%BC.%EB%A1%9C%20%ED%91%9C%ED%98%84%ED%95%98%EB%8A%94%20%EA%B3%BC%EC%A0%95%EC%9E%85%EB%8B%88%EB%8B%A4.>
4. ADC, Analog-to-Digital Converter - 우당탕탕 회로동이 - 티스토리, 9월 22, 2025에 액세스, <https://njh208804.tistory.com/52>
5. ADC - 기록하는 개발자 - 티스토리, 9월 22, 2025에 액세스, <https://powerdeng.tistory.com/m/214>
6. 아날로그 신호 디지털 변환 - ADC - 제어계측 - 코스테크(주), 9월 22, 2025에 액세스, <https://t-m.kostech.net/theory-test/?bmode=view&idx=6209547>
7. [신호 처리] 2. '샘플링(sampling)'의 의미와 적절한 샘플링 율(sampling ..., 9월 22, 2025에 액세스, <https://bigdaheta.tistory.com/89>
8. 다운샘플링 시 Aliasing 현상 Spectrogram에서 관찰하기 - Sunny Archive 🌞 - 티스토리, 9월 22, 2025에 액세스, <https://sunny-archive.tistory.com/101>
9. Folded-Frequency Calculator - Analog Devices, 9월 22, 2025에 액세스, <https://www.analog.com/en/resources/design-notes/foldedfrequency-calculator.html>
10. Sampled Data Aliasing - Daqarta, 9월 22, 2025에 액세스, https://www.daqarta.com/dw_Ohaa.htm
11. Aliasing - Wikipedia, 9월 22, 2025에 액세스, <https://en.wikipedia.org/wiki/Aliasing>
12. Selecting Mixed-Signal Components for Digital Communications Systems—Part V | Analog Devices, 9월 22, 2025에 액세스, <https://www.analog.com/en/resources/analog-dialogue/articles/mixed-signal-components-for-digital-communications-systems-part-v.html>
13. 양자화 잡음 - 담쟁이, 9월 22, 2025에 액세스, <https://linecard.tistory.com/59>

14. MT-001: Taking the Mystery out of the Infamous Formula, "SNR=6.02N + 1.76dB," and Why You Should Care, 9월 22, 2025에 액세스,
<https://gtwork.tudelft.nl/~schouten/linkload/adc-tutorial.pdf>
15. AN-804 Improving A/D Converter Performance Using Dither, 9월 22, 2025에 액세스, <https://www.ti.com/lit/an/snoa232/snoa232.pdf>
16. Reducing Quantization Distortion Via Subtractive and Non-subtractive Dithering - Technical Articles - All About Circuits, 9월 22, 2025에 액세스,
<https://www.allaboutcircuits.com/technical-articles/reducing-quantization-distortion-via-subtractive-and-non-subtractive-dithering/>
17. ANALOG-DIGITAL CONVERSION - 1. Data ... - Analog Devices, 9월 22, 2025에 액세스,
<https://www.analog.com/media/en/training-seminars/design-handbooks/Data-Conversion-Handbook/Chapter5.pdf>
18. INL/DNL Measurements for High-Speed Analog-to-Digital Converters (ADCs), 9월 22, 2025에 액세스,
<https://www.analog.com/en/resources/technical-articles/inldnl-measurements-for-types-of-highspeed-adcs.html>
19. ADC 및 오디오 테스트 용으로 디지털 전치왜곡을 지원하는 고성능 소스 - Analog Devices, 9월 22, 2025에 액세스,
<https://www.analog.com/cn/lp/002/tech-articles-kr/high-performance-source-for-adc.html>
20. [전자] SNR, SFDR 이란? - 동그리의일상 - 티스토리, 9월 22, 2025에 액세스,
<https://donggreen.tistory.com/entry/%EC%A0%84%EC%9E%90-SNR-SFDR>
21. Find Aliased ADC or DAC Harmonics (with animation) - Neil Robertson - DSPRelated.com, 9월 22, 2025에 액세스,
<https://www.dsprelated.com/showarticle/1380.php>
22. DAC "aliasing" of harmonics - Electronics Stack Exchange, 9월 22, 2025에 액세스,
<https://electronics.stackexchange.com/questions/504545/dac-aliasing-of-harmonics>
23. SFDR (Spurious Free Dynamic Range) 란 무엇인가 - 내가 알고 싶은 것들 - 티스토리, 9월 22, 2025에 액세스, <https://trts1004.tistory.com/12109547>
24. Spurious-free dynamic range - Wikipedia, 9월 22, 2025에 액세스,
https://en.wikipedia.org/wiki/Spurious-free_dynamic_range
25. ADC 성능 지표의 SFDR(dBC)와 SFDR(dBFS)의 차이 - 망고토마토 - 티스토리, 9월 22, 2025에 액세스, <https://mangto.tistory.com/121>
26. 안티앨리어싱 저역 통과 필터 기본 사항(및 이 필터가 ADC와 일치해야 하는 이유), 9월 22, 2025에 액세스,
<https://www.digikey.kr/ko/articles/the-basics-of-anti-aliasing-low-pass-filters>
27. Anti-Aliasing Filters: Applying Sampling Theory to ADC Design - Technical Articles, 9월 22, 2025에 액세스,
<https://www.allaboutcircuits.com/technical-articles/anti-aliasing-filters-applying-sampling-theory-to-adc-design/>
28. Use of Dithering in ADC | PDF | Analog To Digital Converter | Signal To Noise Ratio - Scribd, 9월 22, 2025에 액세스,
<https://www.scribd.com/document/345357447/Use-of-Dithering-in-ADC>

29. Improving Digital-to-analog Converter Linearity by Large High-frequency Dithering - Precision Mechatronics Lab, 9월 22, 2025에 액세스,
https://precisionmechatronicslab.com/wp-content/uploads/2016/06/hf_dither_v12-1.pdf