|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 文件编号 | |  | 密级 |  | |
| 文件类型 | |  | 作 者 |  | |
| 项目代码 | |  | 适用范围 |  | |
| **多平台飞行控制计算机1-FPGA设计需求** | | | | | |
| 关联文档 | | | | | |
| **文件编号** | **文件名称** | | | | **版本** |
|  | 多平台飞行控制计算机设计说明 | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |

**修订记录**

| **版本** | **修订内容说明** | **修订人** | **修订日期** |
| --- | --- | --- | --- |
| 1.0 | 新建 |  | 20161002 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

# 多平台飞行控制计算机FPGA设计需求



图表1 FPGA信号连接示意图

FPGA信号连接示意图如上所示。FPGA用来实现串口扩展功能，用CPU串口扩展出20个串口，用CPU的SPI接口（FPGA为从设备）来设置串口波特率。具体需求如下：

1. 串口uart\_rx\_from\_fpga/uart\_tx\_to\_fpga波特率38400-10Mbps，可通过SPI设置，默认115200,格式8N1（无校验，1停止位）；串口协议见1.1节
2. 串口uart\_tx[19:0]/uart\_rx[19:0]波特率9600-1Mbps，可通过SPI设置，默认115200，格式8N1（无校验，1停止位）
3. SPI接口格式：可兼容200KHz-1MHz时钟；

16bit数据；MSB；上升沿采样；时钟低电平空闲;

1. FPGA输入时钟8MHz
2. 上电工作状态指示灯，逻辑内部检测到出错时，LED灯快速闪烁
3. FPGA版本寄存器
4. CPU通过SPI在线烧写FPGA内部的配置Flash

## 串口协议

串口协议分上行和下行，采用不同的帧头来区分

|  |  |  |
| --- | --- | --- |
| 帧段 | 帧内容 | |
| CPU-->FPGA | FPGA->CPU |
| 帧头1 | 0x24 | 0x24 |
| 帧头2 | 0x43 | 0x46 |
| 帧头3 | 0x54 | 0x54 |
| 帧头4 | 0x46 | 0x43 |
| 帧长 | 一个字节，数据段长度，最大为230 | |
| 通道号 | 一个字节，0为所有通道，当主机给所有20个通道广播时使用，1-20分别对应20个通道 | |
| 数据 |  | |
| CRC校验低字节 | CRC16,二项式0xA001 | |
| CRC校验高字节 |
| 帧尾 | 0xFE | |

## SPI协议

SPI数据帧由 2个16bit数据组成：{address[15:14],address[13:0], data[15:0]}

其中第一个16bit数据的bit15和bit14为读写标识：

address[15:14]：2’b00，写FPGA；2’b11，读FPGA

|  |  |  |
| --- | --- | --- |
| 寄存器地址 | 权限 | 说明 |
| 0x01 | 只读 | 逻辑版本寄存器高16bit |
| 0x02 | 只读 | 逻辑版本寄存器低16bit |
| 0x03 | 读写 | CPU和FPGA之间串口波特率，该数值为25000000/波特率  默认值为217，对应115200 |
| 0x04 | 读写 | uart1波特率，默认115200 |
| 0x05 | 读写 | uart2波特率，默认115200 |
| 0x06 | 读写 | uart3波特率，默认115200 |
| 0x07 | 读写 | uart4波特率，默认115200 |
| 0x08 | 读写 | uart5波特率，默认115200 |
| 0x09 | 读写 | uart6波特率，默认115200 |
| 0x0A | 读写 | uart7波特率，默认115200 |
| 0x0B | 读写 | uart8波特率，默认115200 |
| 0x0C | 读写 | uart9波特率，默认115200 |
| 0x0D | 读写 | uart10波特率，默认115200 |
| 0x0E | 读写 | uart11波特率，默认115200 |
| 0x0F | 读写 | uart12波特率，默认115200 |
| 0x10 | 读写 | uart13波特率，默认115200 |
| 0x11 | 读写 | uart14波特率，默认115200 |
| 0x12 | 读写 | uart15波特率，默认115200 |
| 0x13 | 读写 | uart16波特率，默认115200 |
| 0x14 | 读写 | uart17波特率，默认115200 |
| 0x15 | 读写 | uart18波特率，默认115200 |
| 0x16 | 读写 | uart19波特率，默认115200 |
| 0x17 | 读写 | uart20波特率，默认115200 |

## 参考代码

* UART收发器的代码可以参考

https://github.com/jinyibin/uart/blob/master/uart\_transceiver.v

* CRC16校验的代码可以参考

https://github.com/jinyibin/uart/blob/master/crc\_16.v

* SPI从设备代码可以参考

https://github.com/jinyibin/CPLD目录下的spi\_slave\_transceiver.v和spi\_slave\_reg.v

* FPGA版本寄存器代码参考

https://github.com/jinyibin/CPLD目录下的update\_version.tcl和version\_reg.v