|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 文件编号 | |  | 密 级 |  | |
| 文件类型 | |  | 作 者 | 金益彬 | |
| 项目代码 | |  | 适用范围 |  | |
| **Cadence原理图设计指导** | | | | | |
| 关联文档 | | | | | |
| **文件编号** | **文件名称** | | | | **版本** |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |
|  |  | | | |  |

**修订记录**

| **版本** | **修订内容说明** | **修订人** | **修订日期** |
| --- | --- | --- | --- |
| 1.0 | 新建 | 金益彬 | 2017/9/8 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

# 概述

## 目的

本文档用于指导原理图设计和PCB设计的规则，Cadence软件的基本操作。

## 适用范围

Cadence 16.6版本

Win7 64位操作系统

## 设计理念



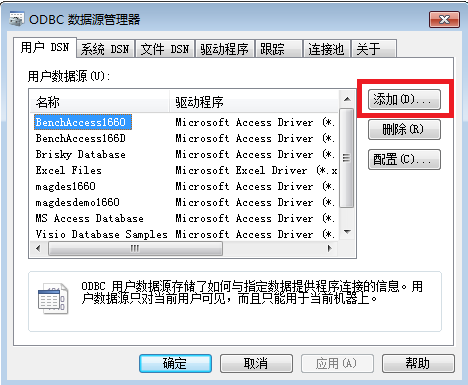
基于中央库的原理图和PCB设计：

数据库Access文件作为唯一的元器件物料库文件，原理图工具Capture CIS和PCB工具Allegro通过数据库Access文件来关联原理图库和PCB库。

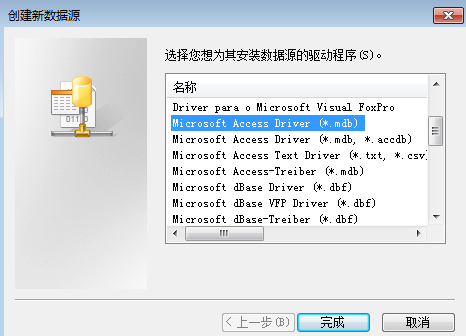
中央库由专人维护，硬件工程师只负责建立自己选择用的新元件原理图symbol，对应的PCB封装由专人设计（或者第三方外协）

# 元器件数据库设置

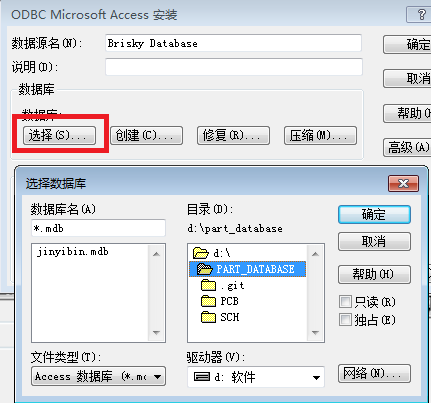
1. 下载中央库到D盘根目录下，地址：<https://github.com/jinyibin/PART_DATABASE>
2. 安装ODBC数据库，运行C:\Windows\SysWOW64\odbcad32
3. 添加数据库



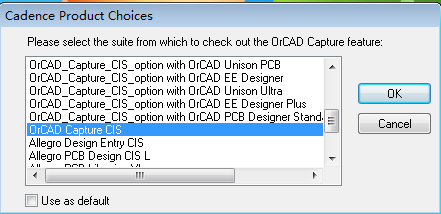
1. 选择access driver



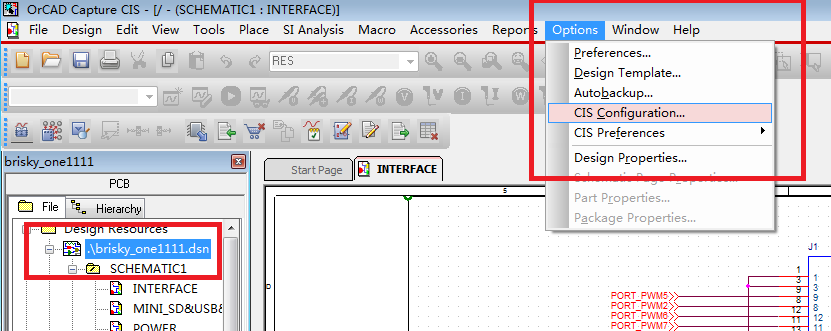
1. 输入数据源名称（名称任意），选择D盘数据库



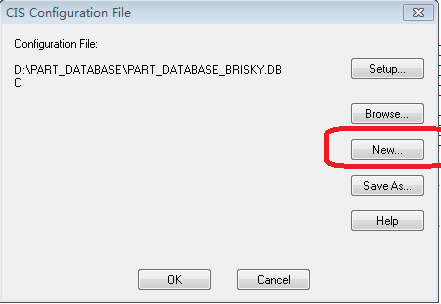
1. 用ORCAD capture CIS打开一个现有工程



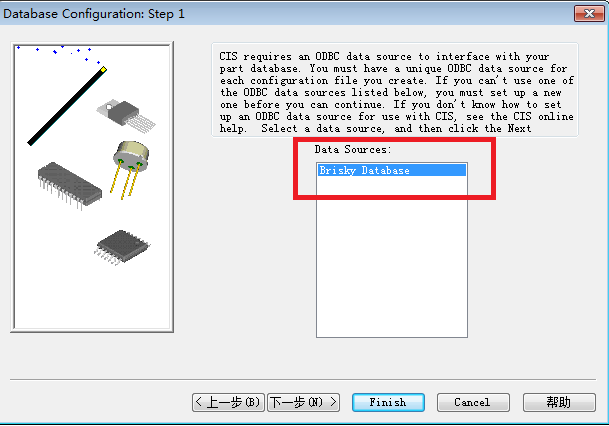
1. 选择工程，进入options—CIS Configuration



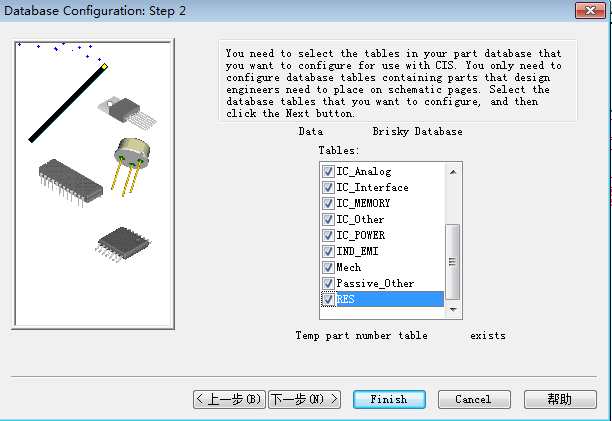
1. 点击NEW



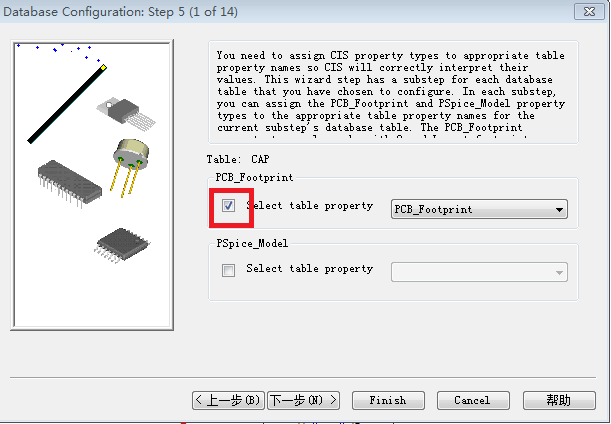
1. 点击下一步
2. 选择之前创建的数据库，点击下一步



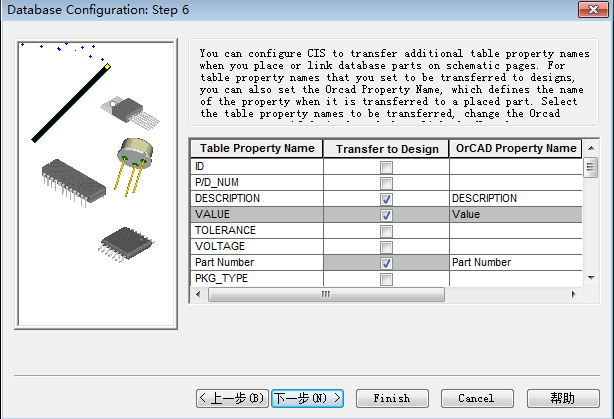
1. 选择所有table内容，点击下一步



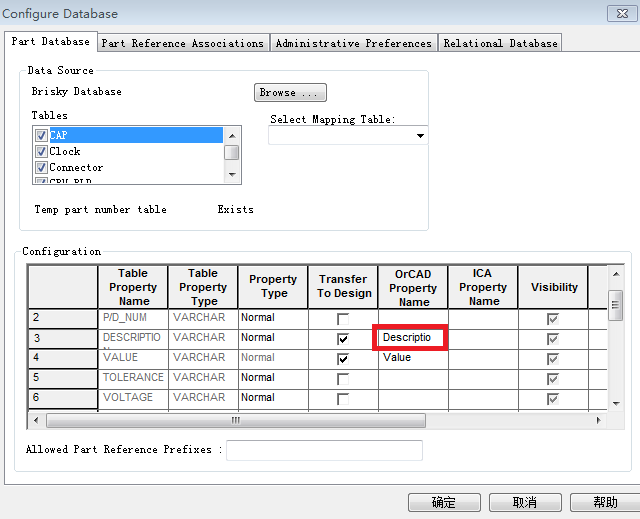
1. 一直点击下一步，直到选择PCB\_Footprint，打钩，然后下一步



1. 一直点击下一步，直到以下界面，选择需要导入原理图的参数，Description、Value、Part Number、PCB\_Footprint、MFGR



1. 点击下一步，然后finish
2. 重新选择Description为小写的名称，点击确定



1. 点击NO

# 原理图设计规则

1. 每次开始新原理图设计之前，请先更新中央库
2. 优先选择已经使用过的元器件和电路
3. 原理图设计依据可读性，功能可复制性原则，按照模块化设计
4. 相同功能的电路要尽量在一页里面完成
5. 电气网络名称全部大写
6. 电气网络名称（电源除外）只用数字，字母和下划线
7. 电气网络名称要体现信号含义
8. 电气网络名称要体现信号流向
9. 用下划线加后缀的方式来表示不同含义，例如隔离地：GND\_ISO\_422，GND\_ISO\_CAN
10. 高电平使能信号，网络名称加后缀\_EN
11. 低电平有效的信号，网络名称加后缀\_N
12. 同一个信号经过不同的元件（例如buffer，滤波电路等），前后网络名称通过加后缀的方式来命名，例如：PWM\_IN，经过EMI滤波电路，命名为PWM\_IN\_F，经过buffer芯片之后命名为PWM\_IN\_BUF
13. 电源网络名称统一如下：

* 模拟电源统一在数字电源标识前面加A
* 高于5V，低于-5V的电源直接用数字表示，例如+28V，-6V

VDD33 — 数字3.3V AVDD33 — 模拟3.3V

VDD25 — 数字2.5V AVDD25 — 模拟2.5V

VDD18 — 数字1.8V AVDD18 — 模拟1.8V

VDD15 — 数字1.5V AVDD15 — 模拟1.5V

VCC — 数字5V AVCC — 模拟5V

VEE — 数字-5V AVEE — 模拟-5V

GND — 数字信号地 AGND — 模拟信号地

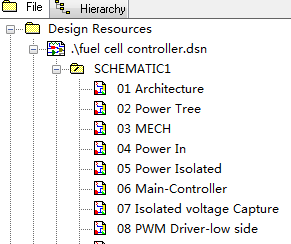
GND\_ISO\_XXX — 隔离地，XXX根据不同的隔离目的来定义，例如422，CAN等

1. 原理图工程页面组成如下：

第一页为电路原理图框图，以及电路简单文字说明，版本演变历史等

第二页为电路电源树框图

第三页为电路机械结构图以及Mark点，安装孔等symbol

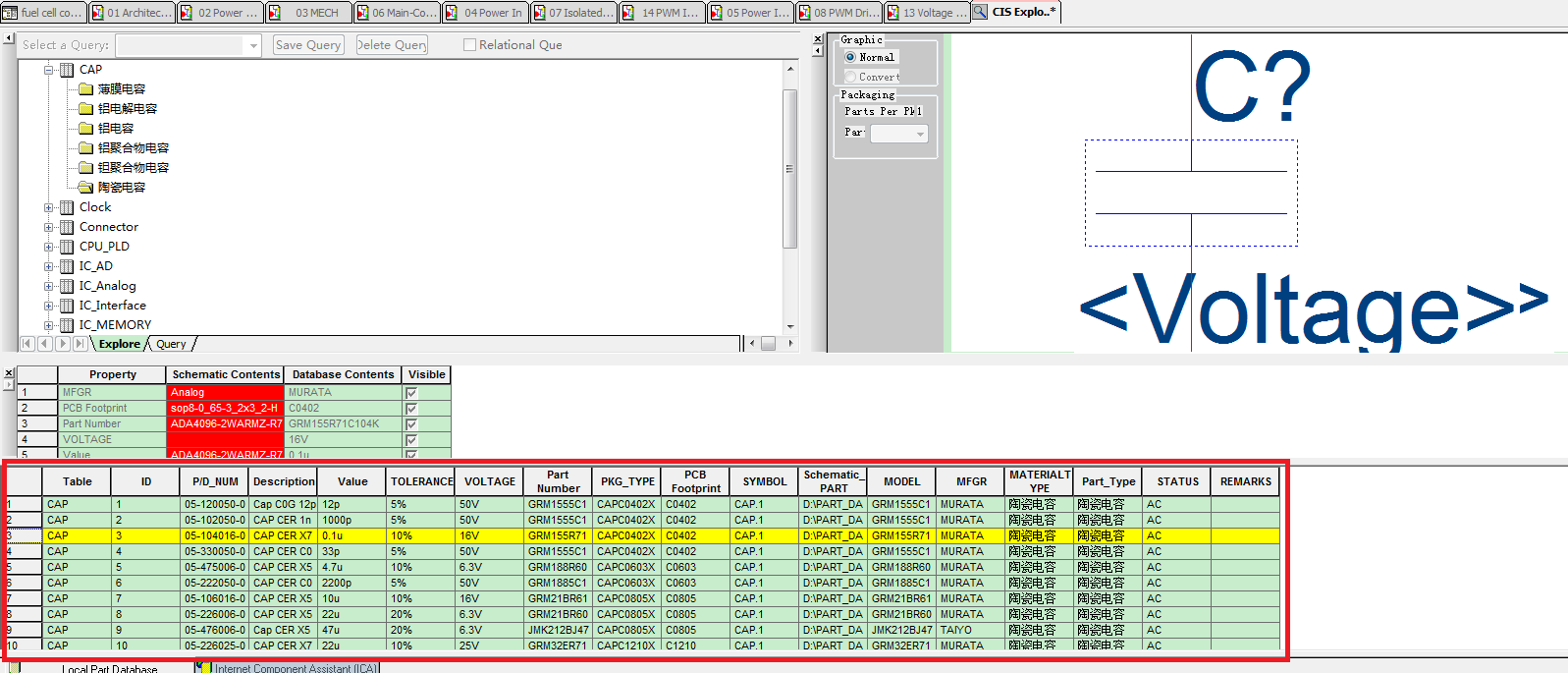


1. 统一BOM：尽量不要出线同容值，同阻值的不同型号的电阻和电容

# Cadence基本操作

## 放置元器件

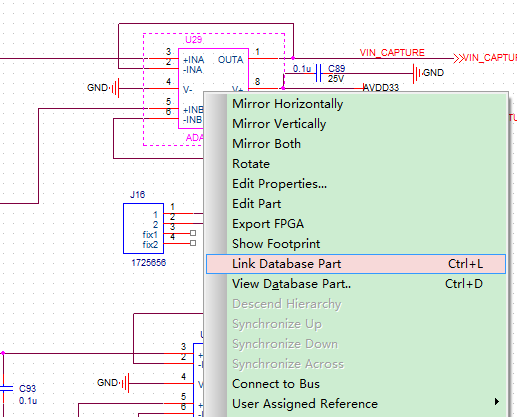
空白页面，右键单击，选择Place Database part，在跳出的CIS Explorer里面寻找想要的元件。在红色区域找到元件，然后双击就可以放置元件。



## 替换元器件

### 替换单个元件

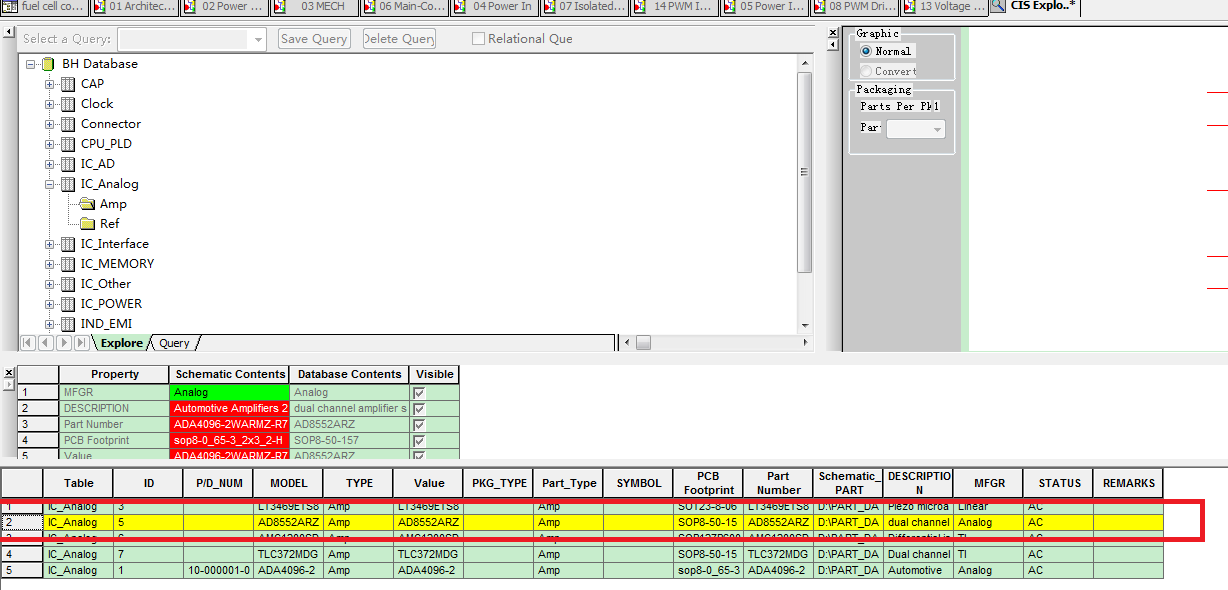
1. 单击选中需要替换的元件
2. 右键选择link database part



1. 在explore里面选择想要用来替换的元件

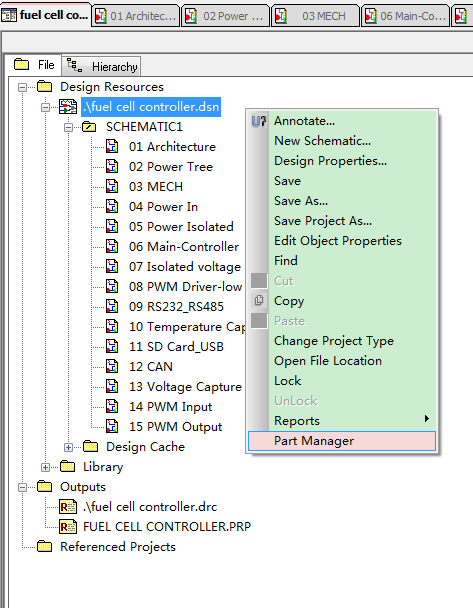


1. 双击选择的元件

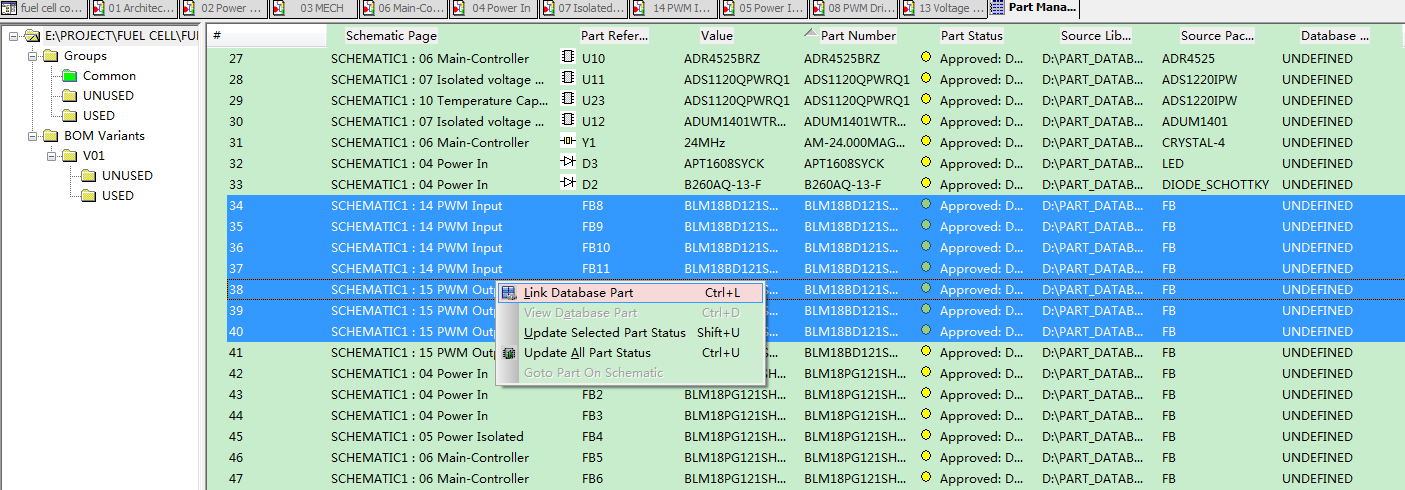


### 替换多个元件（相同型号）

1. 选中项目，右键进入part manager



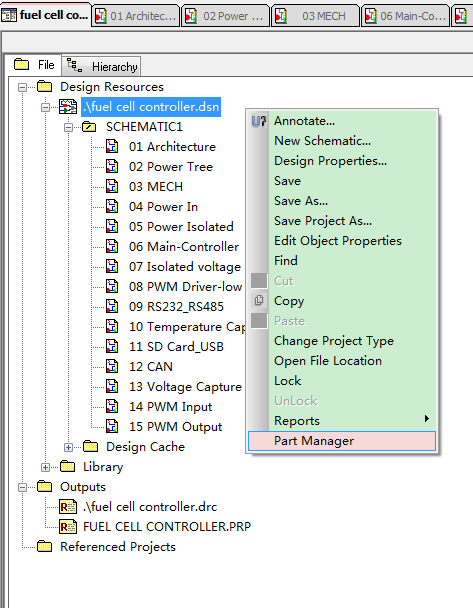
1. 选中需要替换的元件（可以按照位号排列，或者按照Part Number排列），右键点击link Database part



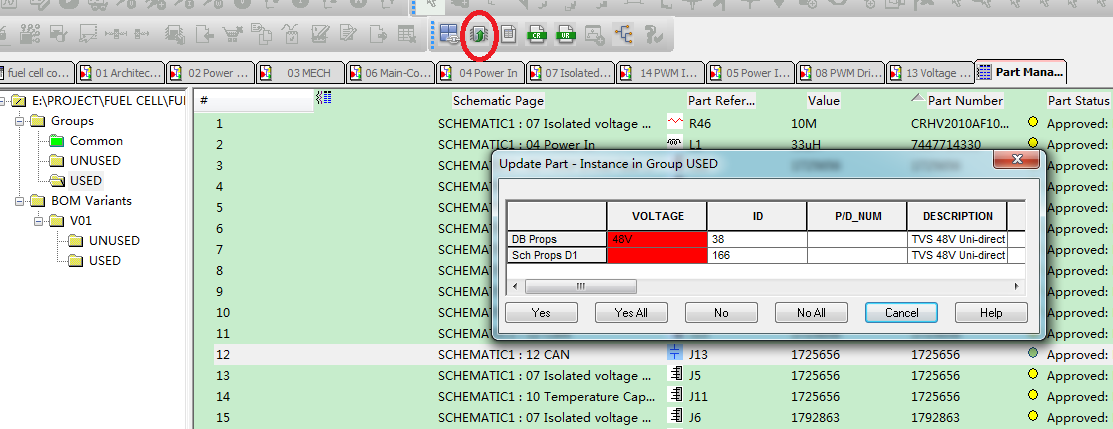
1. 选择需要用来替换的元件，并双击

## 导出BOM

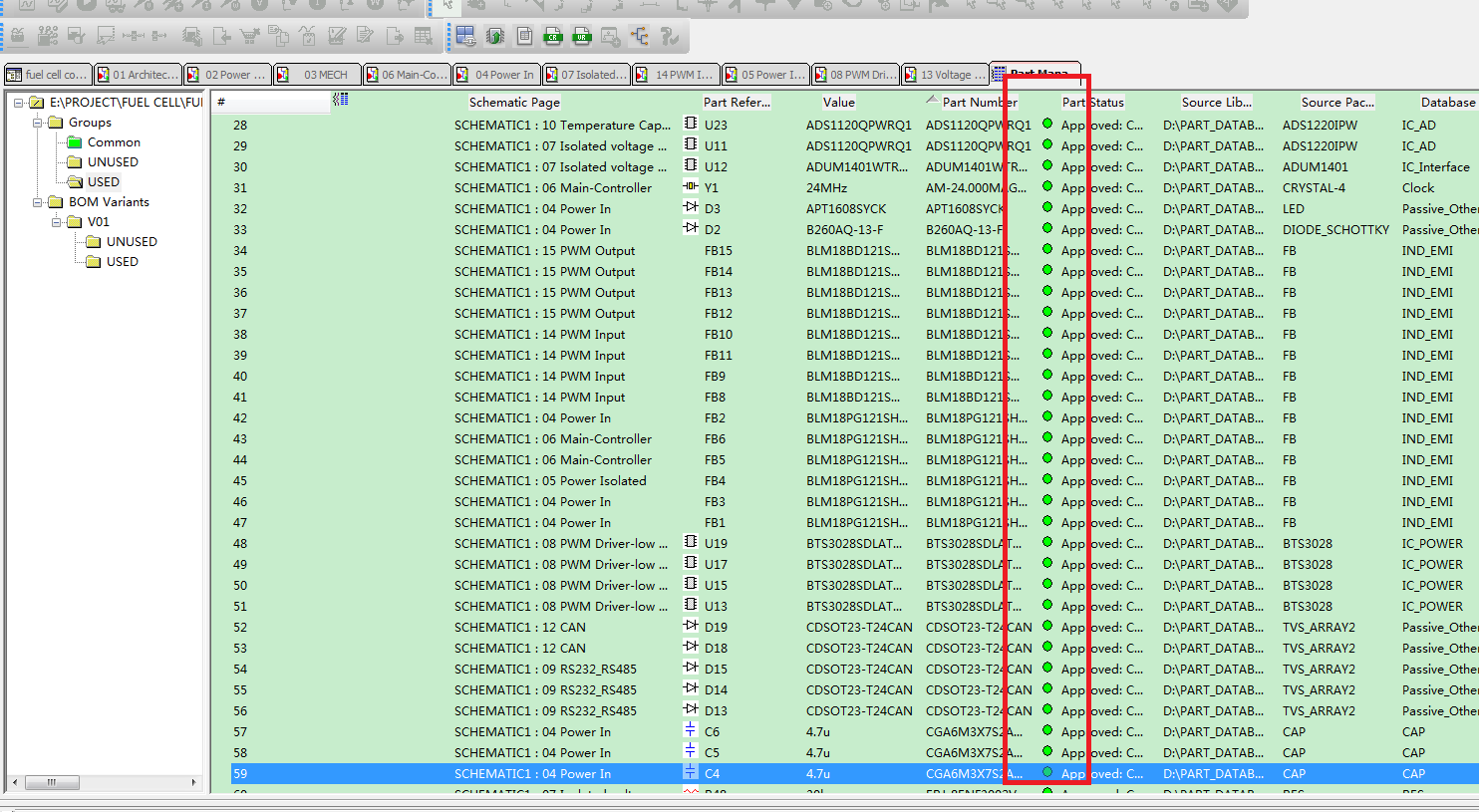
1. 选中项目，右键进入part manager



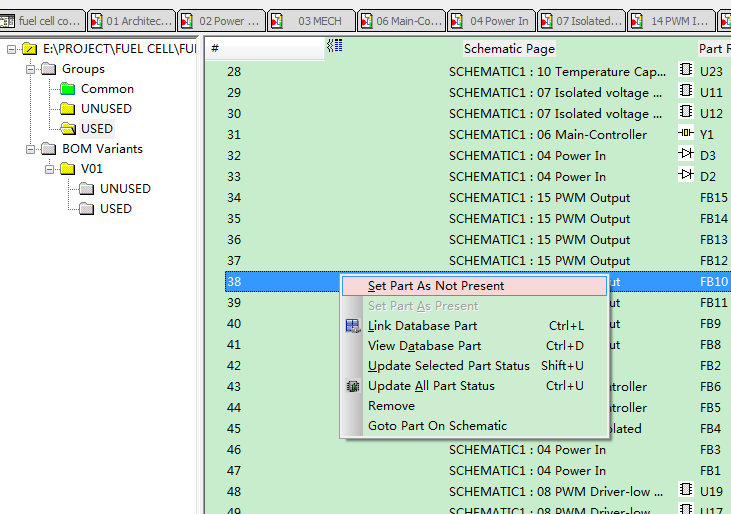
1. 点击图中红圈按钮，更新中央库，确保原理图中元件状态和中央库一致



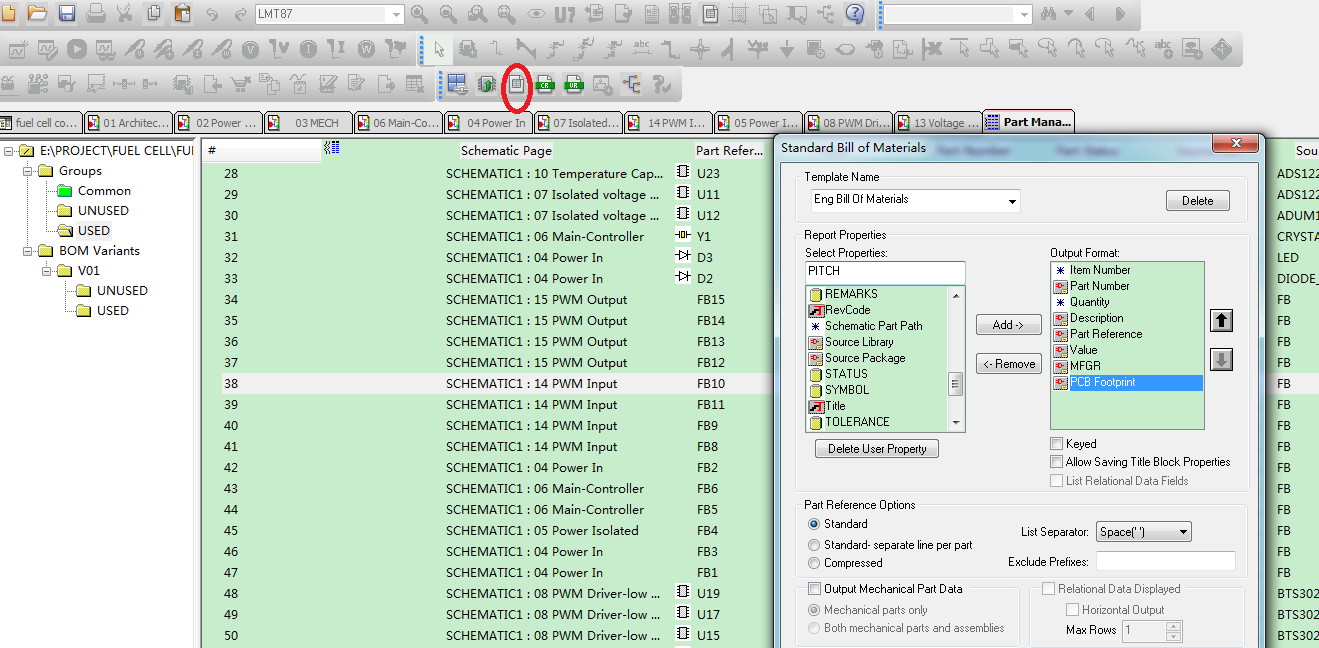
1. 当原理图元件状态和中央库一致时，Part Status为绿色



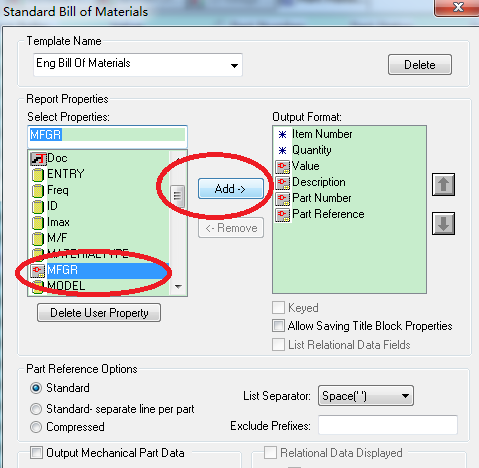
1. 选中不需要焊接的元件，右键设定为not present，这样导出BOM时，该元件就不会出现在BOM当中



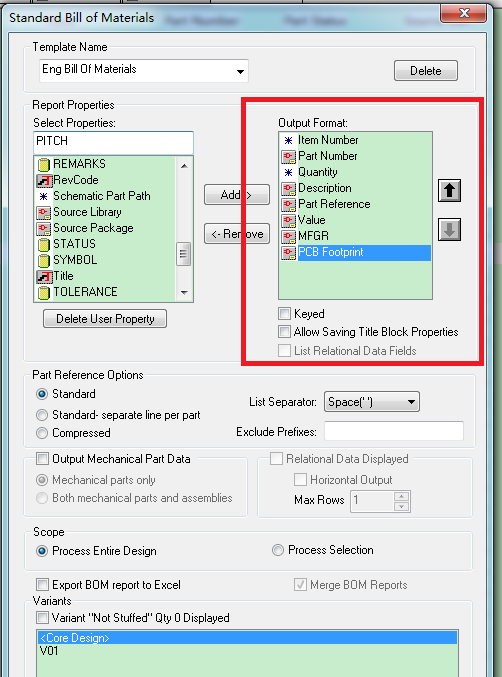
1. 点击导出BOM按钮



1. 将需要导出的参数（厂家MFGR和封装PCB Footprint）加入导出列表（红圈中的output format）：选择MFGR（或者PCB Footprint），点击Add



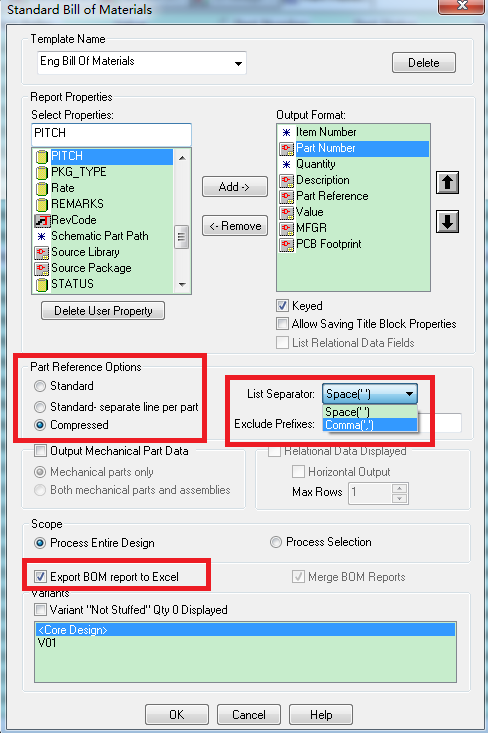
1. 点击右边箭头，按照下图顺序调整输出参数的列位置



1. 点击Output format里面的Part Number，选中Keyed，使得导出的BOM按照物料型号来归类



1. 选择图中红圈的设置



1. 点击ok

## 导出原理图pdf

* 安装虚拟打印机（win7）

设备和打印机---添加打印机---添加本地打印机--FILE（打印到文件）---Generic---MS Publisher Imagesetter

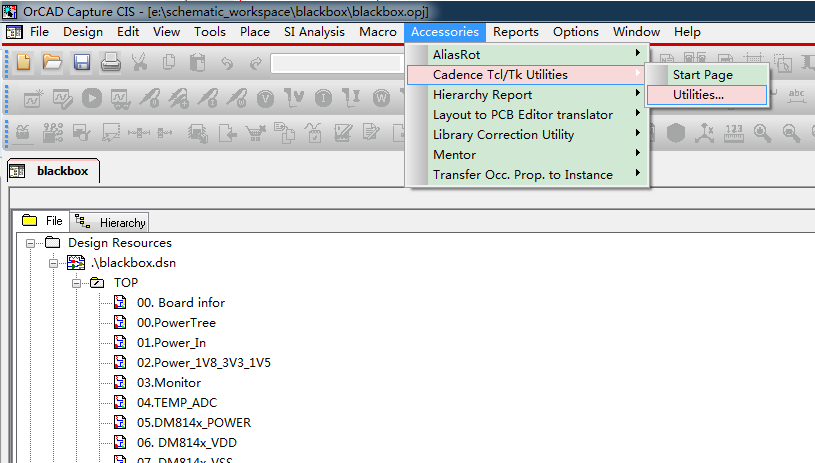
* 下载安装GhostScript
* 在Cadence安装目录下找到文件

C:\Cadence\SPB\_16.6\tools\capture\tclscripts\capUtils\capPdfUtil.tcl

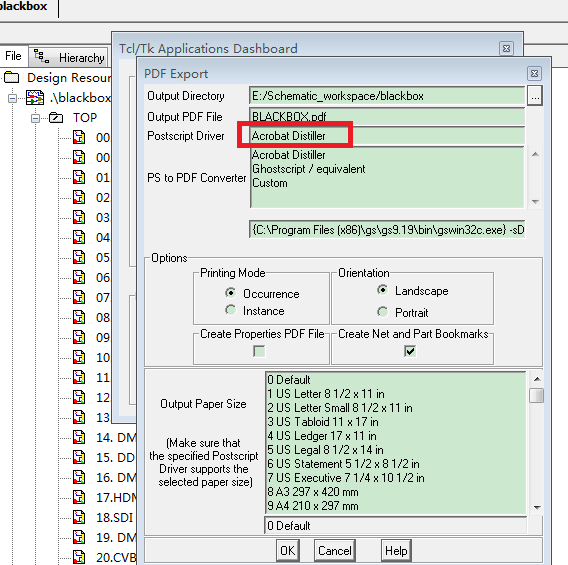
* 修改文件属性，红圈位置改成GhostScript安装路径



* 打开Cadence



* 选择pdf export
* 红圈位置改成虚拟打印机名称（MS Publisher Imagesetter）

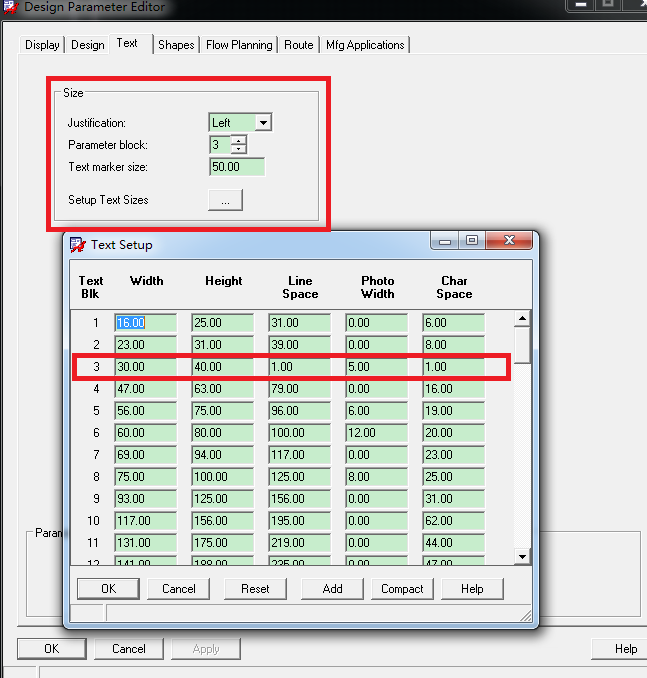


* 选择Ghostscript/equivalent
* 取消Creat Net and Part Bookmarks
* 点击ok

# Layout 基本操作

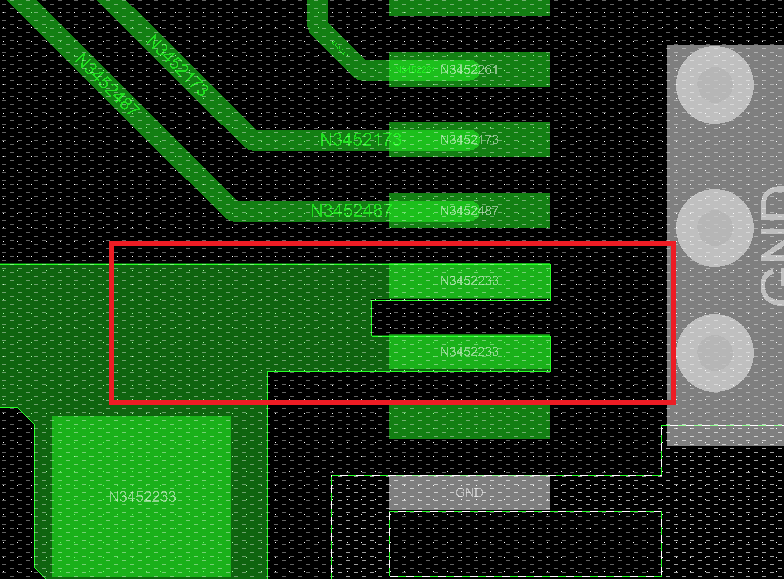
## 丝印

丝印字体设置如下（单位为Mils）：



## 走线

1. 多管脚的出线方式

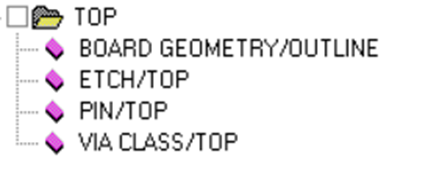


## Gerber文件导出

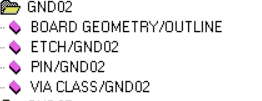
Gerber文件导出时，一般都为正片形式。

### 六层板光绘文件输出如下所述

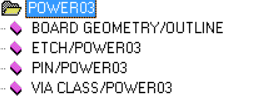
TOP层



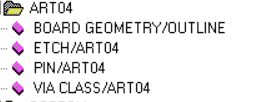
GND02层



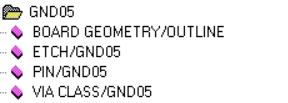
Power03层



ART04层



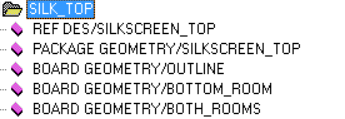
GND05层



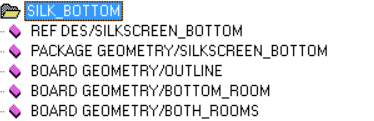
BOTTOM层



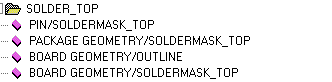
SILK\_TOP 层



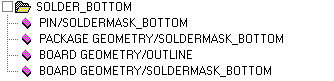
SILK\_BOTTOM层



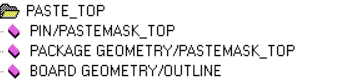
SOLDER\_TOP层



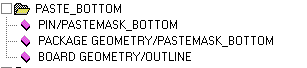
SOLDER\_BOTTOM层



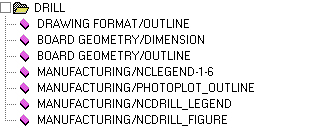
PASTE\_TOP层



PASTE\_BOTTOM层



DRILL层



#### 设置加工文件参数

（1） 启动Allegro PCB Design GXL，打开PCB工程文件。

（2） 执行菜单命令“Manufacture”→“Artwork”，弹出“Artwork Control Form”对话框。如图5-3-1所示。

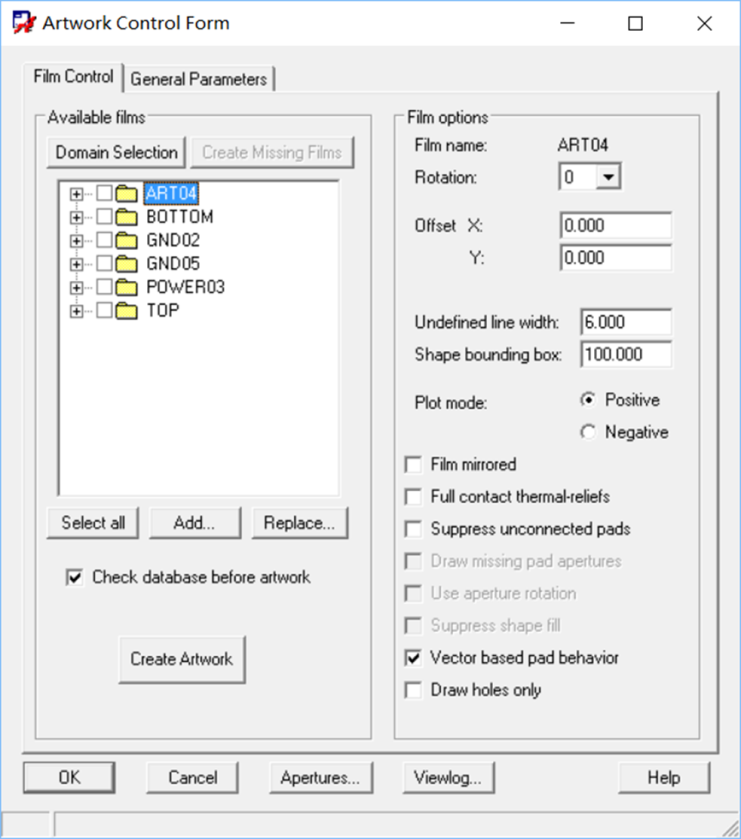


图5-3-1

（3）设置“Undefined line width”为6.000mil,设置“Plot mode”为“Positive”。

（4）单击“General Parameters”标签页，如图5-3-2所示。

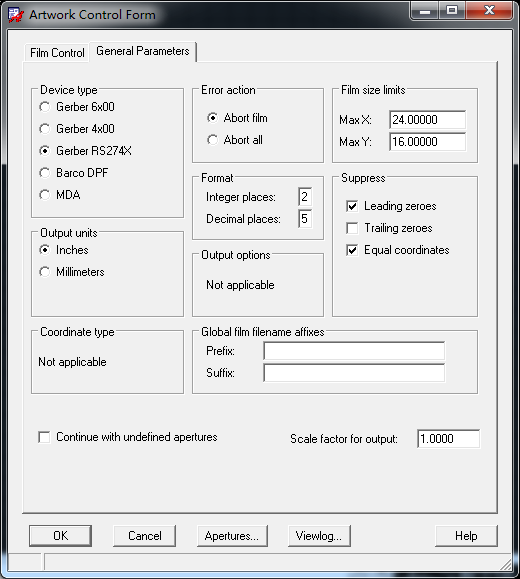
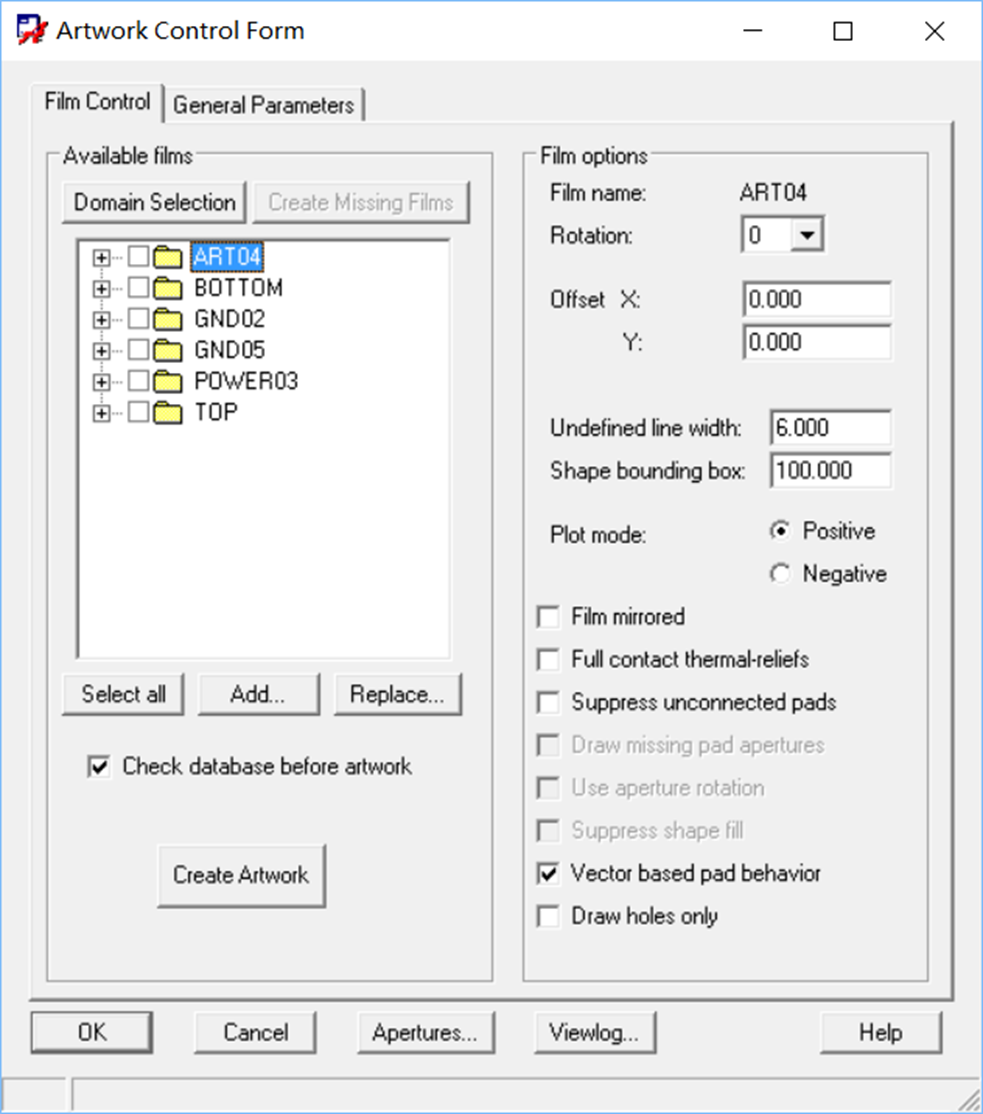


图5-3-2

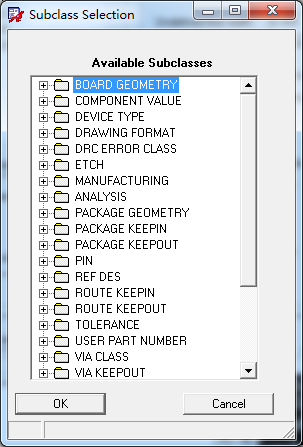
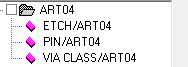
（5）设置“Device type”项为“Gerber RS274X”，点击“OK”，在相应的工程目录下生成art\_param.txt文件。

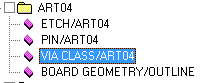
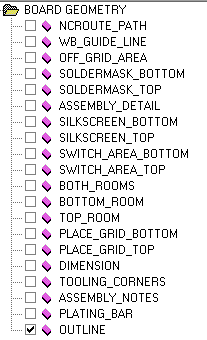
#### 设置底片控制文件

（1）执行菜单命令“Manufacture”→“Artwork”，弹出“Artwork Control Form”对话框，选择“Film Control”标签页，默认有图5-3-3中6个底片文件。

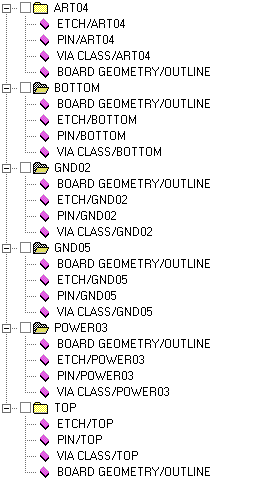


（2）单击“ART04前的“+”，再右键单击“ETCH/ART04”，选择“Add”，出现“Subclass Selection”窗口，单击“BOARD GEOMETRY”前的“+”，选择“OUTLINE”，单击下方的“OK”。



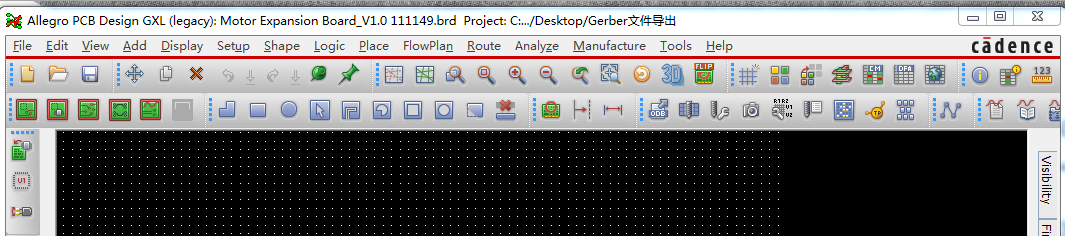


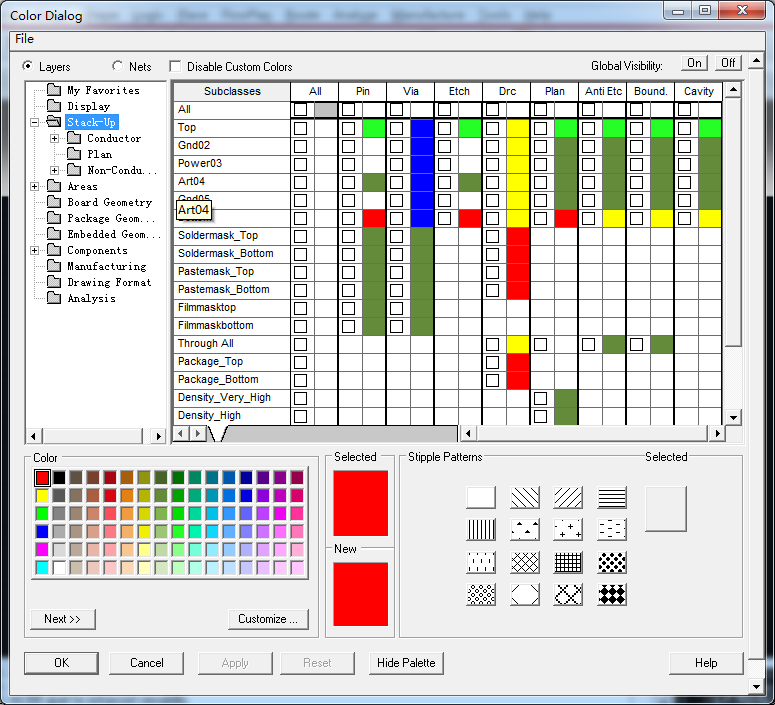
（3）其余5个底片的“OUTLINE”文件的添加方法如同“ART04”底片，重复步骤（2）操作。6个底片文件如下图所示。



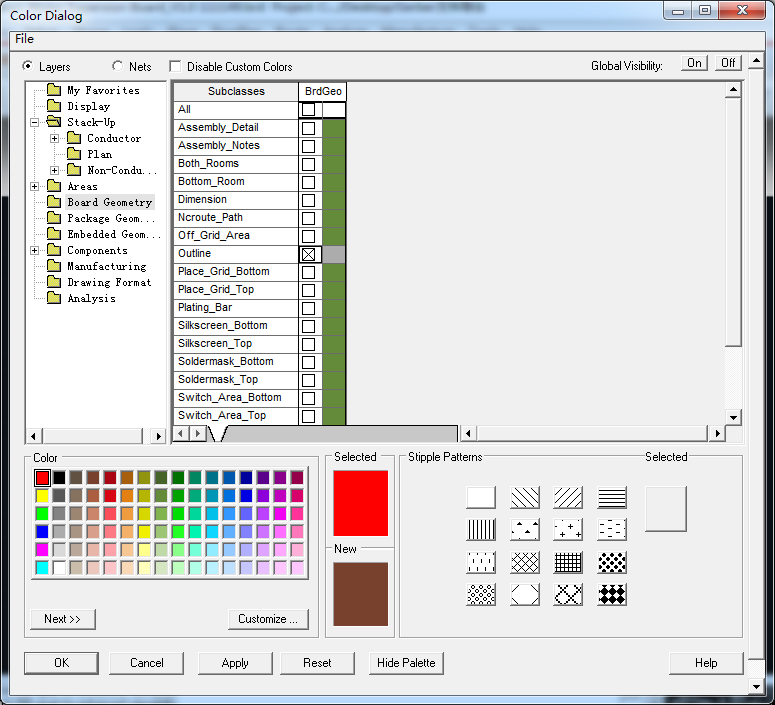
#### 设置“OUTLINE”底片控制文件

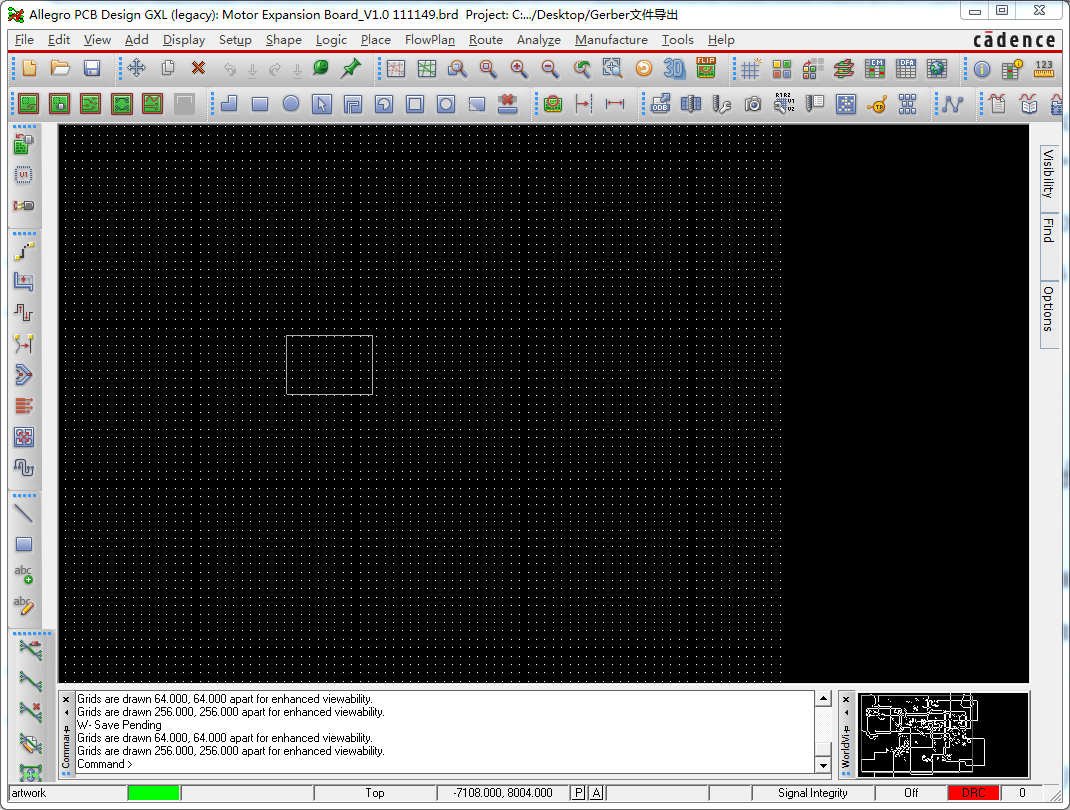
（1）执行菜单命令 “Display”，点击“Color/Visibility”，进入“Color Dialog”窗口，点击“Global Visibility”中的“Off”，再点击提示框的“是（Y）”。



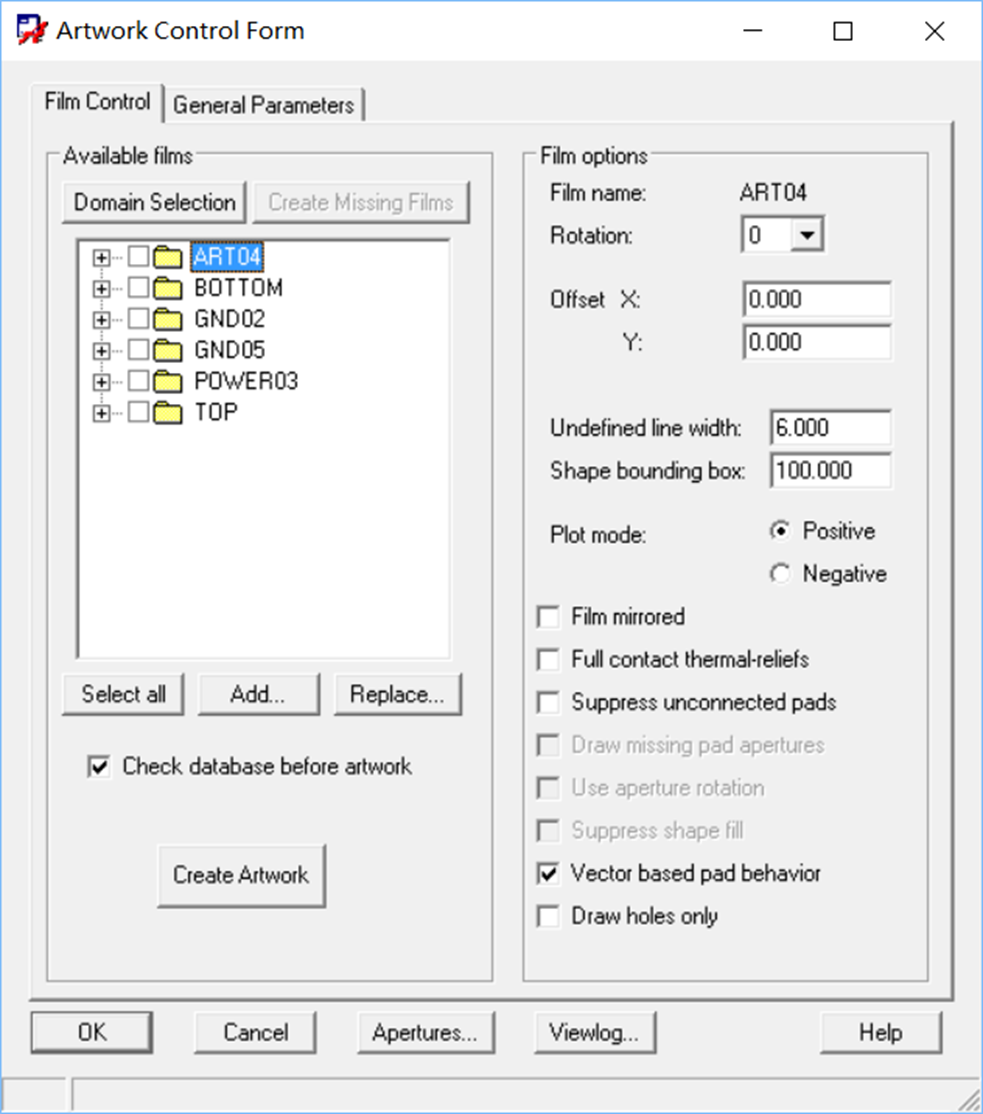


（2）点击左边“Board Geometry”，选择“Outline”，点击“Apply”。

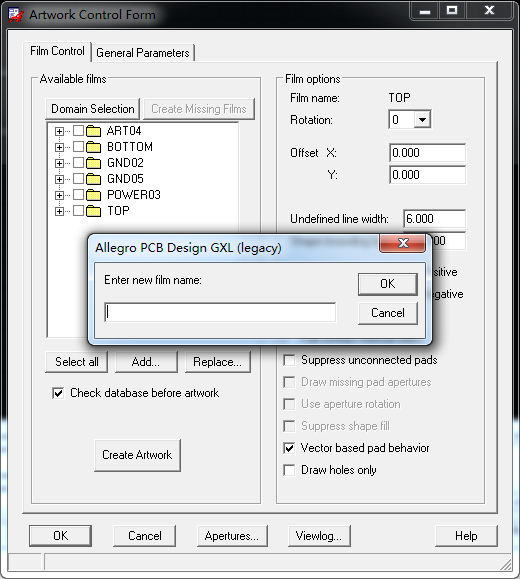


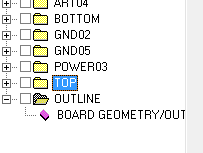


（3）执行菜单命令“Manufacture”→“Artwork”，弹出“Artwork Control Form”对话框，选择“Film Control”标签页，有图中6个底片文件。



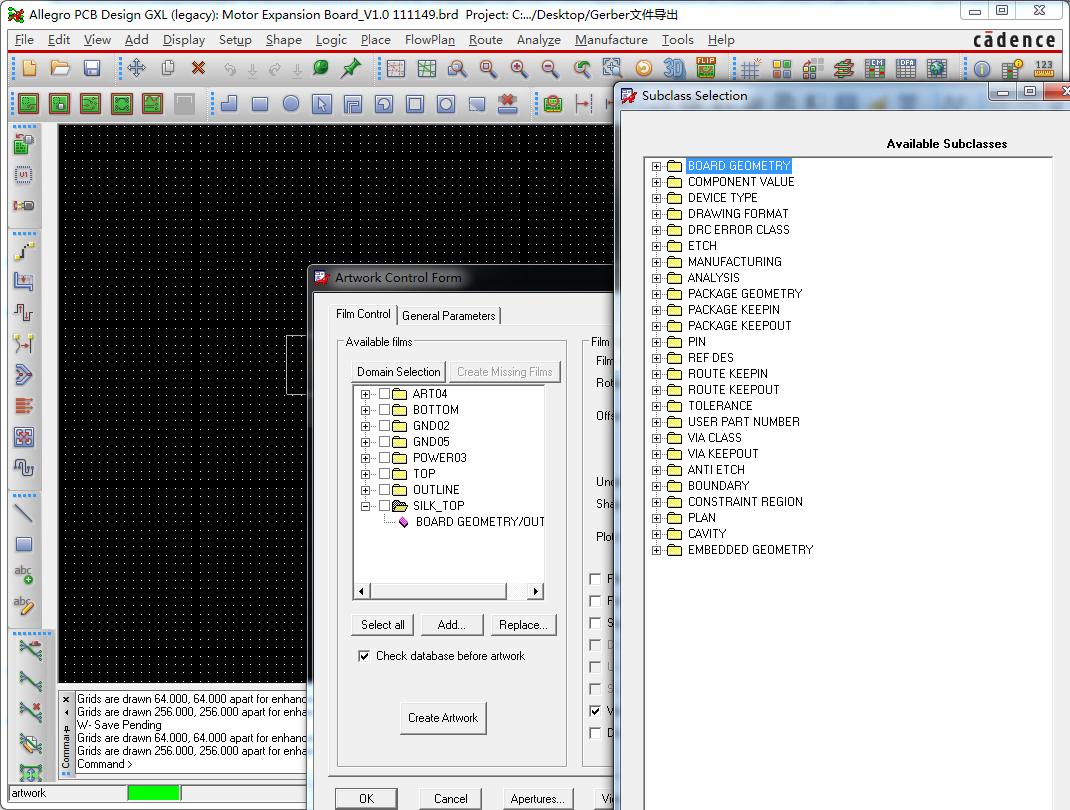
（3）右键点击“TOP”（其他文件夹也可），在提示框中输入“OUTLINE”，点击“OK”，底片“OUTLINE”建立完毕。

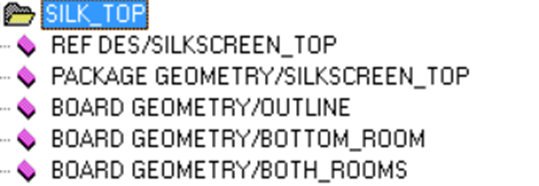




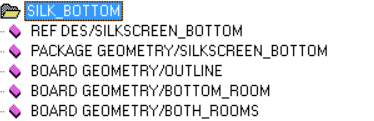
#### 建立SILK底片文件

（1）右键点击底片“Outline”，在提示框中输入“SILK\_TOP”，点击“OK”。在“Subclass Selection”窗口中找到剩余4个文件，添加进去，底片“SILK\_TOP”建立完毕。



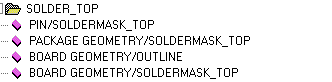


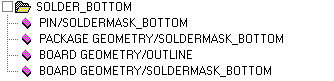
（2）底片“SILK\_BOTTOM”文件建立方式如底片“SLIK\_TOP”方式操作。



#### 建立SOLDER底片文件

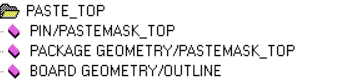
（1）同SILK底片文件建立方式，注意要求在底片“OUTLINE”下选择“Add”。注意：若要将过孔开窗，请将“Via Class/Top”或“Via Class/Bottom”添加到目录即可。

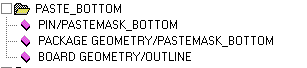




#### 建立PASTE底片文件

（1）同SILK底片文件建立方式，注意要求在底片“OUTLINE”下选择“Add”。





#### 建立DRILL底片文件

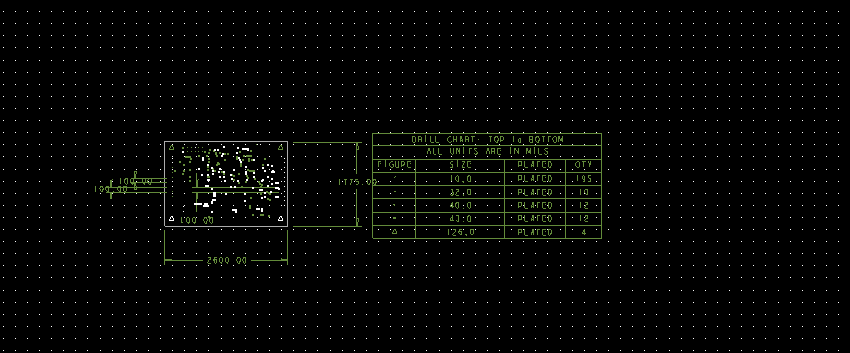
##### 建立钻孔图

（1）执行菜单命令 “Display”，点击“Color/Visibility”，进入“Color Dialog”窗口，点击“Global Visibility”中的“Off”，再点击提示框的“是（Y）”，使所有元素不显示，设定“Board Geometry”下“Outline”“Dimension”；设定“Stack-UP”，在“Pin”和“Via”下面选择“Top”和“Bottom”；设定“Drawing Format”，打开下面所有项。

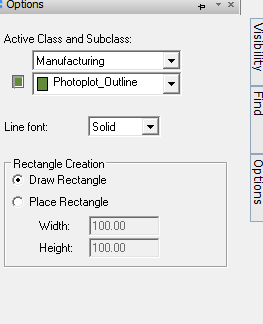
（2）单击“Apply”，关闭“Color Dialog”对话框。

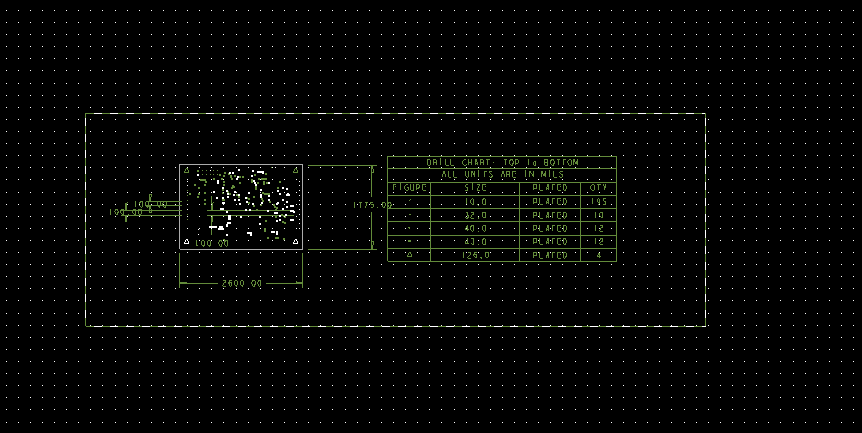
（3）执行菜单命令“Manufacture” →“NC” →“Drill Legend”对话框。

（4）保持所有默认设置，单击“OK”按钮，光绘上会有一矩形框，单击工作区间摆放好图例信息。



（5）执行菜单命令“Setup” →“Areas” →“Photoplot Outline”，控制面板的“Options”标签设置如下图，添加矩形框。



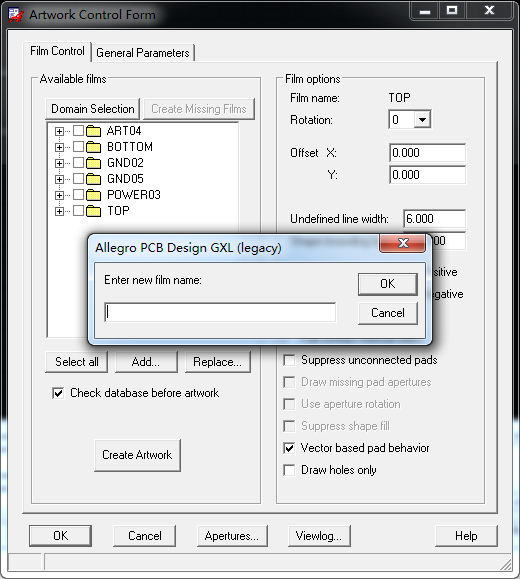


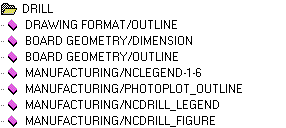
##### 建立DRILL底片文件

（1）执行菜单命令 “Display”，点击“Color/Visibility”，进入“Color Dialog”窗口，点击“Global Visibility”中的“Off”，再点击提示框的“是（Y）”，使所有元素不显示，设定“Manufacturing”下“Nclegend-1-6”、“Photoplot\_Outline”、“Ncdrill\_Legend”和“Ncdrill\_Figure”,单击“Apply”按钮，编辑窗口显示钻孔图例。

（2）执行菜单命令“Manufacture”→“Artwork”，弹出“Artwork Control Form”对话框，选择“Film Control”标签页。

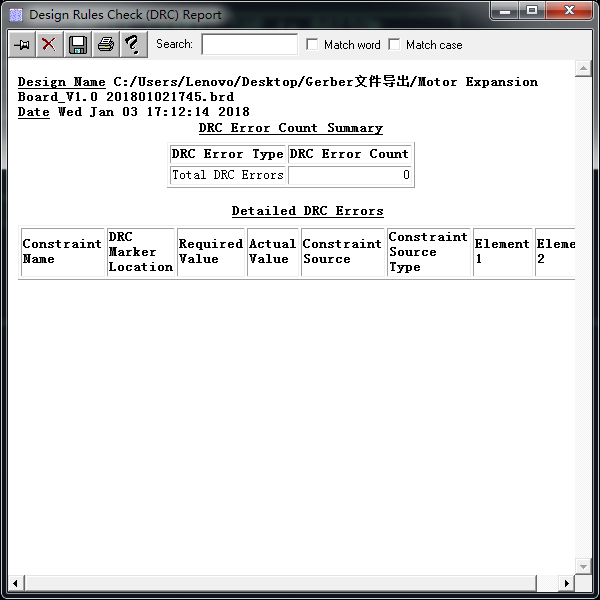
（3）右键点击底片“Outline”，在提示框中输入“DRILL”，点击“OK”。在“Subclass Selection”窗口中找到剩余 3个文件，添加进去，底片“DRILL”建立完毕。





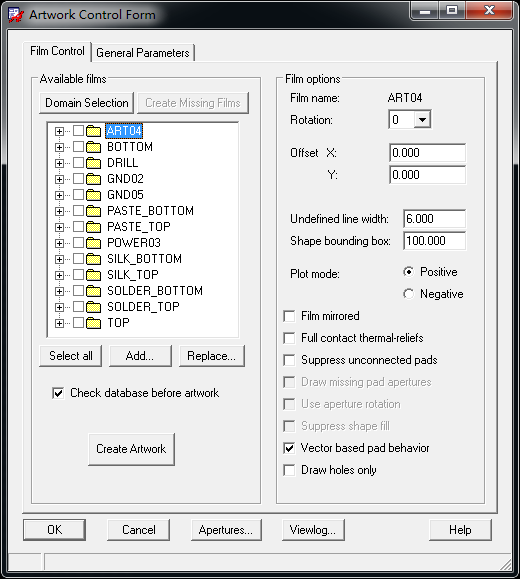
#### 运行DRC检查

（1）执行菜单命令“Tools” →“Quick Reports” →“Design Rules Check Report”，生成报告，如果有DRC 错误，在建立底片文件之前需要清除，更新后看到没有DRC错误，单机“OK”按钮，关闭“Status”对话框。

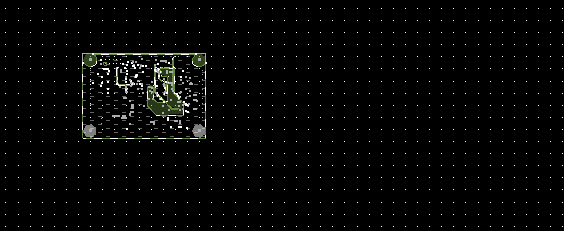


#### 底片文件检查

（1）执行菜单命令“Manufacture”→“Artwork”，弹出“Artwork Control Form”对话框，选择“Film Control”标签页。



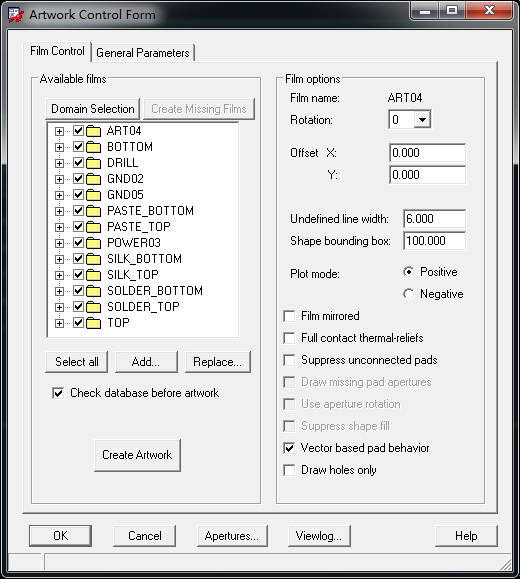
（2）右键点击“ART04”，选择“Display For Visibility ”，认真检查导出底片文件是否正确。



（3）其余各底片的检查方法操作方式相同。

#### 生成Gerber文件

（1）执行菜单“Manufacture” →“Select All” →“Create Artwork”，在对应工程目录下生成底片文件。



（2）关掉出现的提示框。

### 导出钻孔文件

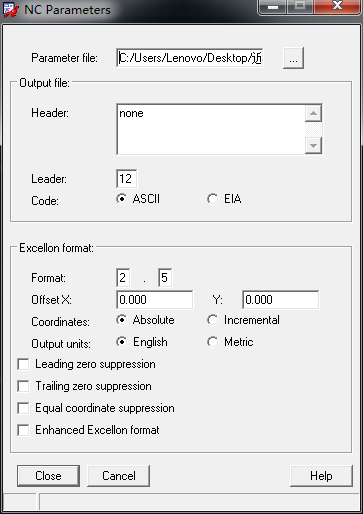
1.1 添加钻孔列表

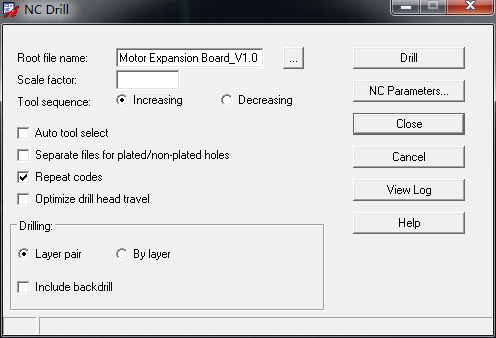
添加钻孔表的操作步骤：“Manufacture”-->“NC”-->“Drill Legend”-->“ok”，然后将列表放在PCB中空白位置。

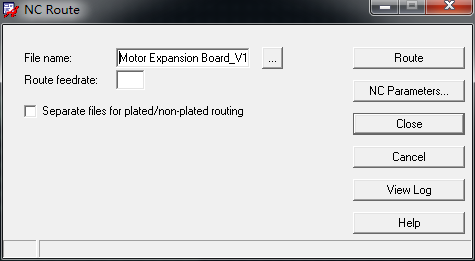
1.2 生成钻孔文件

如果是普通的圆孔，则添加钻孔文件就好，添加钻孔文件操作步骤：

“Manufacture”-->“NC”-->“Drill Parameters”-->注意选公/英制-->“close”-->“Manufacture”-->“NC”-->“NC Drill”-->“Drill”。





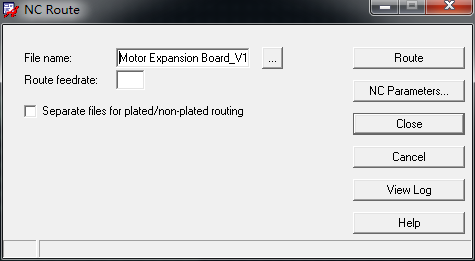


系统将自动生成一个.dri后缀文件，如果只有一种通孔，那么生成一个.dri后缀文件，如果有埋盲孔，则每一种埋盲孔都生成一个.dri后缀文件。

1.3 生成铣刀数据文件

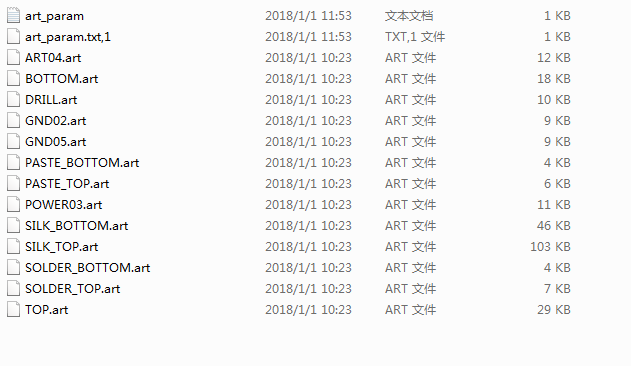
如果是非圆形孔（异形孔），那么需要添加铣刀数据文件，步骤如下：

Manufacture-->NC-->NC Route一般默认参数即可，注意单位-->Route



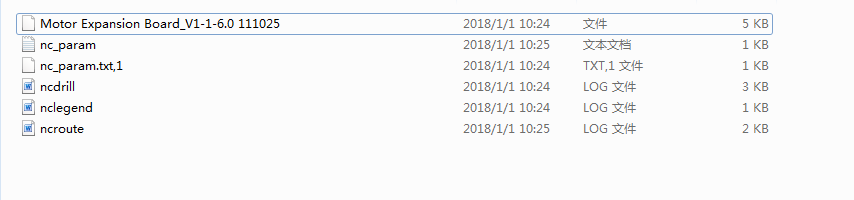
### PCB加工准备文件（六层板）

#### 光绘文件



注意：底片“OUTLINE”可以不导出，仅在过程中使用。

#### 钻孔文件



### 检查Gerber文件

安装CAM350软件，检查导出的Gerber文件是否正确

# 元器件封装制作（手动）

## 打开PCB Edit，有多个PCB设计产品

● Allegro PCB Design GXL (legacy) 提供差异化的PCB设计产品，可应对诸如高级封装协同设计及千兆赫兹级信号完整性（SI）分析的前沿设计挑战

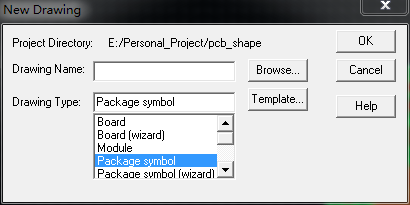
● Allegro PCB Design XL (legacy) 通过集成的约束驱动自动控制和基于分布式的团队设计生产能力，提供应对更复杂和高端的设计挑战的高级PCB设计产品

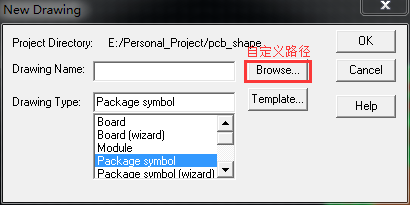
● Allegro PCB Design L (legacy) 为PCB设计提供瞄向解决主流设计问题的产品

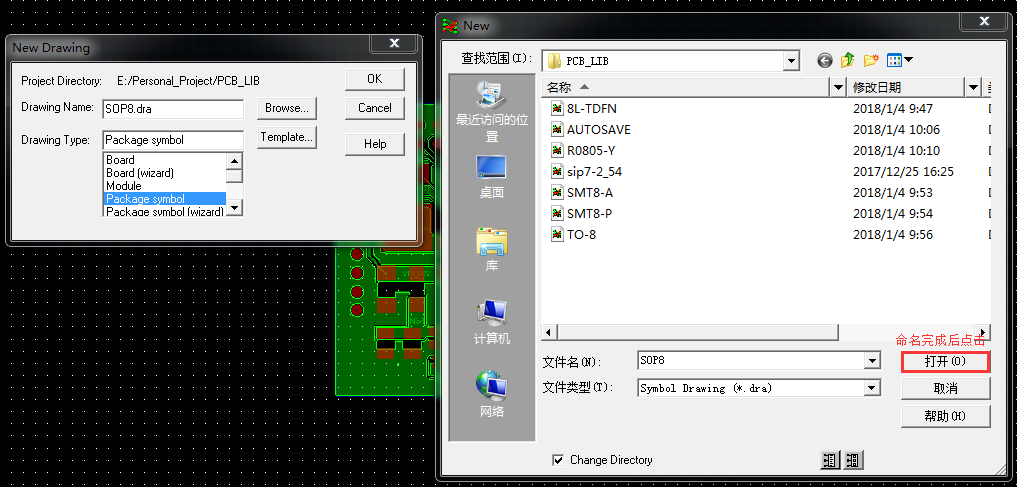
● 所包含的功能数量：GXL>XL>L。如：GXL和XL有射频电路板设计的功能模块，而L没有。

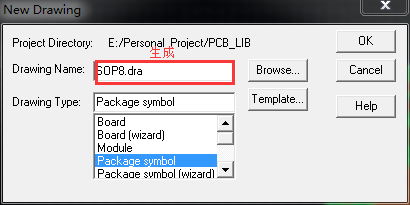
## 手动制作元器件封装前的准备

1. 在这里选择了功能最齐全的GXL进去设计元件封装
2. 新建文件，弹出New Drawing；Drawing Type选择Package symbol；保存文件路径自定义，但是路径不能有中文；文件名自定义，它的后缀名为dra。设定完成后点击OK。



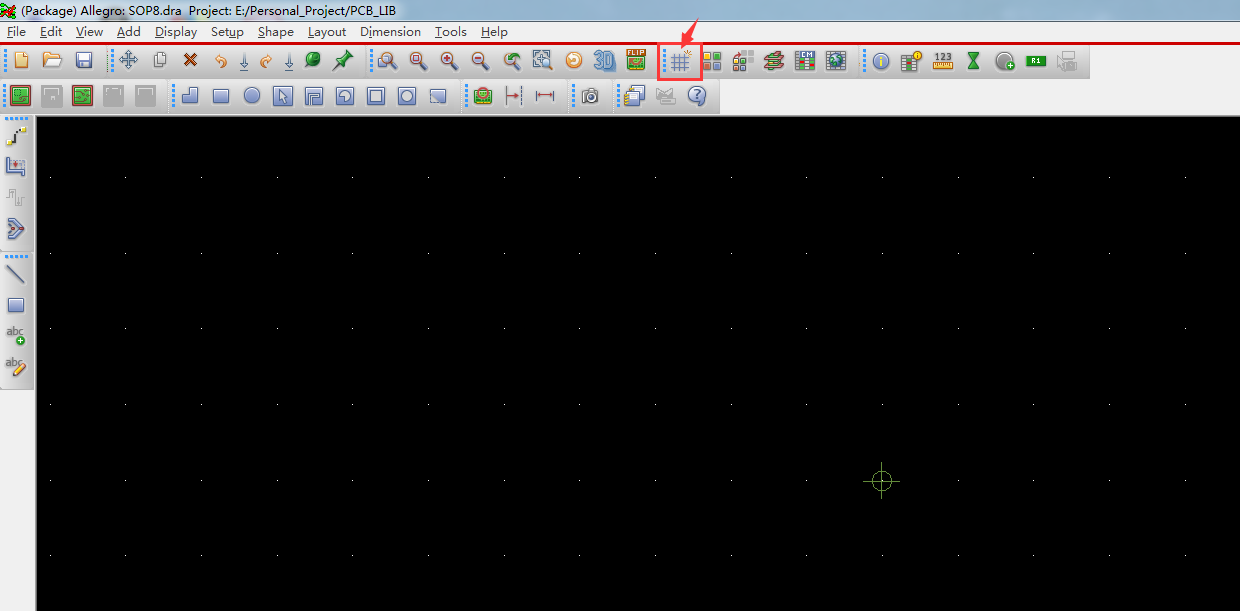






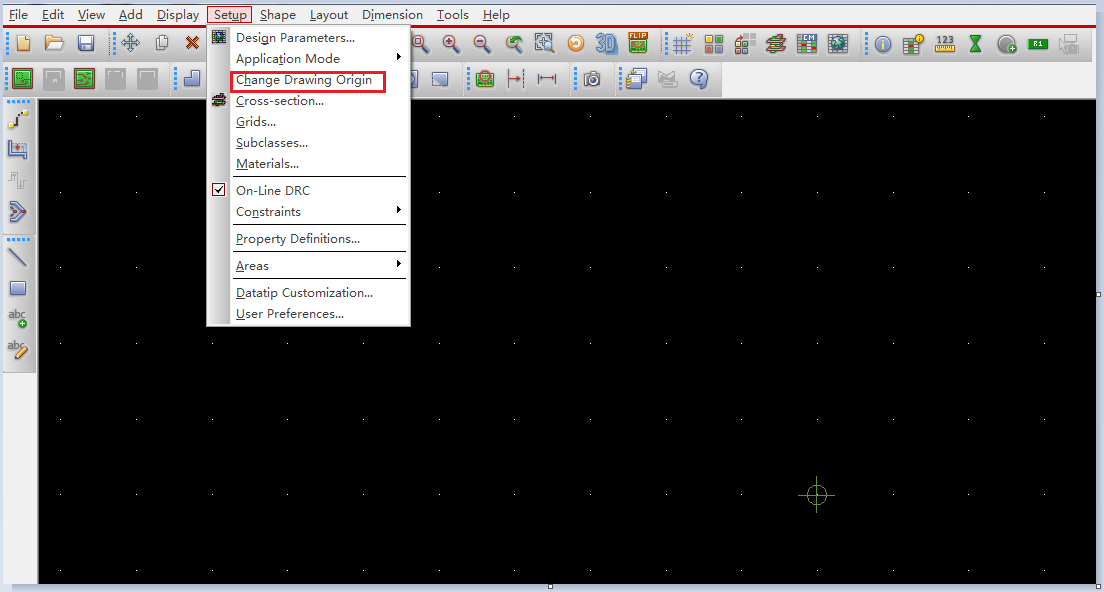
1. 新建一个空白文件，里面的黑暗区域有一个默认的参考原点，没有栅格

4、选择打开栅格与否

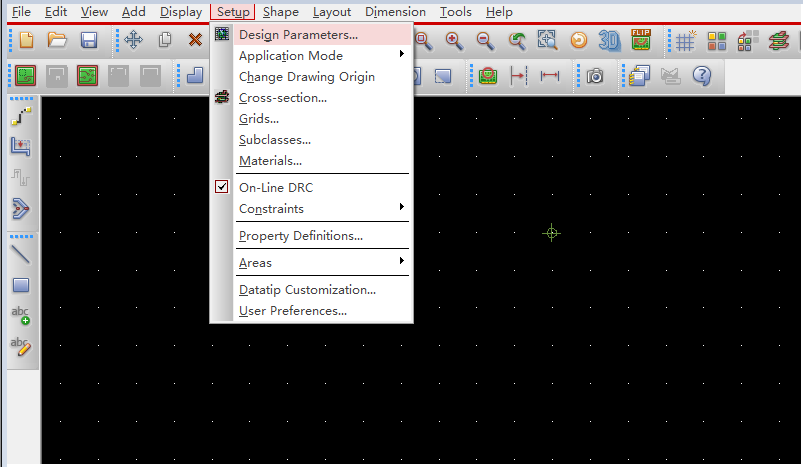


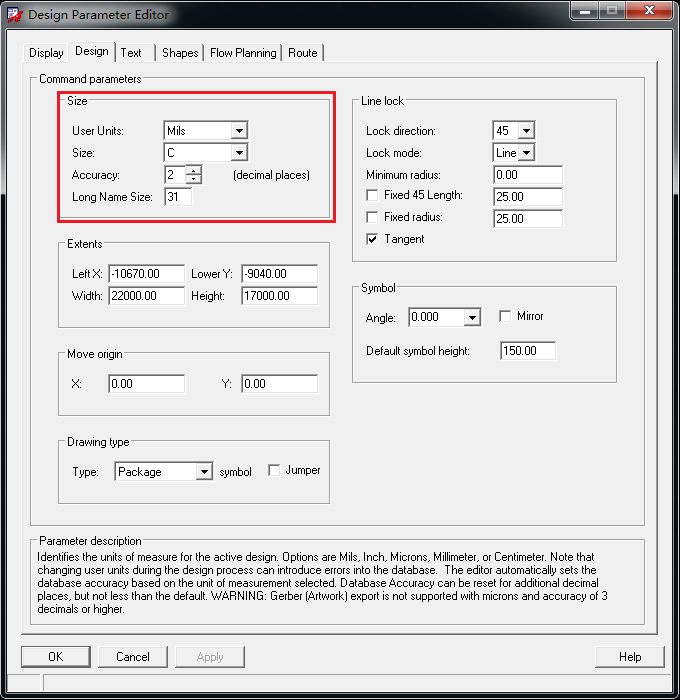
1. 设计前，也可在设计途中，根据实际，可以更改设计封装的参数变量，比如单位，精度，栅格大小，文字txt的粗细大小。

（1）重新选定原点：菜单栏，Setup→Change Drawing Origin,之后在有效区域内（有栅格的地方）选定原点，左键点击完成操作。

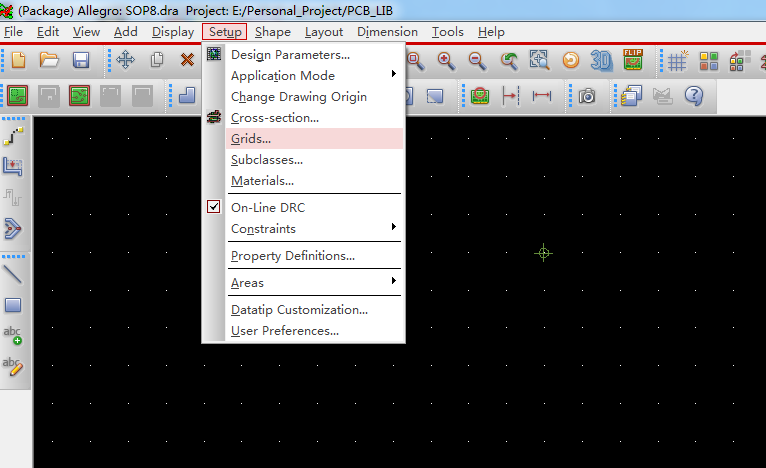


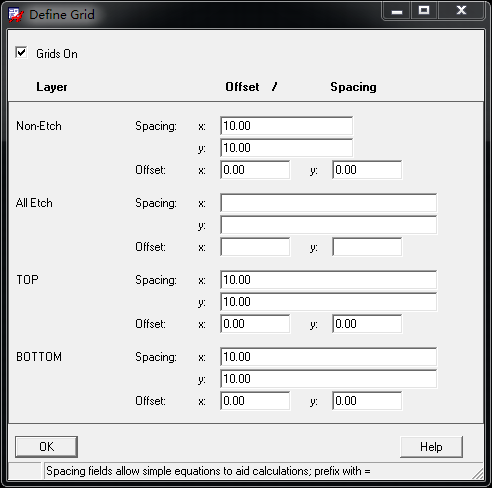
（2）单位、文本参数：菜单栏，Setup→Design Parameters→Design Parameter Editor窗口→Design(包含单位选择、区域大小设置、精度) 。Text参数设置参照5.1.丝印操作。





（3）设置栅格大小，Setup→Grids→Define Grid窗口





1. Commal指令窗口定位。选择对象，然后在窗口输入坐标或则相对距离，Enter即可。

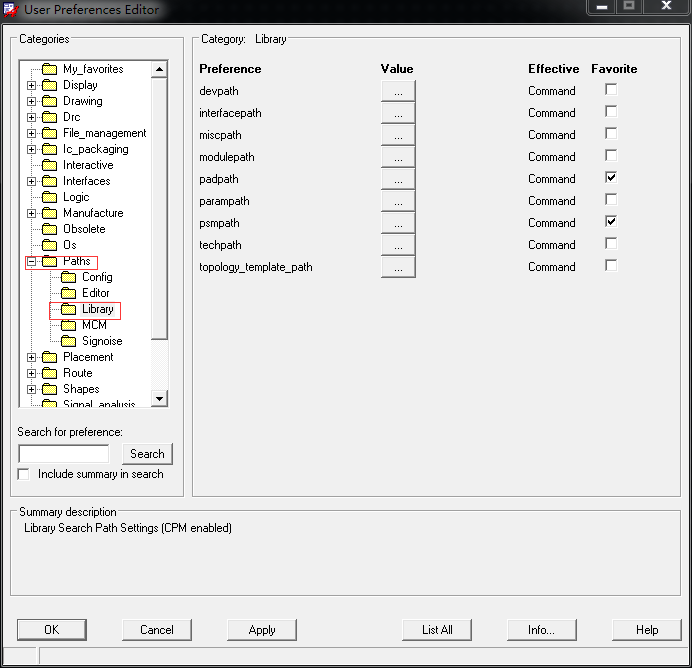
|  |  |
| --- | --- |
|  | |
|  |  |

## 选定焊盘来源

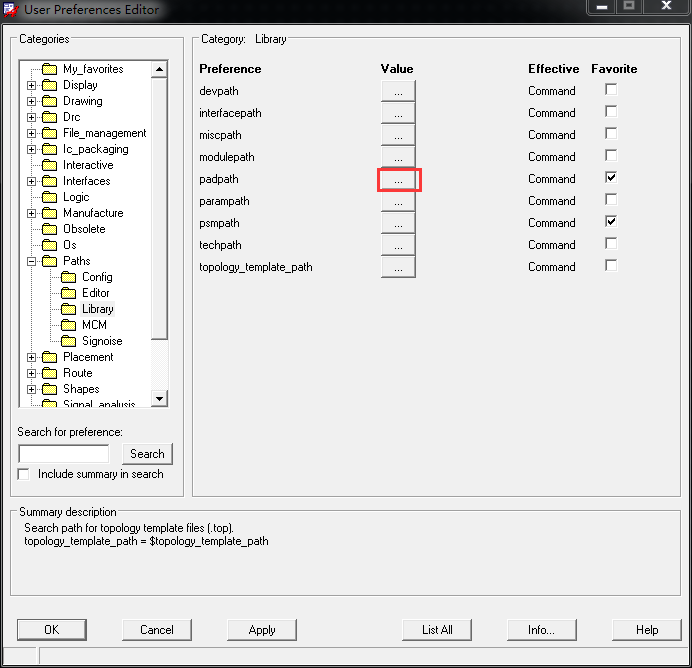
（1）元器件的中心以选定的原点为中心

（2）放置焊盘前要选定焊盘库文件来源：菜单栏，Setup→User Preferences→User Preferences Editor窗口。

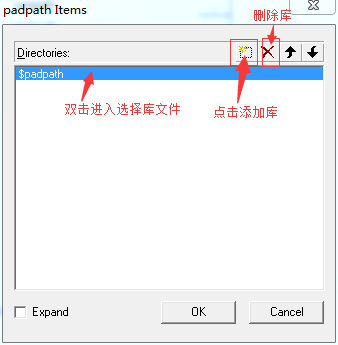
* 左边的Categories分类框里选择Paths，点击“+”打开，选择Library点击。

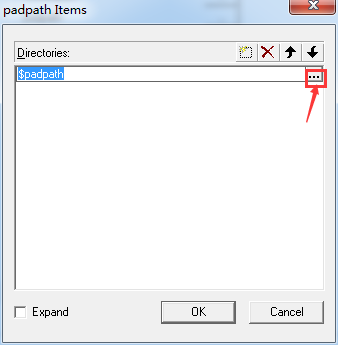


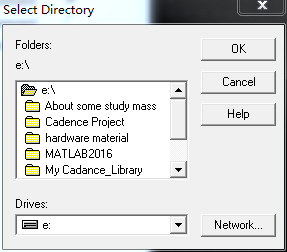
* 右边的分类库Category:Library点击padpath的Value。



* 库的添加和删除

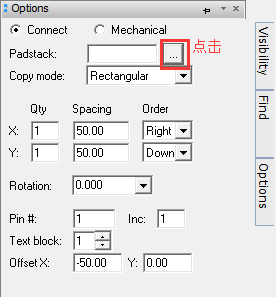




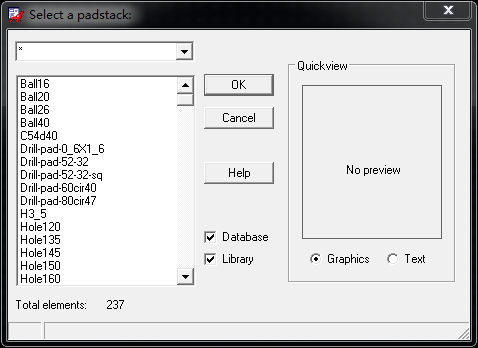


## 放置焊盘

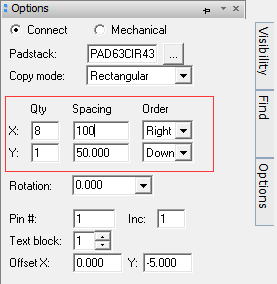
* 添加焊盘：菜单栏，Layout→Pins,右边侧栏的options点开。

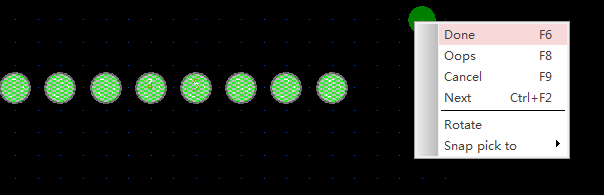


* 在这里选择需要的焊盘：

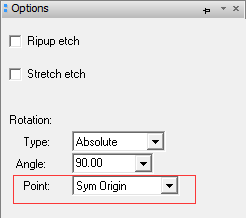


* 在options里面的Pin选项里可以修改起始的引脚号；ffset选项可以定位引脚text相对焊盘的位置；Text block调整大小；若要一次性放出一排焊盘，可在Qty、Spacing、Order设定数量、间距、排列方向，之后一次性放出来。





* 也可先把所需要的焊盘都拉出来，在以原点为基点，用命令窗口定位放置。菜单栏，Edit→Move→右侧栏options→point选取捕捉中心→点击所需要移动的焊盘→命令窗口输入对应的坐标。



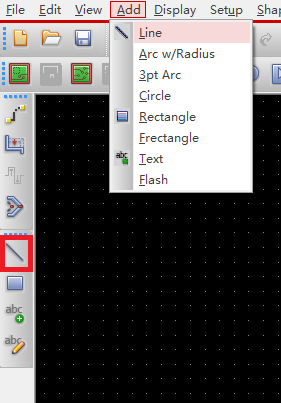
## 封装图层

* 根据元器件的实际电气特性画封装
* 常用的层有丝印层、器件装配层、外框层Place\_Bound；以及常用的CLASS有Etch、Package Geometry、Ref Des、Component Value、Device Type、Route Keepout、Via Keepout。
* 三个层又细分top和bottom，一般都是在top上操作
* place\_bound\_top：是元器件封装实际大小，用来防止两个元器件叠加在一起不报错。外框尺寸需要包括焊盘在内
* assemly top：是装配层，就是元器件的实际大小，用来产生元器件的装配图。也可以使用此层进行布局；外框尺寸应该为元件除焊盘外的部分（body size）
* silkscreen top:是字符层，一般称顶层字符或元件面字符，为各元器件的外框及名称标识等，都用此层进行布局，个人认为最好与place\_bound\_top相同，且带有1脚标识

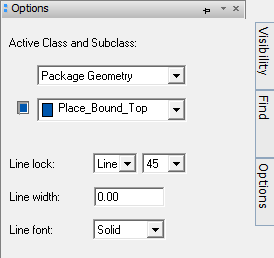
### 放置Place\_Bound\_Top图框

● 方法一：直接用画线绘出来

1、点击快捷工具栏的Add line或者菜单栏的Add→line

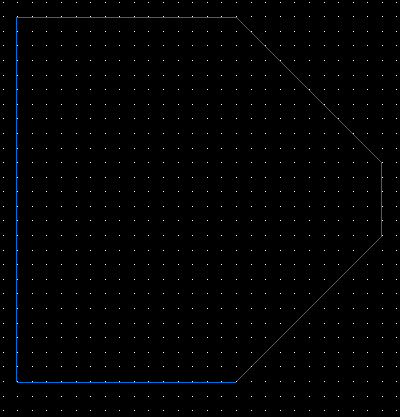


2、右侧栏的options打开Active Class选择Package Geometry，Subclass选择Place\_Bound\_Top,下方的线条设置根据需要进行线宽和角度的设置。

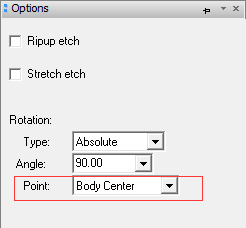


3、工作区域点击一下，后在下方的命令窗口输入坐标指令。可直接输入点的坐标，也可输入相对距离。坐标放置参考“6.3放置焊盘”

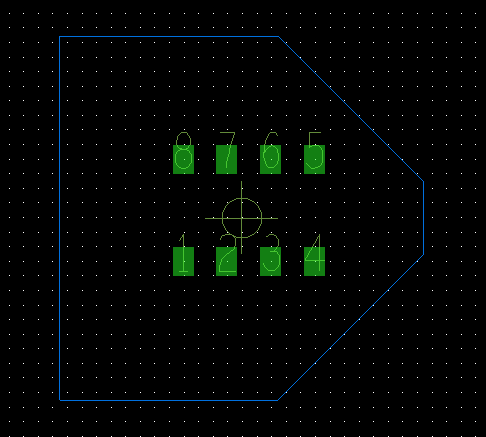
4、画完封闭的图框后，右键Done。



5、菜单栏Edit→Move→options，抓取图形中心

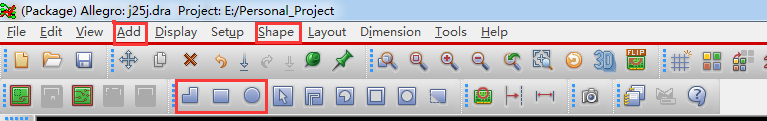


6、命令窗口直接输入原点x 0 0

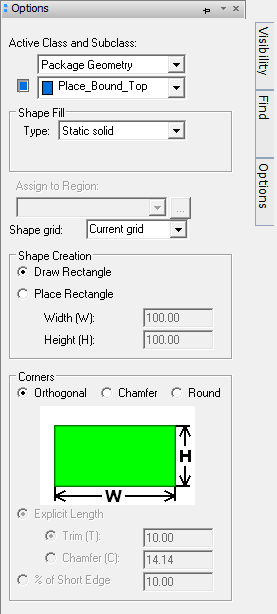


* 方法二：用多形状画图工具

1、点击工具栏或则菜单栏Shape



2、右侧栏options设置形状特性



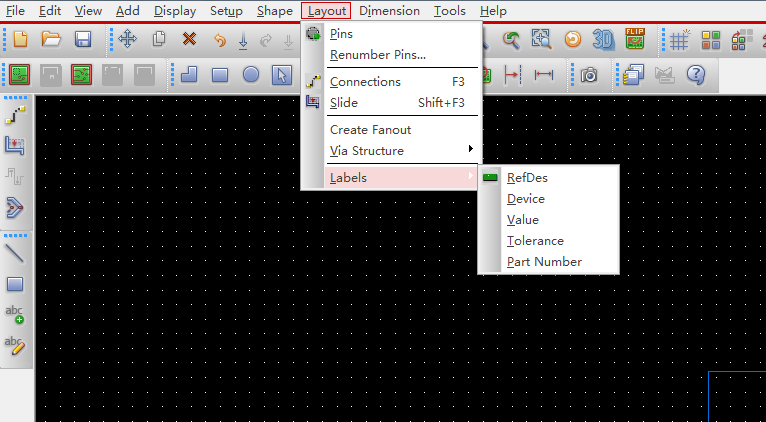
3、设置完成后，在命令窗口定位放置

### 放置装配层和丝印层图框

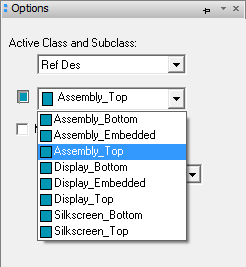
* 放置的方法参照Place\_Bound\_Top，只需要改变Subclass即可

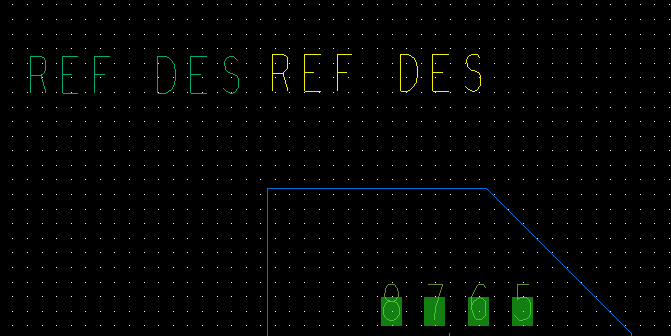
### 放置元器件位号

1、菜单栏Layout→Labels→RefDes



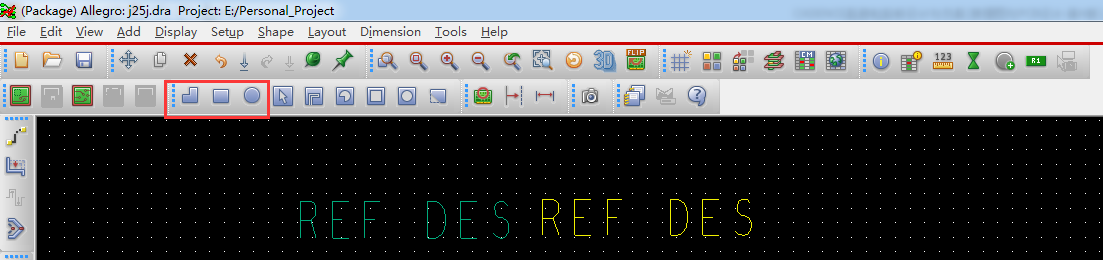
2、右侧栏options，Assembery\_Top和Silkscreen\_Top都要放位号标志



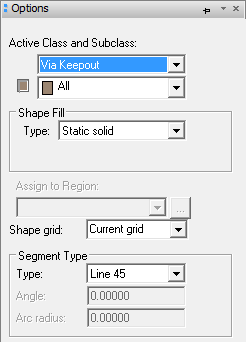


### 禁止布线和禁止放置过孔

* 有些元件要求周围禁止放置过孔或则布线。
* 工具栏，选择合适的图框



● options→Active Class找到Via Keepout或则Route Keepout，之后在合适的地方放置



### 元器件类型、元器件的值放置

* 元器件类型Add→Text→options→Active Class and Subclass

Active Class 选择Device Type；Subclass选择Assembly\_Top或则Silkscreen\_Top

里面的装配顶层和丝印顶层都添加上去（如果有需要的话）

* 元器件值放置，方法同上



### 丝印层标注

* 若需要放置额外的引脚号或者标注，点击工具栏的文字添加或则菜单栏Add→Text→options选择Package Geometry→Silkscreen\_Top

### 完成后检查元件封装的尺寸

* 工具栏Show Measure
* 选择测量图框



* 查看数据是否符合数据手册上的数据

