**实验报告**

计算机 学院 计算机科学与技术 专业2020级3班 .

学号 3120005043 姓名 张俊鸿

实验题目 基于Libero Soc的数字逻辑综合设计实验

一、实验目的

1、进一步熟悉利用EDA工具进行设计及仿真的流程。

2、熟悉利用EDA工具中的图形化设计界面进行综合设计。

3、熟悉芯片烧录的流程及步骤。

4、掌握分析问题、解决问题的综合能力，通过EDA工具设计出能解决实际问题的电路。

二、实验环境

1、Libero仿真软件。

2、数字逻辑与系统设计实验箱。

3、Actel A3P060 FPGA芯片及Flash Pro5烧录器。

三、实验内容

以下综合实验使用SmartDesign或HDL代码实现，其中设计模块名及测试平台模块名的命名规则如下：

设计模块名举例：**zxt\_CE0**（表示张小童综合题0）

测试平台模块名举例：**test\_ zxt\_CE0**（表示**zxt\_CE0**的测试平台模块）

**0、使用SmartDesign设计N进制计数器。要求如下：**

使用已设计的74HC161模块，及IP核中Macro Library库中的门电路，使用清零法设计N进制计数器。学号尾数与N值的关系如下：

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 学号尾数 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
| N | 十 | 十一 | 十三 | 十四 | 四 | 五 | 六 | 七 | 八 | 九 |

要求布线时，将除Clk以外的输入、输出端口布线置小实验箱中的开关及Led灯上。

设计完成后填写以下内容：

（1）编写测试平台代码

module test\_zjh\_CE0;

reg MR,Clk;

wire Q0,Q1,Q2,Q3;

wire C;

zjh\_CE0 u0(.MR(MR),.Clk(Clk),.Q0(Q0),.Q1(Q1),.Q2(Q2),.Q3(Q3),.C(C));

initial

begin

Clk=0;

repeat (100)

#5 Clk=~Clk;

end

initial

begin

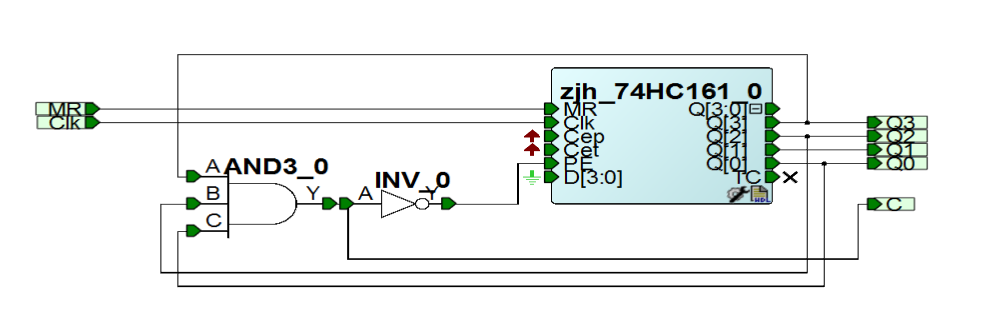
MR=0;

#22 MR=1;

end

endmodule

（2）将SmartDesign画布中的设计截图。



（3）SmartDesign保存后生成的代码

`timescale 1ns / 100ps

module zjh\_CE0(

// Inputs

Clk,

MR,

// Outputs

C,

Q0,

Q1,

Q2,

Q3

);

input Clk;

input MR;

output C;

output Q0;

output Q1;

output Q2;

output Q3;

wire C\_net\_0;

wire Clk;

wire INV\_0\_Y;

wire MR;

wire [0:0] Q0\_net\_0;

wire [1:1] Q1\_net\_0;

wire [2:2] Q2\_net\_0;

wire [3:3] Q3\_net\_0;

wire Q2\_net\_1;

wire Q0\_net\_1;

wire Q3\_net\_1;

wire Q1\_net\_1;

wire C\_net\_1;

wire [3:0] Q\_net\_0;

wire VCC\_net;

wire [3:0] D\_const\_net\_0;

assign VCC\_net = 1'b1;

assign D\_const\_net\_0 = 4'h0;

assign Q2\_net\_1 = Q2\_net\_0[2];

assign Q2 = Q2\_net\_1;

assign Q0\_net\_1 = Q0\_net\_0[0];

assign Q0 = Q0\_net\_1;

assign Q3\_net\_1 = Q3\_net\_0[3];

assign Q3 = Q3\_net\_1;

assign Q1\_net\_1 = Q1\_net\_0[1];

assign Q1 = Q1\_net\_1;

assign C\_net\_1 = C\_net\_0;

assign C = C\_net\_1;

assign Q0\_net\_0[0] = Q\_net\_0[0:0];

assign Q1\_net\_0[1] = Q\_net\_0[1:1];

assign Q2\_net\_0[2] = Q\_net\_0[2:2];

assign Q3\_net\_0[3] = Q\_net\_0[3:3];

AND3 AND3\_0(

// Inputs

.A ( Q3\_net\_0 ),

.B ( Q2\_net\_0 ),

.C ( Q0\_net\_0 ),

// Outputs

.Y ( C\_net\_0 )

);

INV INV\_0(

// Inputs

.A ( C\_net\_0 ),

// Outputs

.Y ( INV\_0\_Y )

);

zjh\_74HC161 zjh\_74HC161\_0(

// Inputs

.MR ( MR ),

.Clk ( Clk ),

.Cep ( VCC\_net ),

.Cet ( VCC\_net ),

.PE ( INV\_0\_Y ),

.D ( D\_const\_net\_0 ),

// Outputs

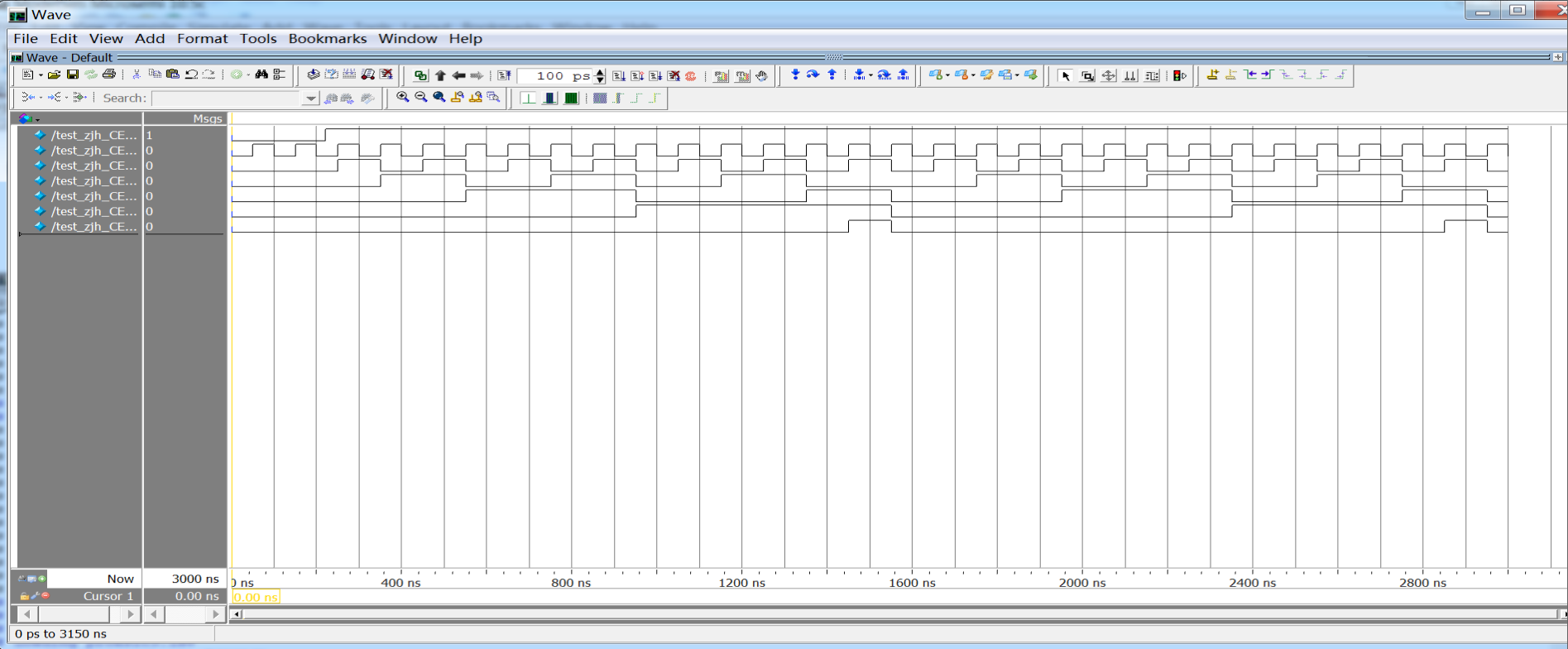
.Q ( Q\_net\_0 ),

.TC ( )

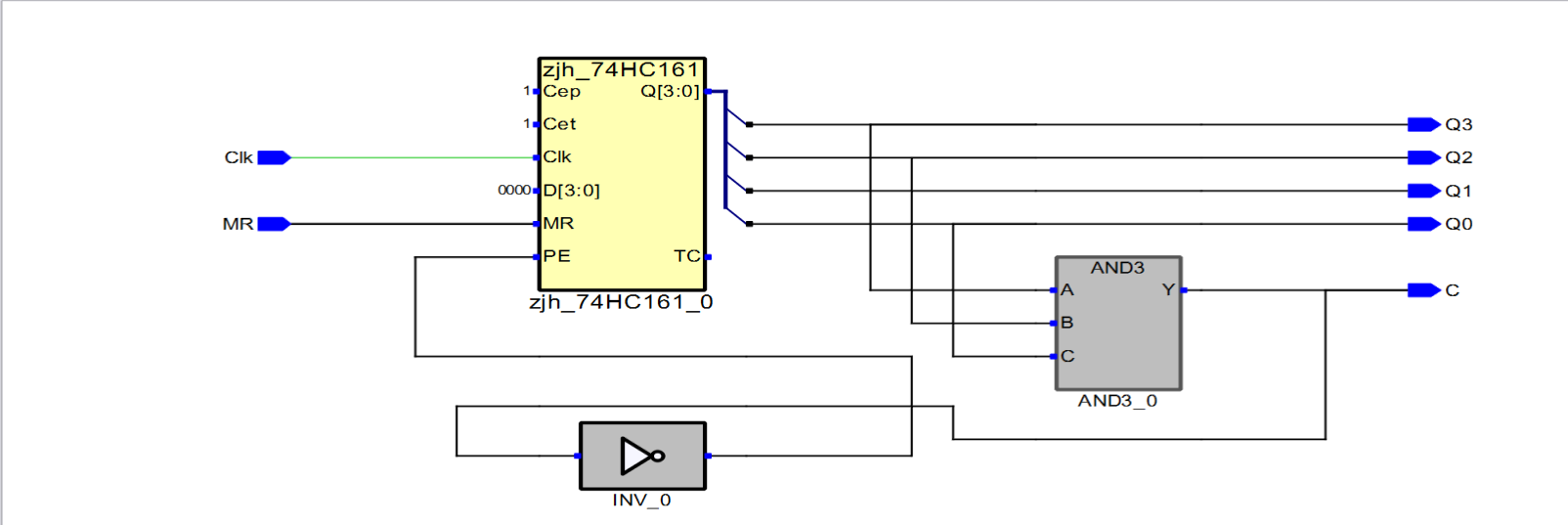
);

endmodule

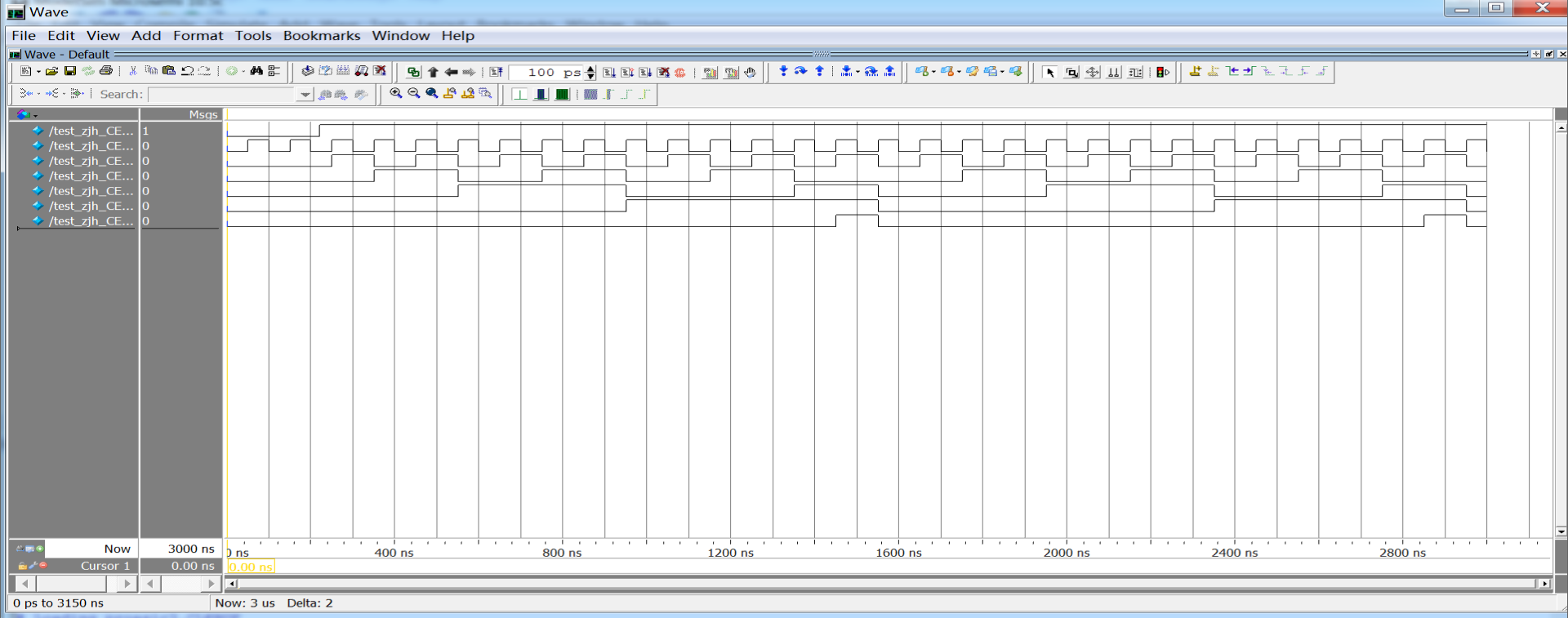
（4）综合前仿真截图



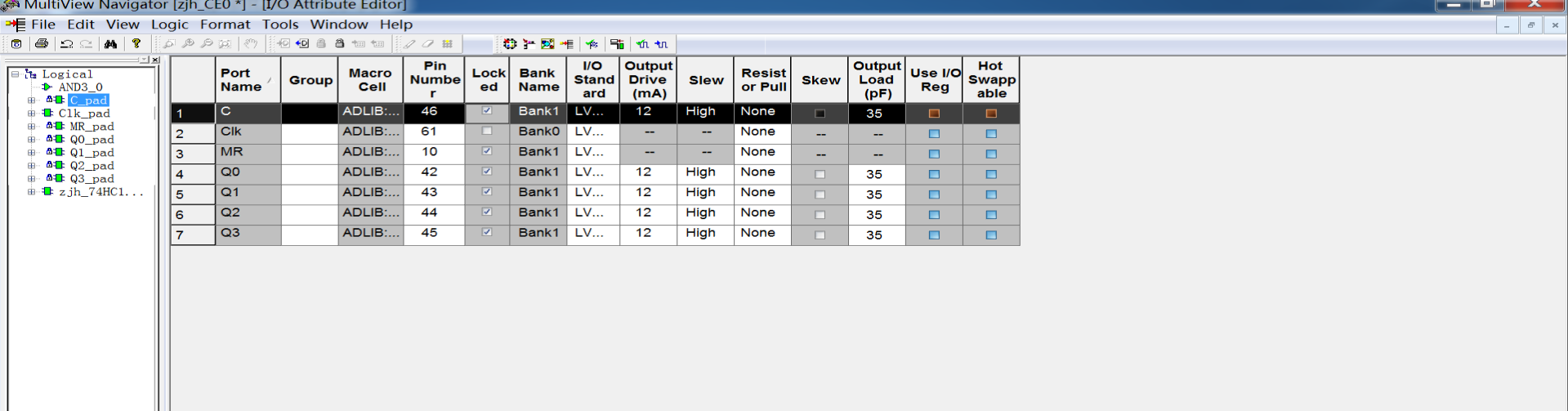
（5）综合截图



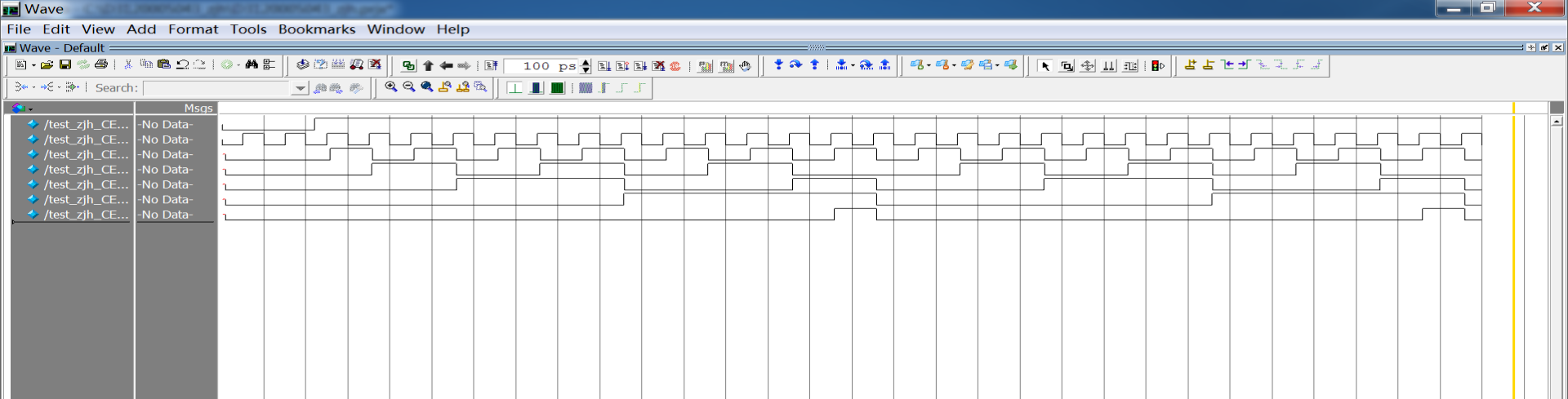
（6）综合后仿真截图



（7）布局布线引脚分配截图



（8）布局布线后仿真截图



**1、SmartDesign设计：使用SmartDesign工具进行设计，要求如下：**

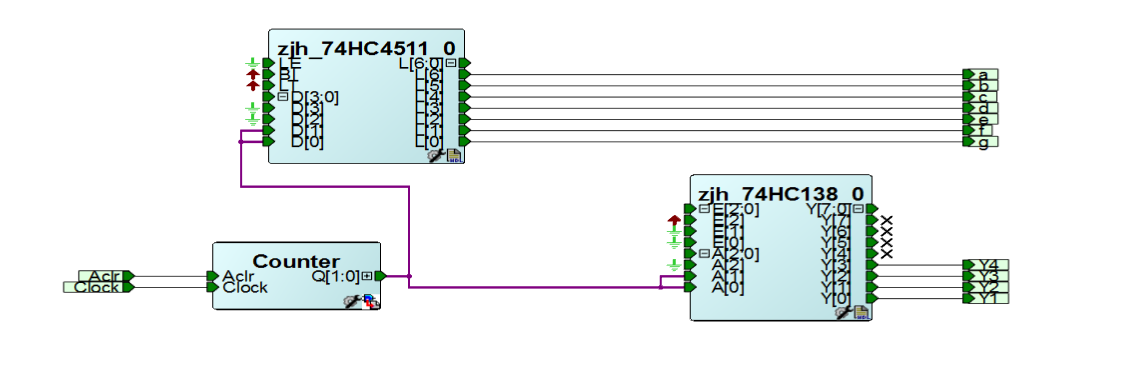
使用已设计的74HC138、74HC4511模块，及IP核中Basic Blocks库中的计数器模块（counter），在SmartDesign画布中设计下图框中的模块。



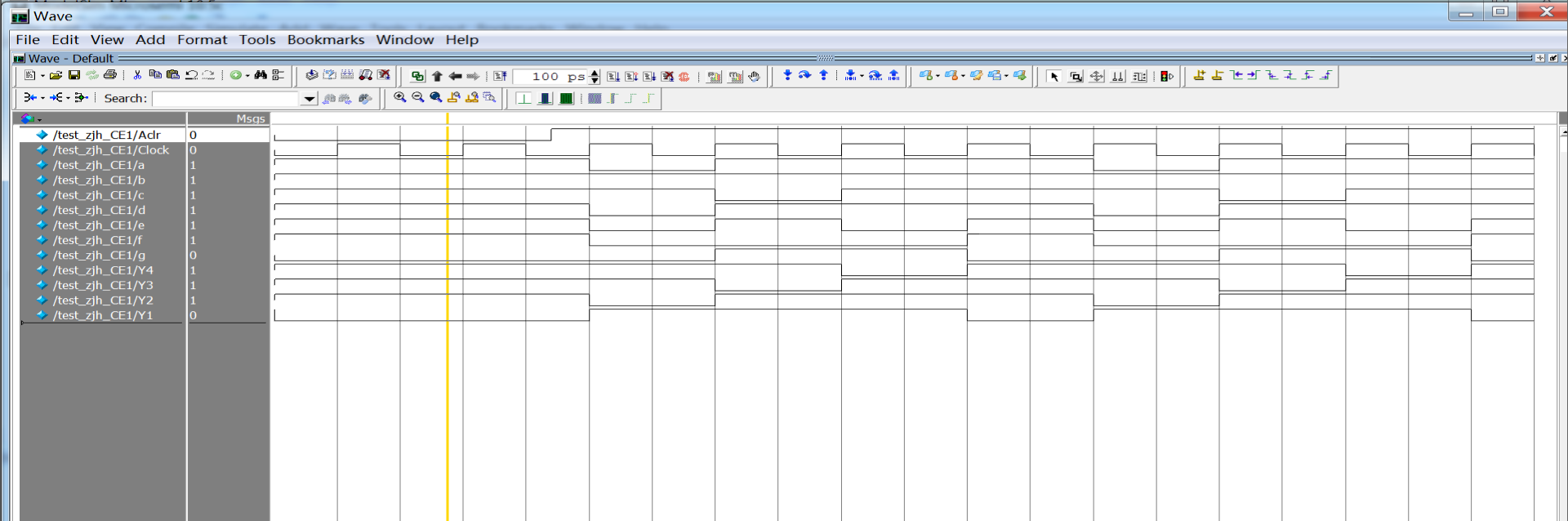
设计完成后填写以下内容：

（1）编写测试平台代码

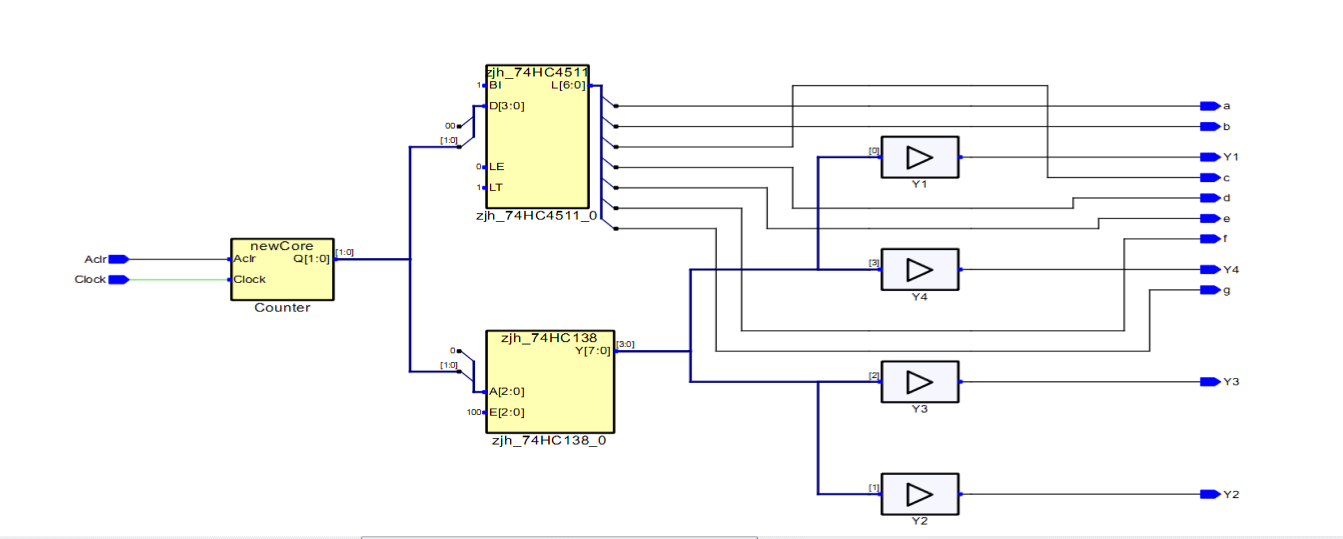
（2）将SmartDesign画布中的设计截图。



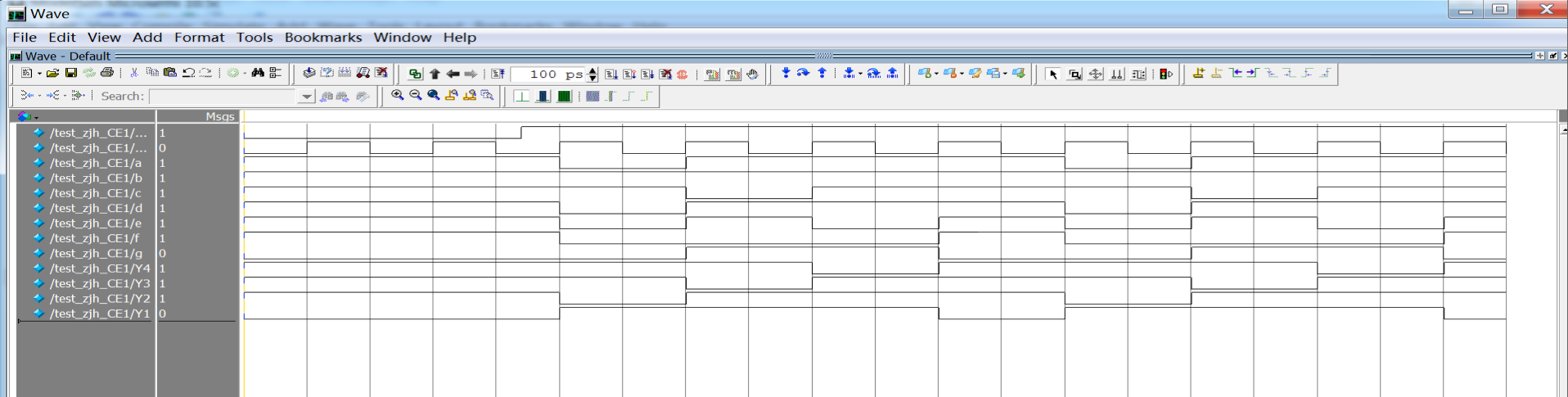
（3）综合前仿真截图



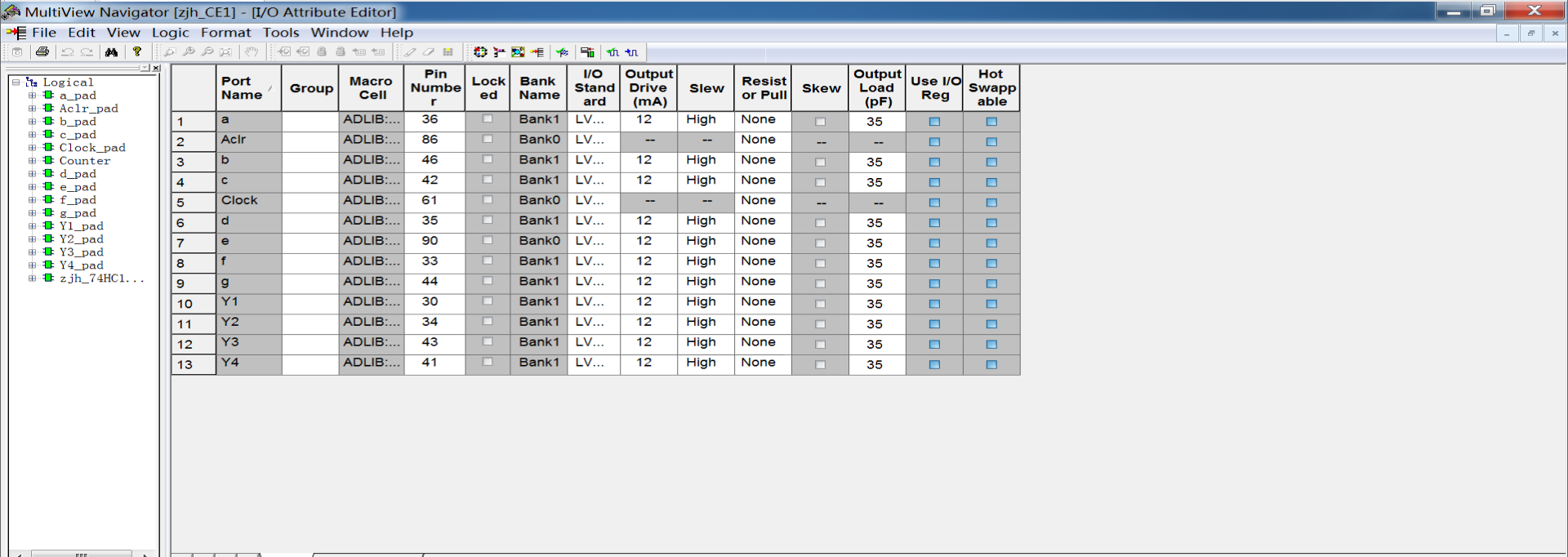
（4）综合截图



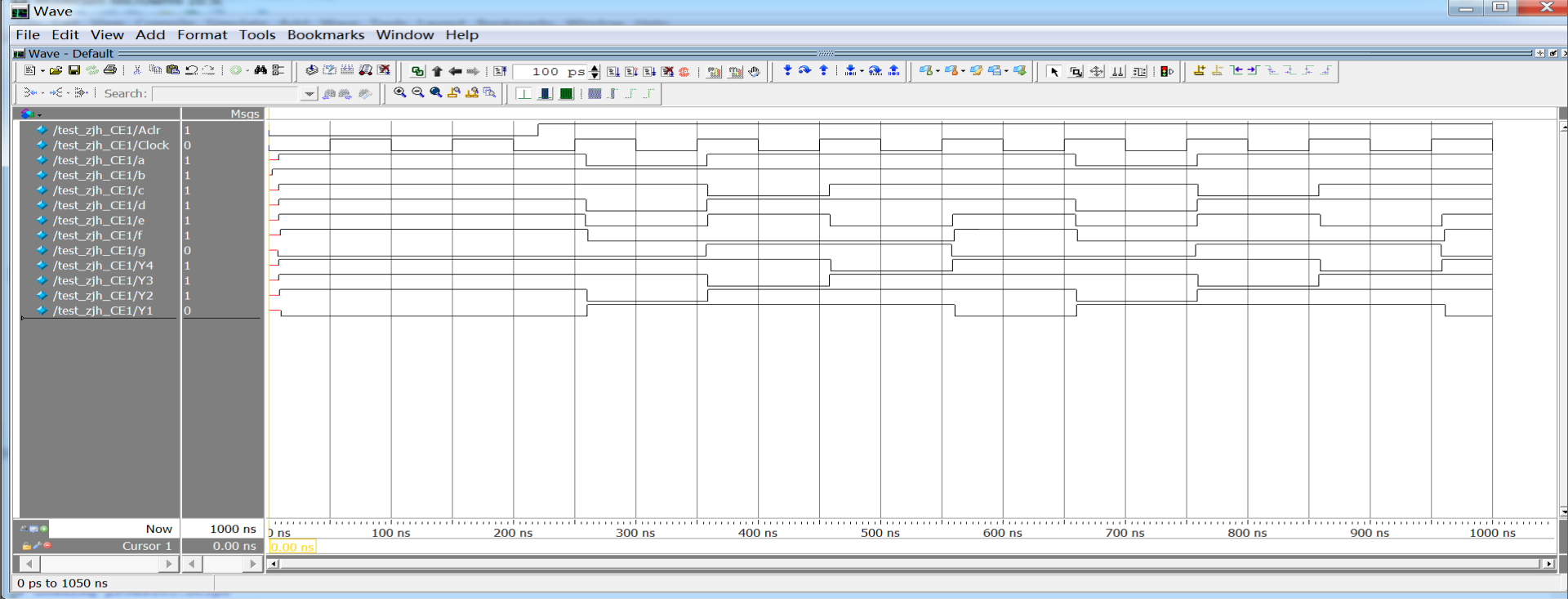
（5）综合后仿真截图



（6）布局布线引脚分配截图



（7）布局布线后仿真截图



**2、SmartDesign设计（选做）：使用SmartDesign工具进行设计，要求如下：**

使用已设计的74HC161、74HC85、74HC4511模块，及IP核中Macro library库中的反相器模块（INV），在SmartDesign画布中设计下图左框中的模块。



设计完成后填写以下内容：

（1）编写测试平台代码

module test\_zjh\_CE2;

reg Clk,MR;

reg A0,A1,A2,A3,B0,B1,B2,B3;

wire a,b,c,d,e,f,g;

zjh\_CE2 u2(.MR(MR),.Clk(Clk),.A0(A0),.A1(A1),.A2(A2),.A3(A3),.B0(B0),.B1(B1),.B2(B2),.B3(B3),.a(a),.b(b),.c(c),.d(d),.e(e),.f(f),.g(g));

initial

begin

Clk=1;

repeat (100)

#5 Clk=~Clk;

end

initial

begin

MR=0;

# 22 MR=1;

#200 ;$finish;

end

initial

begin

A0=0;

A1=1;

A2=0;

A3=0;

B0=1;

B1=0;

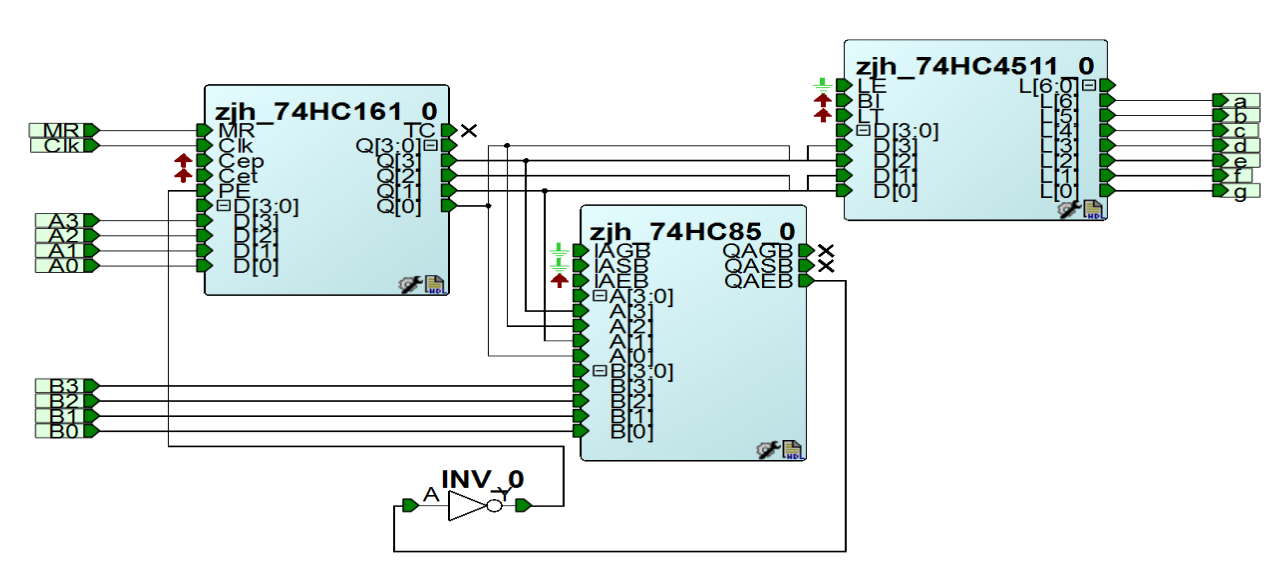
B2=1;

B3=1;

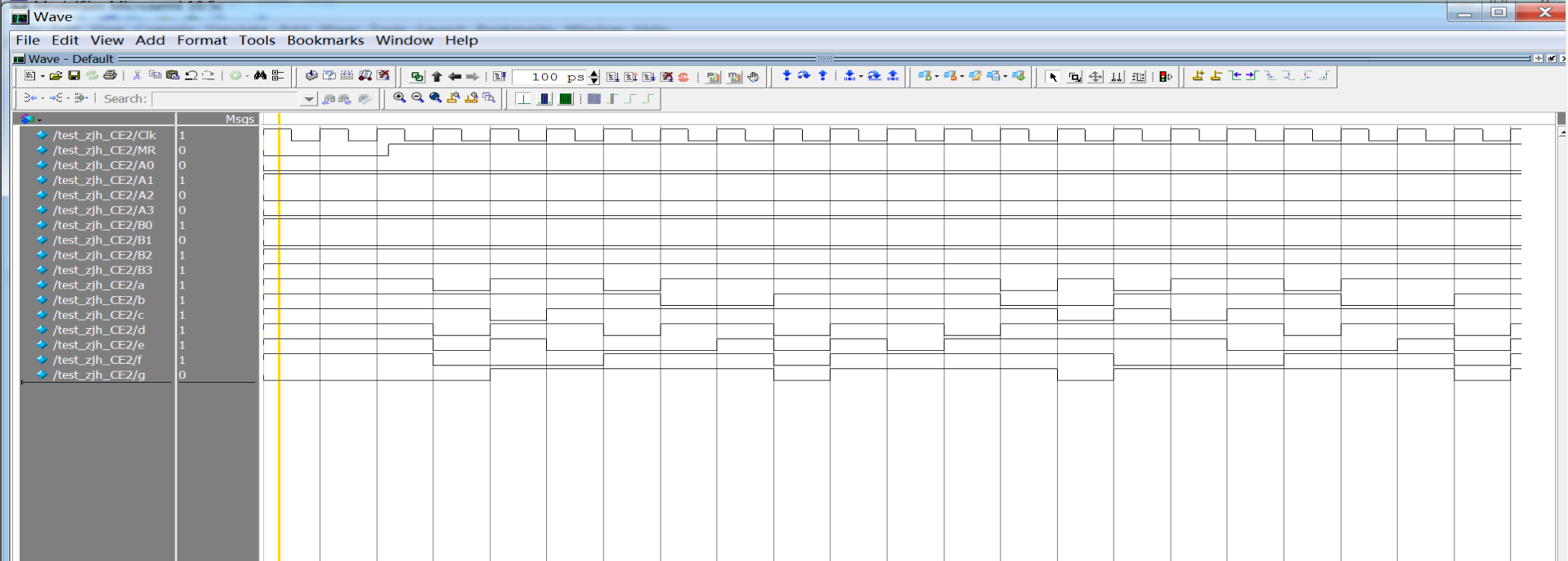
end

endmodule

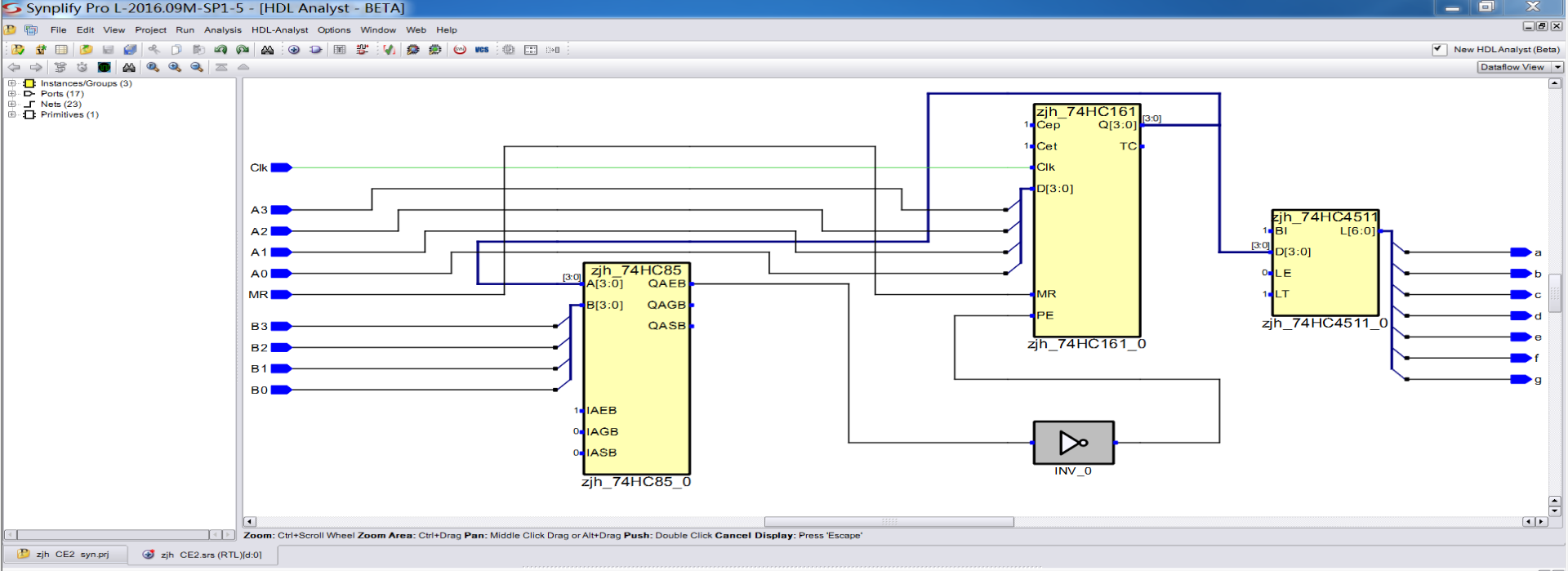
（2）将SmartDesign画布中的设计截图。



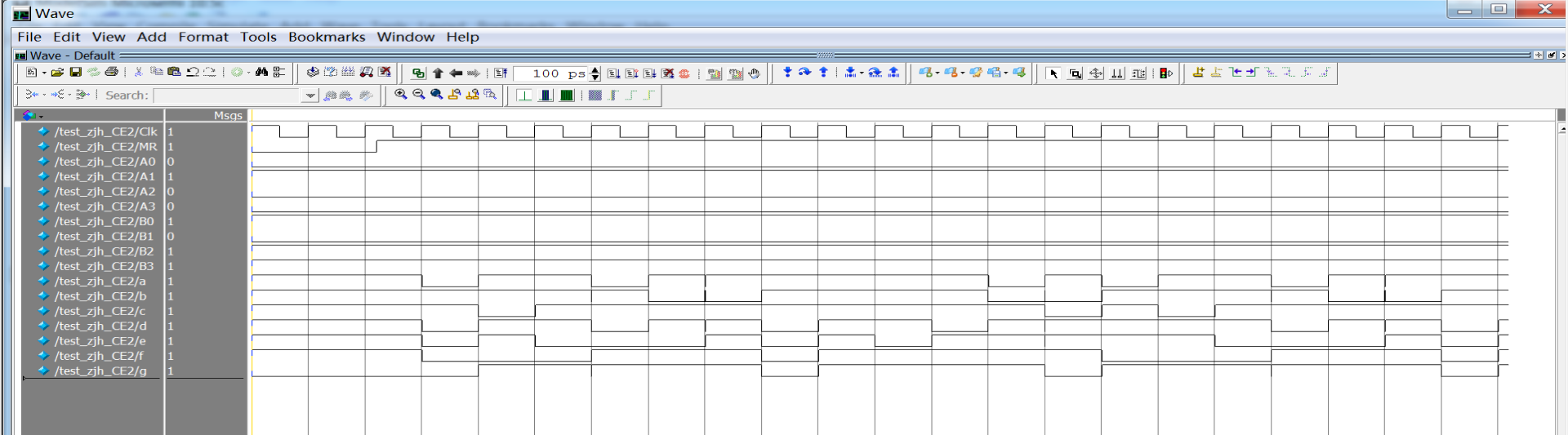
（3）综合前仿真截图



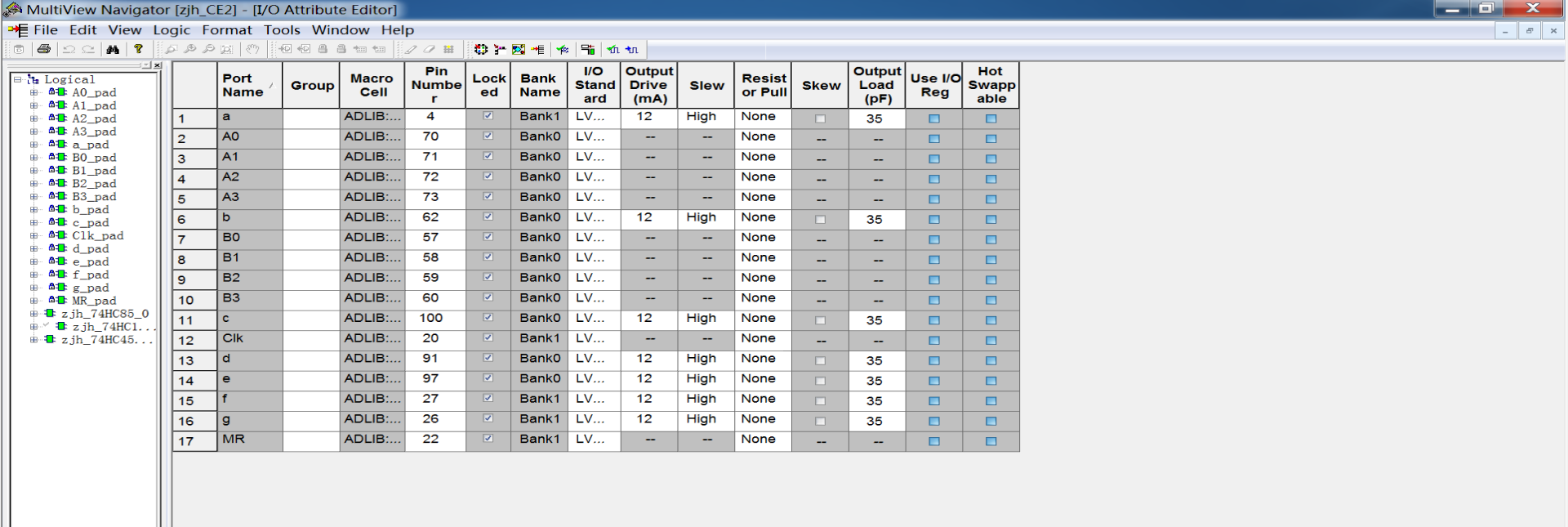
（4）综合截图



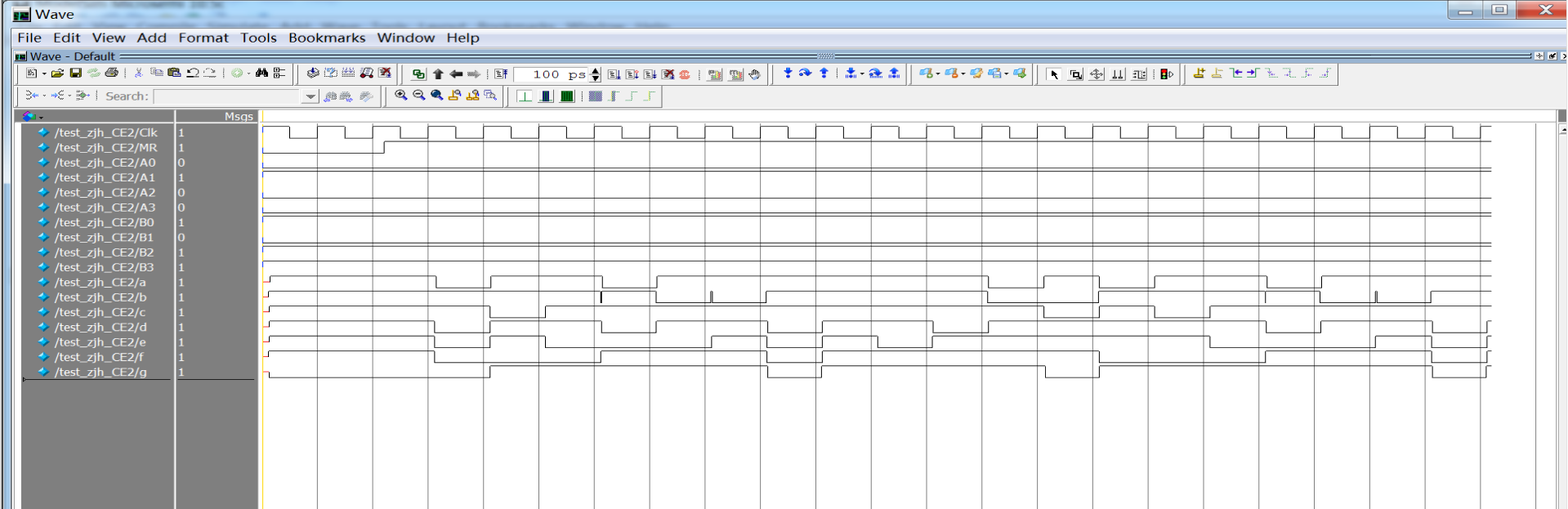
（5）综合后仿真截图



（6）布局布线引脚分配截图



（7）布局布线后仿真截图



**3、学号显示器（选做）**

在以上第1题设计的基础上，增加一个4\*4的寄存器（4组，每组4位），寄存器有2位地址输入端，4位数据输出端。4\*4寄存器的存储内容可以直接写入学号末四位，寄存器的输出值由2位地址输入信号决定。

将寄存器组加入到第1题的设计中，使得在时钟脉冲的控制下，4位显示器依次输出学号末四位。

设计完成后填写以下内容：

（1）编写测试平台代码

module test\_zjh\_CE3;

reg Aclr;

reg Clock;

wire a,b,c,d,e,f,g;

wire Y4,Y3,Y2,Y1;

zjh\_CE3 u3(.Aclr(Aclr),.Clock(Clock),.a(a),.b(b),.c(c),.d(d),.e(e),.f(f),.g(g),.Y4(Y4),.Y3(Y3),.Y2(Y2),.Y1(Y1));

initial

begin

Clock =0;

repeat(100)

#5 Clock=~Clock;

end

initial

begin

Aclr=0;

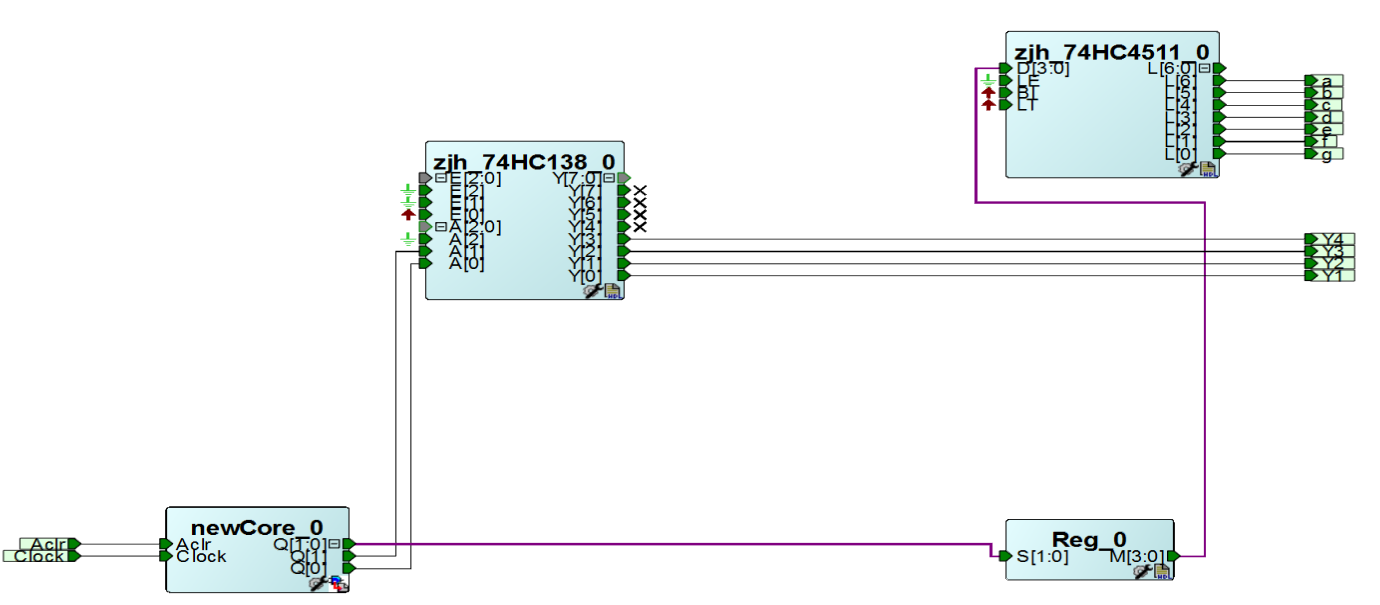
#22 Aclr=1;

#100 ;$finish;

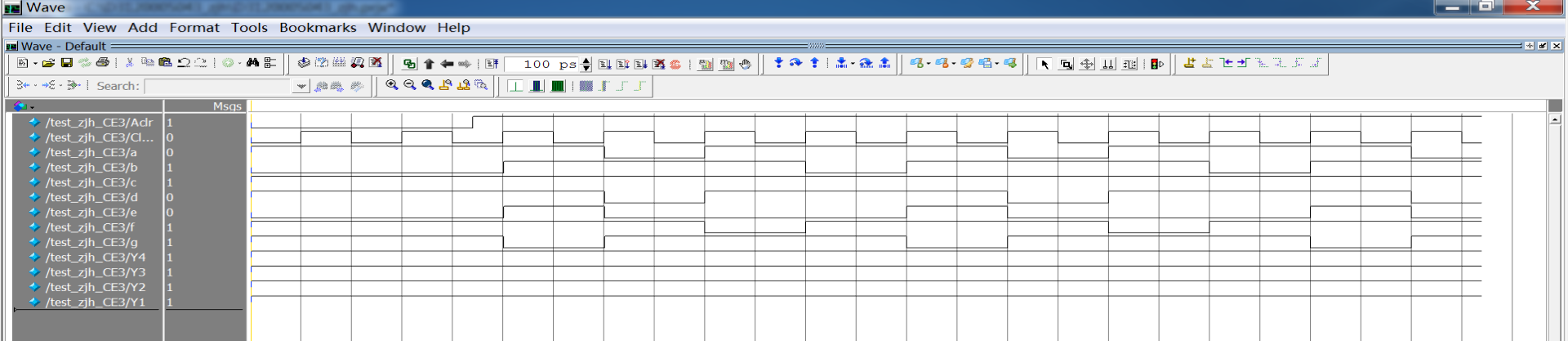
end

endmodule

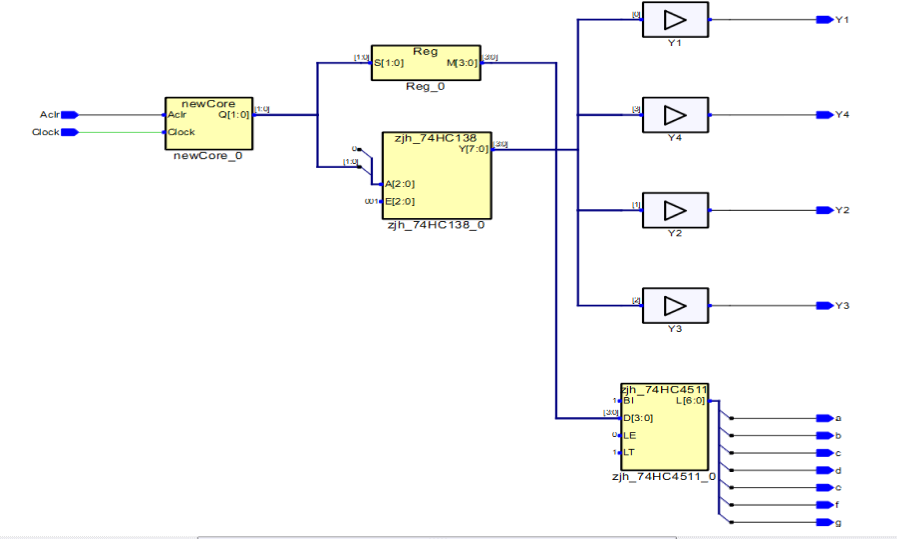
（2）将SmartDesign画布中的设计截图。



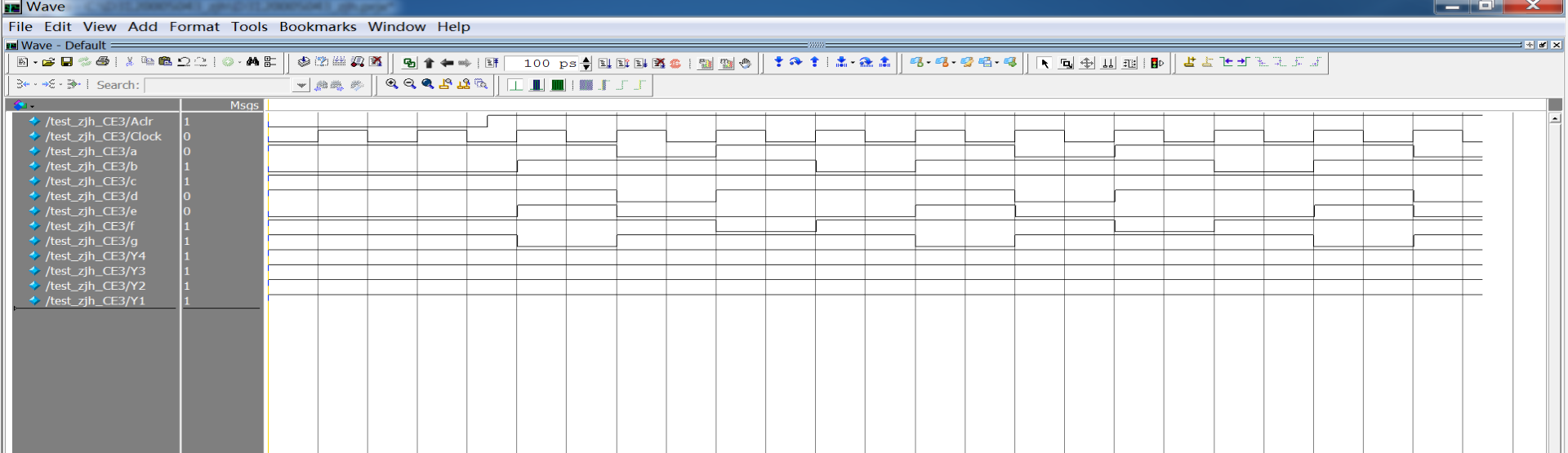
（3）综合前仿真截图



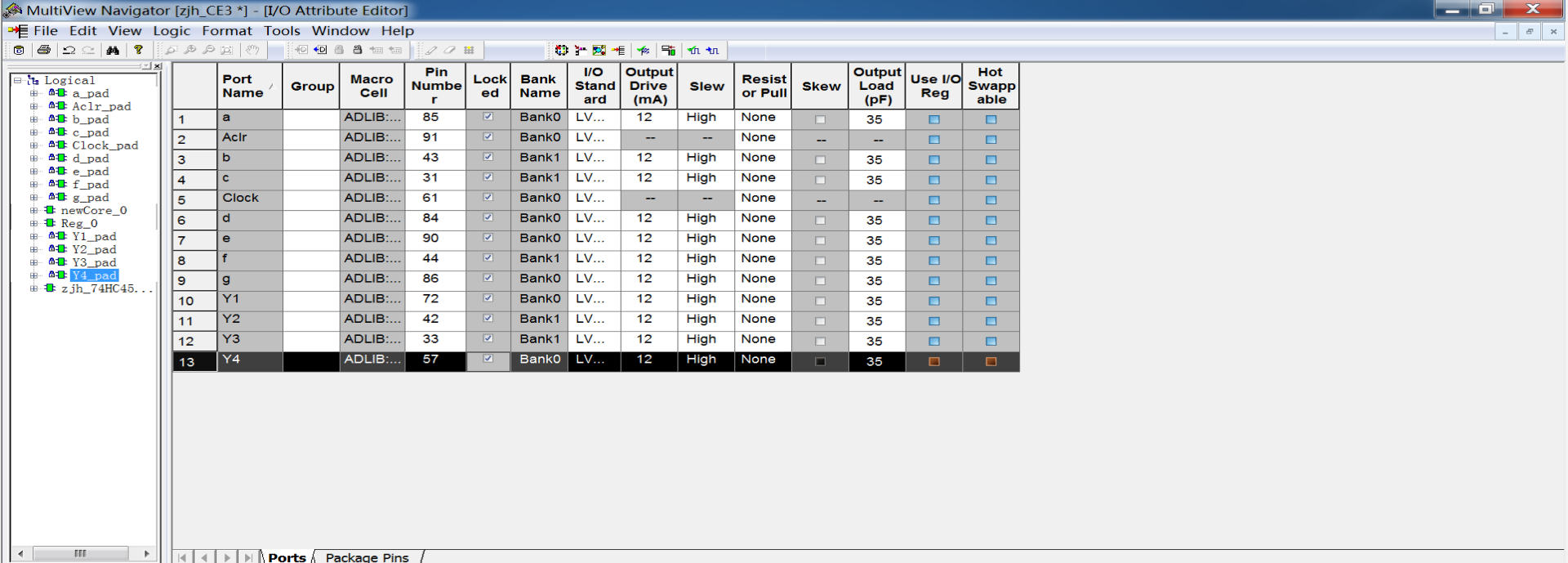
（4）综合截图



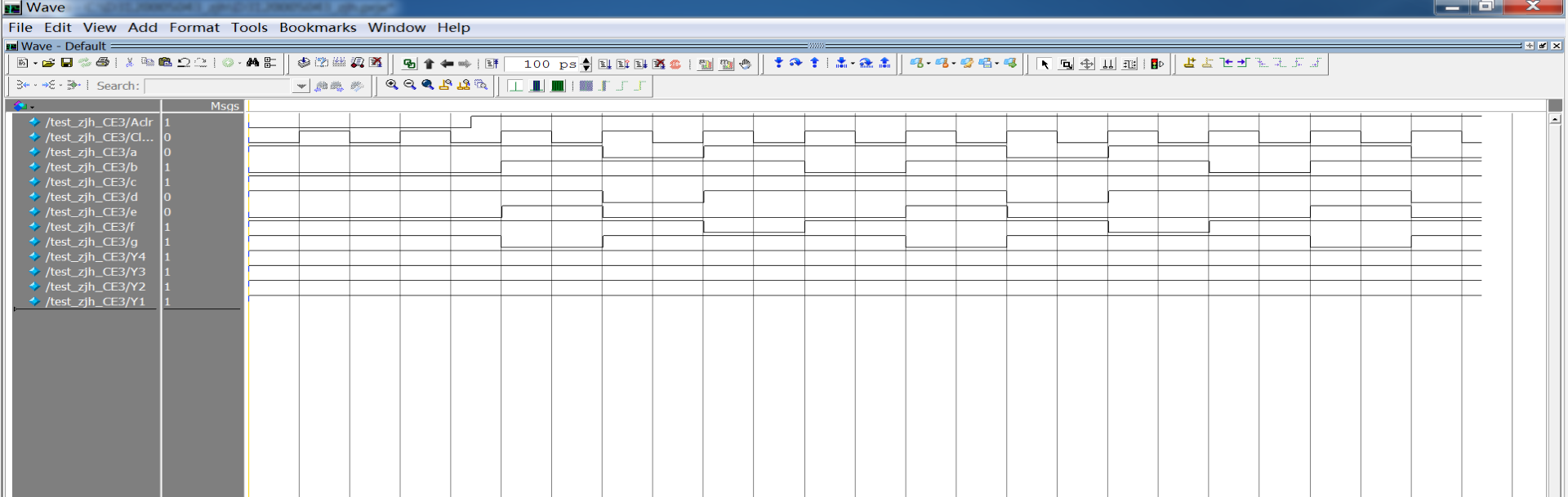
（5）综合后仿真截图



（6）布局布线引脚分配截图



（7）布局布线后仿真截图



**4、有符号数比较器（选做）**

设计一个电路，输入信号是有符号数的原码，输出信号包括A>B、A=B、A<B。要求使用组合逻辑电路实验中设计的原码-补码转换器，以及IP核中Basic Blocks库中的中的比较器（Comparator）。

设计完成后填写以下内容：

（1）编写测试平台代码

module test\_zjh\_CE4;

reg [7:0]Ain,Bin;

wire aeb,alb,agb;

zjh\_CE4 u0(.DataIn(Ain),.DataIn\_0(Bin),.AEB(aeb),.ALB(alb),.AGB(agb));

initial

begin

Ain = 8'b01000000;Bin = 8'b01110000;

#10 Ain = 8'b01100000;

#10 Bin = 8'b11000000;

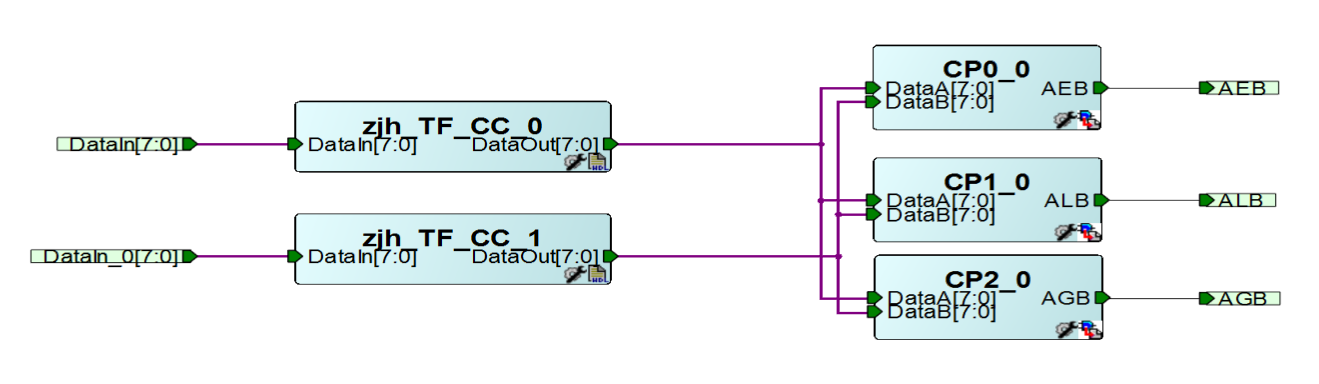
#10 Ain = 8'b10100000;

#10 Bin = 8'b10100000;

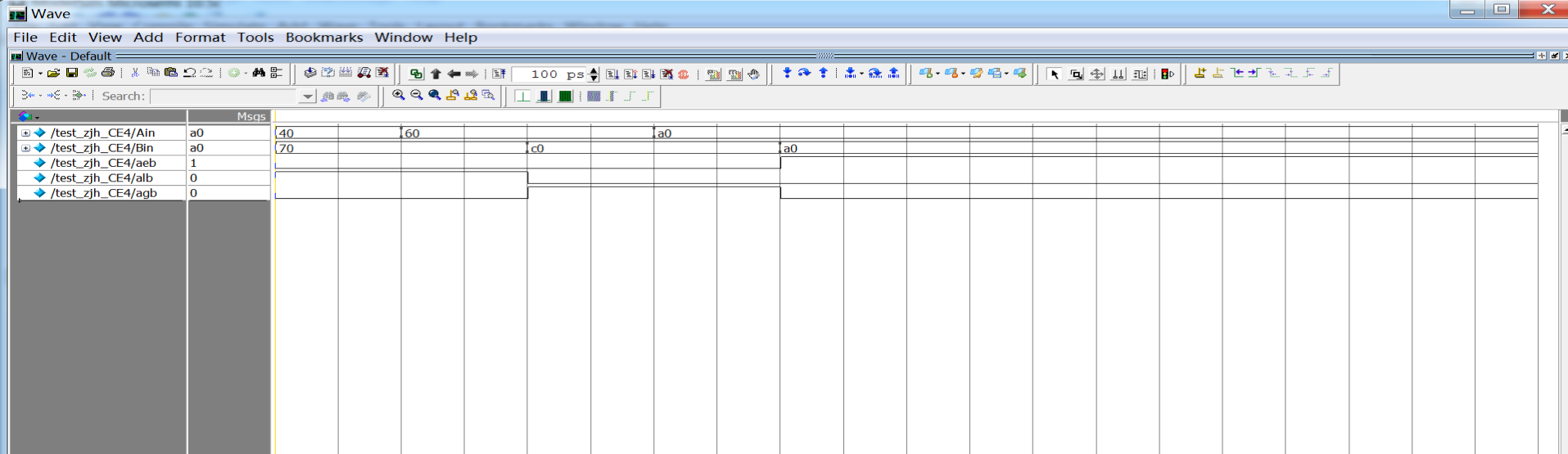
end

endmodule

（2）将SmartDesign画布中的设计截图。



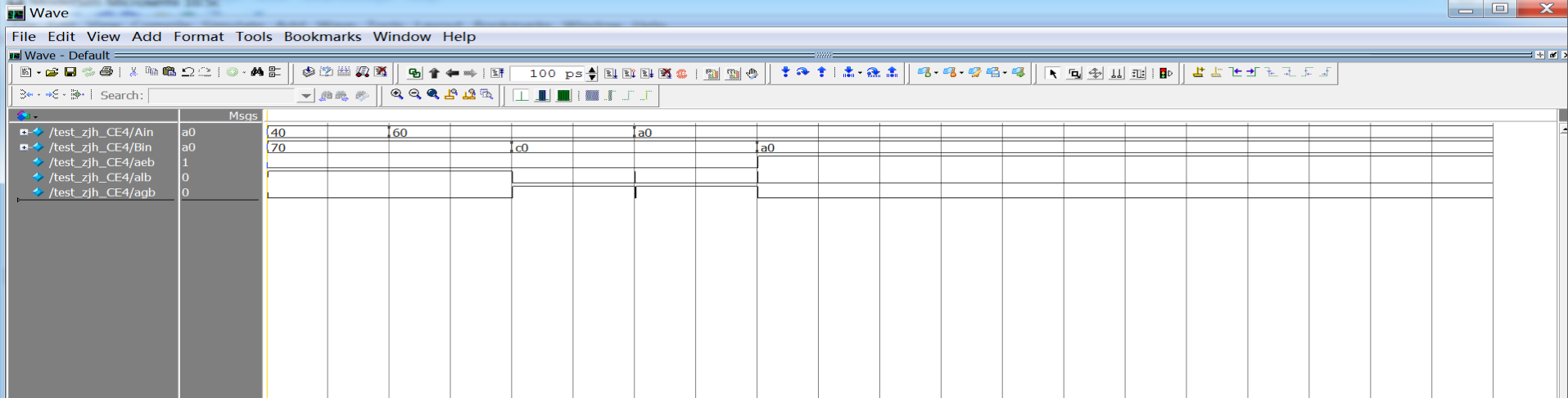
（3）综合前仿真截图



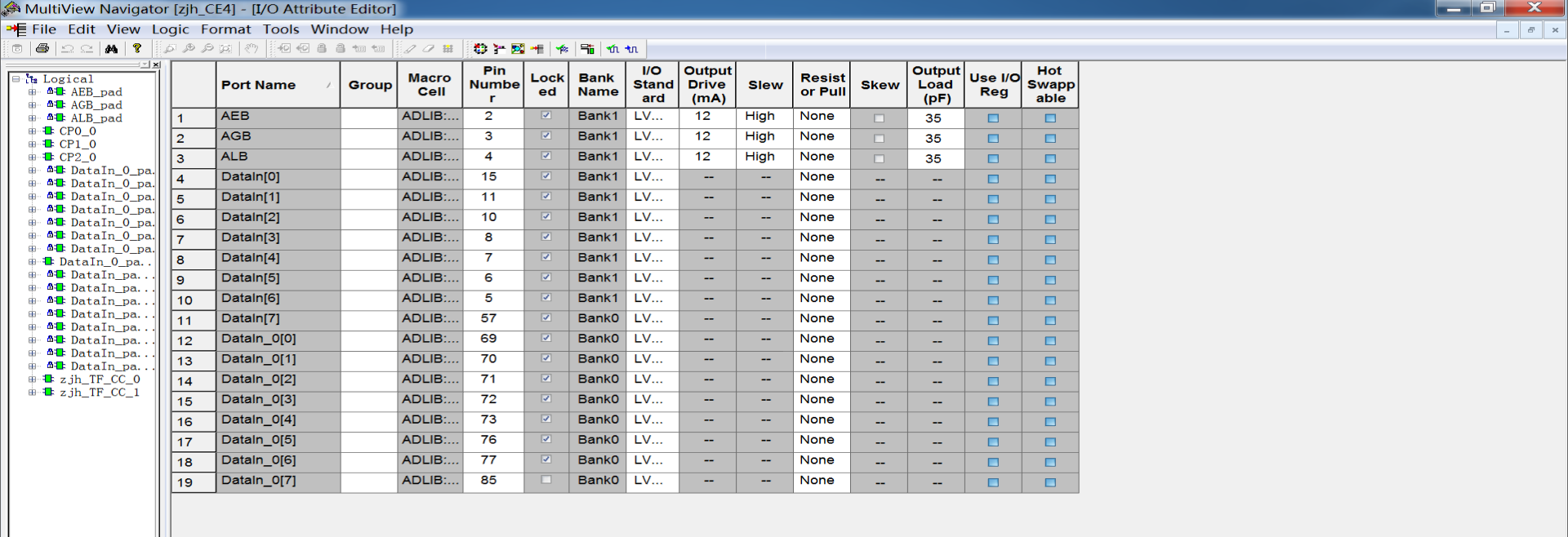
（4）综合截图



（5）综合后仿真截图



（6）布局布线引脚分配截图



（7）布局布线后仿真截图

