**一、**

1. 列表比较CISC处理机和RISC处理机的特点。



1. 存储系统中加入cache存储器的目的是什么？有哪些映射方式，各有什么特点？

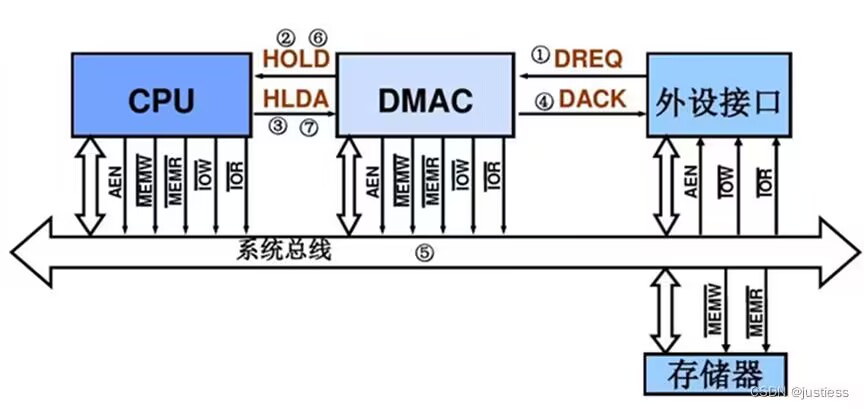
Cache是一种高速缓冲存储器，是为了解决CPU和主存之间速度不匹配而采用的一项重要技术。

全相联映射方式：全部标记用一个相联存储起来实现，全部数据用一个普通RAM来实现，全相联方式的主要缺点是比较器电路难于设计和实现，因此只适合于小容量Cache采用。

直接映射方式：硬件简单，成本低，缺点是每个主存块只有一个固定的行位置可存放。

组相联映射方式：适度的兼顾了前二者的优点又尽量避免二者的缺点。

1. 画出DMA传送数据流程图。



4.比较cache与虚存的相同点和不同点。

虚拟存储器和主存Cache 存储器是两个不同存储层次的存储体系。在概念上两者有不少相同之处：但由主存 - 辅存组成的虚拟存储器和主存Cache 存储器亦有很多不同之处：

　　●Cache 存储器采用与CPU速度匹配的快速存储元件弥补了主存和CPU之间的速度差距，而虚拟存储器虽然最大限度地减少了慢速辅存对CPU的影响，但它的主要功能是用来弥补主存和辅存之间的容量差距，具有提供大容量和程序编址方便的优点。

　　●两个存储体系均以信息块作为存储层次之间基本信息的传送单位，Cache存储器每次传送的信息块是定长的，只有几十字节，而虚拟存储器信息块划分方案很多，有页、段等等，长度均在几百~几百K 字节左右。

　　●CPU访问快速Cache存储器的速度比访问慢速主存快5 ~ 10倍。虚拟存储器中主存的速度要比辅存缩短100 ~ 1000 倍以上。

　　●主存Cache 存储体系中CPU与Cache和主存都建立了直接访问的通道。一旦不命中时，CPU 就直接访问主存并同时向Cache调度信息块，从而减少了CPU等待的时间。而辅助存储器与CPU之间没有直接通路，一旦在主存不命中时，只能从辅存调块到主存。因为辅存的速度相对CPU的差距太大，调度需要毫秒级时间，因此，CPU一般改换执行另一个程序，等到调度完成后才返回原程序继续工作。

　　●Cache 存储器存取信息的过程、地址变换和替换策略全部用硬件实现，对程序员均是透明的。而主存- 辅存层次的虚拟存储器基本上是由操作系统的存储管理软件并辅助一些硬件来进行信息块的划分和主存 - 辅存之间的调度，所以对设计存储管理软件的系统程序员来说，它是不透明的，而对广大用户，因为虚拟存储路提供了庞大的逻辑空间可以任意使用，所以对应用程序员是透明的。

**二、**

1. 某计算机系统的内存储器由cache和主存构成，cache的存储周期为30ns，主存的存取周期为150ns，已知在一段给定的时间内，CPU共访问内存5000次，其中400次访问主存，问：

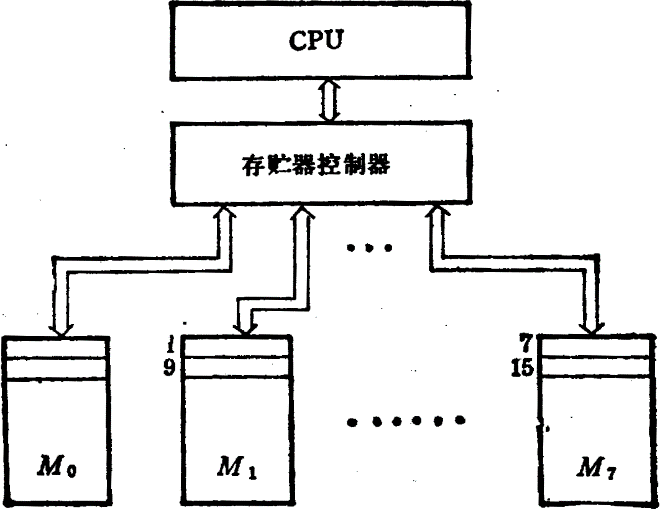
①cache的命中率是多少？ 92%

②CPU访问内存的平均是多少纳秒？39.6

③cache一主存系统的效率是多少？0.758

1. 机器字长32位，常规设计的物理存储空间≤32M，若将物理存储空间扩展到256M，请提出一种设计方案。

解：可采用多体交叉存取方案，即将主存分成8个相互独立、容量相同的模块M0，M1，M2，…M7，每个模块32M×32位。它各自具备一套地址寄存器、数据缓冲寄存器，各自以同等的方式与CPU传递信息，其组成结构如图：



CPU访问8个存贮模块，可采用两种方式：一种是在一个存取周期内，同时访问8个存贮模块，由存贮器控制器控制它们分时使用总线进行信息传递。另一种方式是：在存取周期内分时访问每个体，即经过1 / 8存取周期就访问一个模块。这样，对每个模块而言，从CPU给出访存操作命令直到读出信息，仍然是一个存取周期时间。而对CPU来说，它可以在一个存取周期内连续访问8个存贮体，各体的读写过程将重叠进行。

1. 某机的指令格式如下所示：

操作码OP（6位）

位移量D（8位）

）

X（2位）

X为寻址特征位：X=W；直接寻址；

X=01，用变址寄存器RX1寻址；

X=10，用变址寄存器RX2寻址；

X=11，相对寻址。

设（PC）=1234H；

（RX1）=0037H；

（RX2）=1122H；（H代表十六进制数）

请确定下列指令中的有效地址：

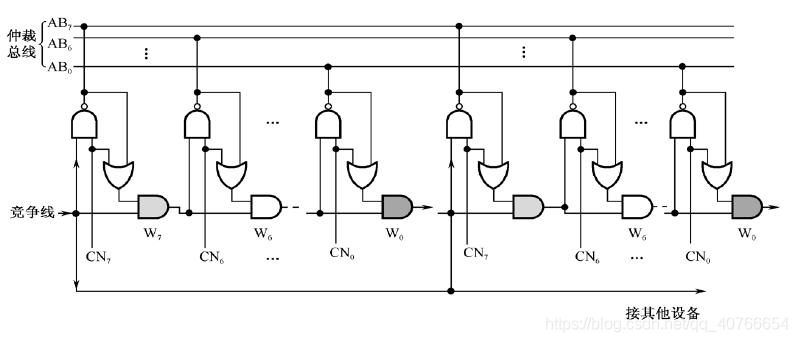
①4420H ②2244H ③1322H ④3521H

**三、**

1. 比较水平型微指令与垂直型微指令特点。

(1)**水平**型微指令并行操作能力强，指令高效，快速，灵活，垂直型微指令则较差。 (2)水平型微指令执行一条指令时间短，垂直型微指令执行时间长。 (3)由水平型微指令解释指令的微程序，有微指令字较长而微程序短的特点。 垂直型微指令则相反。

1. 画出分布式仲裁器的逻辑示意图。



1. 简述64位安腾处理机的体系结构主要特点。

1.显示并行指令计算（EPIC）技术。 2.超长指令字（VLIW）技术。

1. 比较cache与虚存的相同点和不同点。

（1**）出发点相同；都是为了提高存储系统的性能价格比而构造的分层存 储体系**。 （2）原理相同；都是利用了程序运行时的局部性原理把最近常用的信息 块从相对慢速而大容量的存储器调入相对高速而小容量的存储器.

**四、**

1. 已知X=0.01111，Y=0.11001，求：

①[X]补，[-X]补，[Y]补，[-Y]补；

0.001111 1.001111 0.011001 1.011001

②X+Y,X-Y,判断加减运算器是否溢出。

**五、**

1. 参见图1，这是一个二维中断系统，请问：

①在中断情况下，CPU和设备的优先级如何考虑？请按降序排列各设备的中断优先级。

②若CPU现执行设备C的中断服务程序，IM2,IM1,IM0的状态是什么？

③每一段的IM能否对某个优先级的个别设备单独进行屏蔽？如果不能，采取什么方法可以达到目的？

④若设备C提出中断请求，CPU立即进行响应，如何调整才能满足此要求？

**CPU**

优先级

低

高

中断优先级 排队电路与中断控制逻辑

1

0

1

0

2级IR

IR2

IM2

设备A

设备C

设备B

高

0

0

1

1

IM1

IR1

2级IR

优先级

设备F

设备E

设备D

0

0

1

1

IR0

IM0

2级IR

低

设备I

设备H

设备G

图1

**六、**

1. CPU中有哪几类主要寄存器，用一句话回答其功能。

在CPU中至少要有六类[寄存器](https://so.csdn.net/so/search?q=%E5%AF%84%E5%AD%98%E5%99%A8&spm=1001.2101.3001.7020" \t "https://blog.csdn.net/weibo1230123/article/details/_blank)：指令寄存器（IR）、程序计数器（PC）、地址寄存器（AR）、数据寄存器（DR）、累加寄存器（AC）、程序状态字寄存器（PSW）。这些寄存器用来暂存一个计算机字，其数目可以根据需要进行扩充。

1. 指令和数据都用二进制代码存放在内存中，从时空观角度回答CPU如何区分读出的代码是指令还是数据。

计算机可以从时间和空间两方面来区分指令和数据，在时间上，取指周期从[内存](https://so.csdn.net/so/search?q=%E5%86%85%E5%AD%98&spm=1001.2101.3001.7020" \t "https://blog.csdn.net/u011555996/article/details/_blank)中取出的是指令，而执行周期从内存取出或往内存中写入的是数据，在空间上，从内存中取出指令送控制器，而执行周期从内存从取的数据送运算器、往内存写入的数据也是来自于运算器。

1. 画图说明当代总线的内部结构与外部功能部件的联系，作简要说明。
2. 比较cache与虚存的相同点和不同点。

**七、**

1. 用定量分析方法证明多模块交叉存储器带宽大于顺序存储器带宽。
2. 设[N]补=anan-1…a1a0.其中an符号位.

求证：N=-an2n+ai2i。

3.指令流水线有取指（IF），译码（ID）,执行（EX），写回寄存器堆（WB）四个过程段，共有20多条指令连续输入此流水线，要求：

①画出流水处理的时空图，假设时钟周期100ns。

②求流水线的实际吞吐率（单位时间里执行完毕的指令数）。

③求流水CPU的加速比。

1. 如果一条指令的执行过程分为取指令，指令译码，指令执行三个子过程，每个子过程时间都为100ns。

⑴请分别画出指令顺序执行和流水执行方式的时空图，

⑵计算两种情况下执行n=1000条指令所需的时间，

⑶流水方式比顺序方式执行指令地过程提高了几倍？