

《VLSI 芯片设计导论》作业一

姓名：

学号：

截止日期：2024.7.1 之前（如有特殊情况可以迟交）

提交方式：

(1) 纸质版提交：课堂提交或联系助教线下提交；

(2) 电子版提交：将作业文件提交至 <https://yunbiz.wps.cn/c/collect/cNvAW5WC3Kv>。

（作业提交请注意写明姓名与学号，提交方式二者取其一即可，题目相关问题或延迟提交等情况可反馈至 zhanglp37@mail2.sysu.edu.cn）

补充说明：作业的目的是为了扩宽眼界，学习与巩固知识，鼓励交流，但请不要抄袭。题目正确率仅占作业成绩中的一小部分，如发现抄袭则记 0 分。

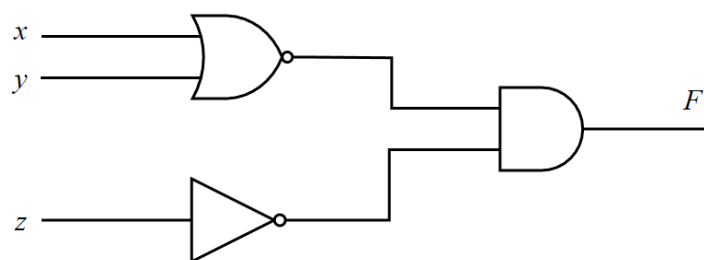
基础知识

- 请写出布尔函数 $F(x, y, z) = xy + \bar{z}$ 的真值表。
- 请结合以下真值表回答问题：

x	y	z	F	G
1	1	1	0	0
1	1	0	0	1
1	0	1	1	0
1	0	0	0	0
0	1	1	0	0
0	1	0	0	1
0	0	1	0	0
0	0	0	0	0

- 请写出能够表示布尔函数 $F(x, y, z)$ 的表达式¹。
 - 请写出能够表示布尔函数 $G(x, y, z)$ 的表达式。
- 请写出以下电路中，输出 F 的逻辑表达式：

¹ 提示：可尝试使用 SOP (Sum Of Products) 的表达



一、集成电路简介

二、MOSFET 工作原理

4. 请回答下列问题²:

- 请画出作为四端器件的 NMOS 和 PMOS 晶体管的电路符号，并在图中标注出这些端口。
- 请写出 MOSFET 的各工作模式以及对应的电压和电流关系。
- 请解释速度饱和效应并简要分析其对晶体管工作的影响。

三、CMOS 反相器 VTC 特性分析

- 请画出一个反相器的 VTC 的大致形状，并在图中标注出不同的工作状态。
- 对于噪声容限 (Noise Margin):
 - 请解释噪声以及噪声容限的定义。
 - 给定一个反相器的 VTC 图，如何得到其噪声容限？请举例说明。

四、CMOS 反相器延时与功耗分析

- 对于静态 CMOS 反相器:
 - 请画出一个标准反相器的内部构造图，并标注出晶体管的尺寸比例。
 - 请分析反相器的尺寸变化对电阻，电容以及延时的影响。

五、静态 CMOS 逻辑门设计与优化

8. 请根据下述逻辑表达式回答问题:

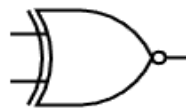
$$Out = \overline{D + A(B + C)}$$

² 此类型题目的目的为知识回顾，please don't panic，考试中不会出现复杂知识点以及公式的默写

-
- a) 请设计完成能实现该逻辑功能的静态 CMOS 逻辑门。
- b) 请写出逻辑门延时的计算方法（不包括中间电容）。
- c) 设负载电容为 C_L ，标准反相器的输入电容和寄生电容分别为 $C_{g,0}$ 和 $C_{par,0}$ ，请计算 a) 中得到的逻辑门的传播延时。
9. 对于一个 2 输入的**异或 (XOR)** 门，请回答下列问题：
- a) 请写出它的真值表，并使用 **SOP (Sum Of Product)** 的方法写出它的逻辑表达式。
- b) 设负载电容为 C_L ，标准反相器的输入电容和寄生电容分别为 $C_{g,0}$ 和 $C_{par,0}$ ，请计算它的传播延时。
- c) 对于该门的两个输入 A 与 B ，假设 $P_{A=1}=1/3$ ， $P_{B=1}=1/2$ ，请计算该门的切换功耗。
10. 对于一个 2 输入的**同或 (XNOR)** 门，请回答下列问题：
- a) 请设计出能完成其功能的静态 CMOS 逻辑门。
- b) 对于该门的两个输入 A 与 B ，假设 $P_{A=1}=1/3$ ， $P_{B=1}=1/2$ ，请计算该门的切换功耗。
11. 请根据下列逻辑表达式回答问题：

$$Out = (A\bar{B} + C)D$$

- a) 请设计完成能实现该逻辑功能的静态 CMOS 逻辑门。
- b) 请使用与 a) 不同的方案实现同样具有逻辑功能的静态 CMOS 逻辑门。
12. 下图是一个 2 输入的同或 (XNOR) 门的符号表示，请回答下列问题：



- a) 请写出它的真值表以及逻辑表达式。
- b) 请使用静态 CMOS 电路实现该逻辑门。
13. 对于多输入的**异或 (XOR)** 门该如何工作，向来众说纷纭。有人将其称为“奇数功能或门”，即当奇数个输入为高电平时，其输出为高电平。请回答下列问题：
- a) 请写出使用以上定义实现的 3 输入 XOR 门的真值表并设计出能实现其逻辑功能的静态 CMOS 电路。
- b) 你认同这种定义吗？你认为多输入的 XOR 门应该实现什么样的逻辑功能？

14. (数字逻辑相关) 请回答下列问题:

- a) 什么是逻辑运算的最小完全集?
- b) {与, 或, 非}是一个最小完全集吗? {与非, 或非}呢?
- c) 请使用 NAND 门与 NOR 门实现 AND, OR 与 INV 门, 再使用 AND, OR 与 INV 门实现 NAND 门与 NOR 门 (2 输入)。

15. 请根据下述逻辑表达式回答问题:

$$Out = \overline{ABC + \bar{A}B + B\bar{C} + AC}$$

- a) 该表达式能否进一步化简? 请写出化简后的表达式。
- b) 根据原表达式或者 a) 中得到的结果, 实现对应的静态 CMOS 逻辑门。

16. 请结合以下真值表回答问题:

<i>A</i>	<i>B</i>	<i>Y</i>
0	0	0
0	1	0
1	0	1
1	1	1

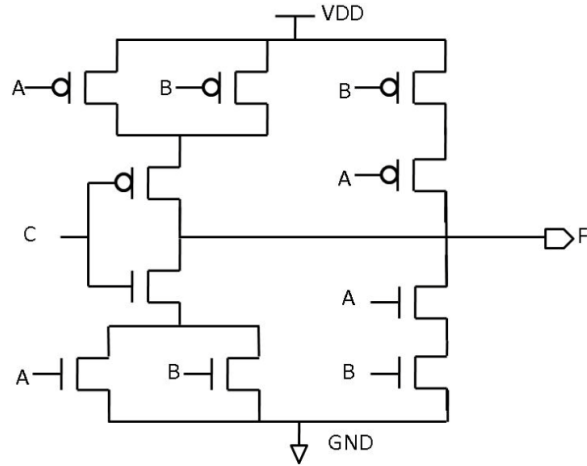
- a) 请根据真值表写出对应的逻辑表达式。
- b) 请根据逻辑表达式实现对应的静态 CMOS 电路。

17. 对于一个 4 输入的 NAND 门:

- a) 请写出其逻辑表达式。
- b) 使用互补 CMOS 设计将其实现, 需要多少个 NMOS 晶体管?

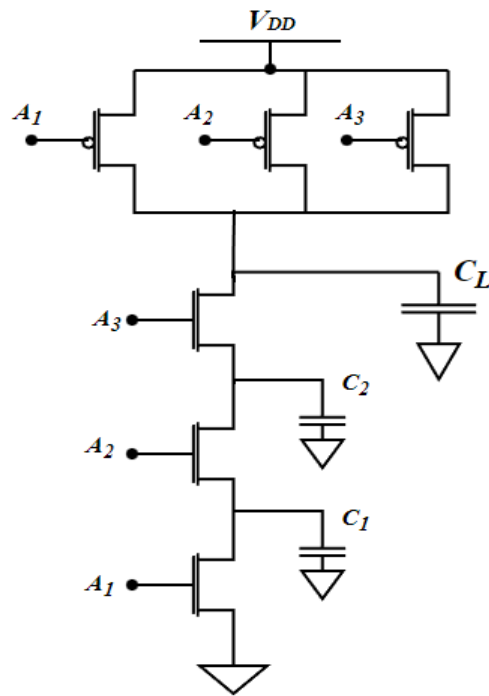
18. 请解释静态 CMOS 电路中为什么使用 PMOS 晶体管实现 PUN 部分, 使用 NMOS 实现 PDN 部分? 若是互相替换会导致什么后果?

19. 请结合下图回答问题:



- 图中的电路实现了什么样的逻辑功能？请写出其逻辑表达式。
- 这是一个静态 CMOS 电路吗？为什么？

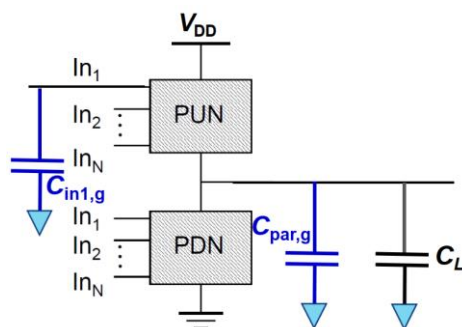
20. 请结合下图回答问题：



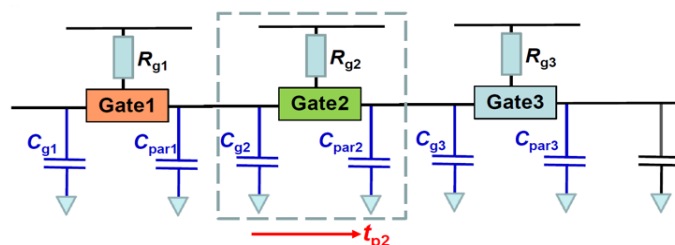
- 该图中的 CMOS 电路实现了什么样的逻辑功能？请写出其逻辑表达式。
- 假设该电路之前的状态为： $A_1=0$, $A_2=1$, $A_3=1$ ，请写出稳定时电路中几个电容的充放电状态。这时候如果 A_1 的状态由 0 变为 1，电容中的电荷会发生什么样的变化？
- 结合 b) 中的情况，如果输入中只有 A_1 会频繁地发生变化，该电路的设计可能会导致什么问题？能否进行优化？

六、Logical Efforts 分析方法介绍与应用

21. （基础回顾）对于下图所示的静态 CMOS 逻辑门，请回答：



- a) 如何计算它的传播延时？请写出其传播延时的计算公式。
 - b) 图中的 $C_{in1,g}$ 、 $C_{par,g}$ 、 C_L 各代表了什么？
 - c) 如果将该门中所有晶体管的尺寸增大或缩小 S 倍，会对它的等效电阻和电容造成什么样的影响？
22. （Gate Sizing）假设一个标准反相器的等效电阻为 R_{INV} ，PMOS 的 $W/L=2$ ，NMOS 的 $W/L=1$ ，输入电容（input capacitance）为 $C_{in,INV}$ ，寄生电容（parasitic capacitance）为 $C_{par,INV}$ 。同时假设负载电容为 C_L ，请回答下列问题：
- d) 对于一个 2 输入的 NAND 门，请使用静态 CMOS 方法将其实现，为其分配合适的尺寸使得其等效电阻等于 R_{INV} ，并计算它的传播延时。
 - e) 对于一个 2 输入的 NOR 门，请使用静态 CMOS 方法将其实现，为其分配合适的尺寸使得其等效电阻等于 R_{INV} ，并计算它的传播延时。
 - f) 对于一个 2 输入的 XOR 门，请使用静态 CMOS 方法将其实现，为其分配合适的尺寸使得其等效电阻等于 R_{INV} ，并计算它的传播延时。
23. （Logical Effort）下图是一个多级组合逻辑电路的示例，请回答以下问题：



- g) 如何计算多级组合逻辑电路的传播延时？请用自己的语言描述大致计算流程。
- h) 如何使用 Logical Effort 方法计算多级组合逻辑电路的传播延时？请推导出其计算公式。
- i) Logical Effort 方法中的电气扇出 h ，逻辑努力 g 和本征延时 p （Intrinsic

Delay/Parasitic Delay) 代表了什么内涵? 请写出它们的计算方法以及你对它们的理解。

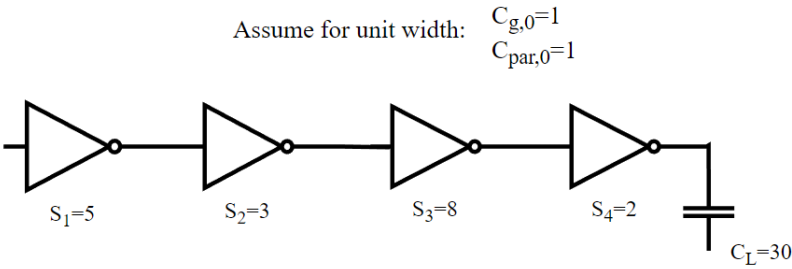
j) 请补充下表的内容 (计算逻辑努力 g):

类型	输入数量 - g				
	1	2	3	4	n
NAND					
NOR					
MUX					
XOR, XNOR					

k) 请补充下表内容 (计算本征延时 p)

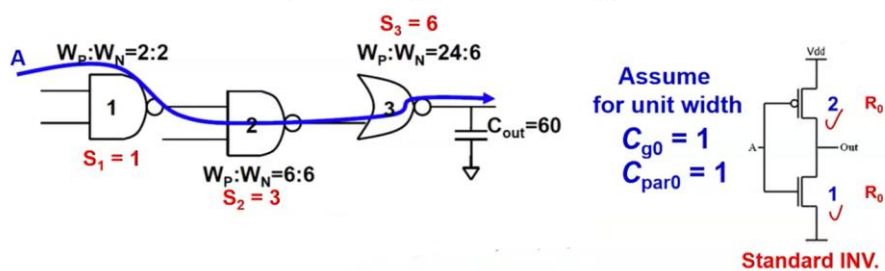
类型	Intrinsic Delay/Parasitic Delay(p)
INV	1
n-input NAND	
n-input NOR	
n-way multiplexer	
XOR, XNOR	

24. (反相器链) 设标准反相器的等效电阻为 R_{INV} , 请计算出下图所示的反相器链的传播延时。



25. (传播延时) “提出问题往往比解决问题更重要”, 对于下图所示例题, 如果只给出所有门的 $W_P:W_N$, 能否计算出正确结果? 如果只给出 S , 能否计算? 如果只给出反相器的构造信息, 能否计算? 请根据图中的条件使用传统方法计算该电路的传播延时。

Example: Delay of Multi-Stage Network



26. 请使用逻辑努力（Logical effort）方法计算上图中的例题。
27. 对于下图所示电路，请计算出当传播延迟最小时，每一级电路的晶体管尺寸大小（假设对于单位宽度晶体管， $C_g=1$ ， $C_{par}=1$ ）。

