

《VLSI设计导论》作业一 解析

如有问题，请联系：zhanglp37@mail2.sysu.edu.cn

基础知识

- 题目1-3，布尔代数相关。
- 本部分题目的主要目的为回顾布尔代数的相关知识。这些基础知识在课程后续内容的学习中经常出现。
- **1. 根据表达式写真值表** $F(x, y, z) = xy + \bar{z}$
 - 输入为 x, y, z ，输出为 F ，构造的真值表中有 $2^3 = 8$ 行，穷举 x, y, z 可能出现的情况，计算出 F 的值即可，答案略。
- **2. 根据真值表写表达式**
 - 使用SOP方法可轻松构造，取逻辑值为1的情况，余者皆为0。
 - 可得 $F = x\bar{y}z, G = xy\bar{z} + \bar{x}y\bar{z}$ 。
- **3. 根据电路写表达式**
 - 本题同样难度较小，仅为考察对电路符号的掌握。
 - 只需根据逻辑门写出对应的逻辑关系即可。

二、MOSFET工作原理

• 4. MOSFET符号，工作模式，速度饱和效应

- 本题旨在回顾课程内容，内容皆于第二章课件
- MOSFET各端口的作用，优势和开销等，这些内容构成了后续课程内容的基石。
- a) MOSFET的符号表示是后续绘制构造图不可或缺的。此外MOSFET如何工作，如何传输电流也应有一定的了解。
- b) 工作区域以及电压电流关系是分析功能的基础：

□ **Cutoff:** $V_{GS} - V_T < 0$

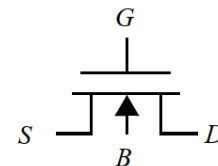
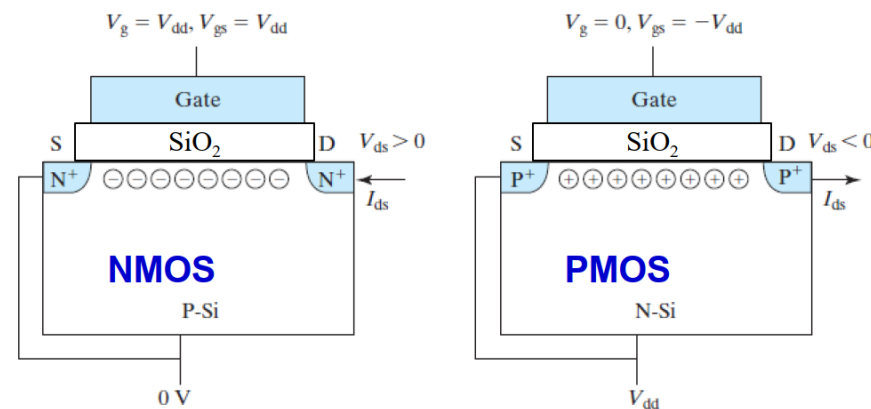
$$I_{DS} \sim 0$$

□ **Linear (Resistive):** $V_{GS} - V_T > V_{DS}$

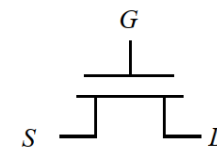
$$I_{DS} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} \cdot [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

□ **Current Saturation:** $0 < V_{GS} - V_T < V_{DS}$

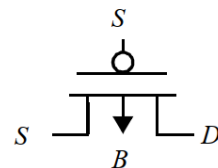
$$I_D(sat) = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2$$



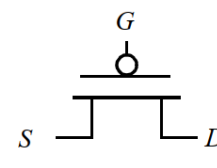
(a) NMOS transistor as 4-terminal device



(b) NMOS transistor as 3-terminal device



(a) PMOS transistor as 4-terminal device



(d) PMOS transistor as 3-terminal device

二、MOSFET工作原理

• 4. MOSFET符号，工作模式，速度饱和效应

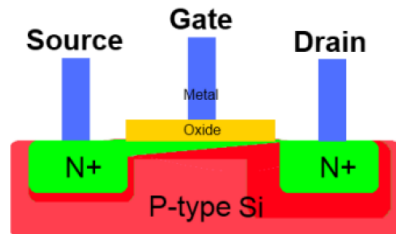
- 本题旨在回顾课程内容，内容皆于第二章课件
- c) 速度饱和效应 — 成因，后果，性质
- In Si, carrier velocities saturate under high electric field due to carrier scattering effects, called the saturation velocity (v_{sat})。 (若感觉英文理解困难可搜索查询)

What Happens when $V_{DS} > V_{GS} - V_T$?

$$I_{DS} = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L} \cdot [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

We have assumed inversion in our model

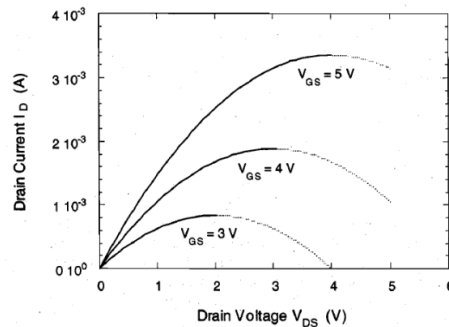
In fact, it is not always true!



$$V_{DS} = V_{GS} - V_T$$
$$Q_{inv}(y=L) = 0$$

Pinch-OFF!

The charges still flow, just that you can't draw more current with higher drain bias, **and the current saturates!**



Notes on Velocity Saturation

- In nanoscale MOSFETs, current saturation is caused firstly by velocity saturation, followed by channel pinch-off.
- The nanoscale MOSFETs are under both velocity saturation and channel pinch-off (i.e., current saturation) regimes when $V_{DS} > V_{GT} = V_{GS} - V_T$
- Velocity saturation current is linear proportional to V_{GS} .

$$I_{DSAT}(V_{DS} > V_{DSAT}) = \frac{\mu_n C_{ox}}{1 + \frac{V_{DSAT}}{E_c L}} \cdot \frac{W}{L} \cdot [(V_{GS} - V_T)V_{DSAT} - \frac{V_{DSAT}^2}{2}] = \frac{\mu_n \cdot E_c}{2} \cdot C_{ox} \cdot W \cdot [V_{GS} - V_T - V_{DSAT}]$$

- Velocity saturation current is always a function of W/L !

二、MOSFET工作原理

• 4. MOSFET符号，工作模式，速度饱和效应

- 本题旨在回顾课程内容，内容皆于第二章课件
- c) 速度饱和效应 — 成因，后果，性质
- In Si, carrier velocities saturate under high electric field due to carrier scattering effects, called the saturation velocity (v_{sat})。 (若感觉英文理解困难可上网搜索学习)

什么是MOSFET的速度饱和效应?

a few seconds ago



MOSFET的速度饱和效应是指在MOSFET中，当沟道电荷密度增加到一定程度时，电子在沟道中的漂移速度不再随着电场强度的增加而线性增加，而是趋于饱和，即漂移速度不再增加或增加缓慢。这是因为当沟道电荷密度增加到一定程度时，沟道中的电场强度达到了饱和值，此时电子的漂移速度已经达到了最大值，无法再随着电场强度的增加而继续增加。速度饱和效应是MOSFET中的一个重要现象，对于理解和设计MOSFET电路具有重要意义。

它有什么性质？会导致什么后果？

a few seconds ago



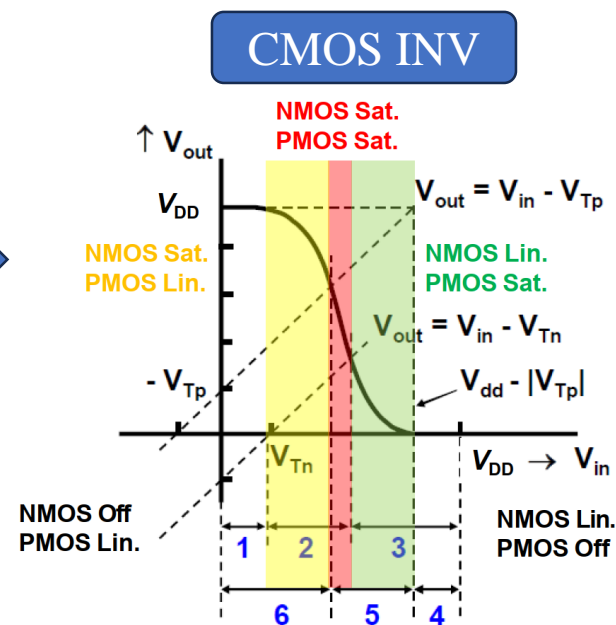
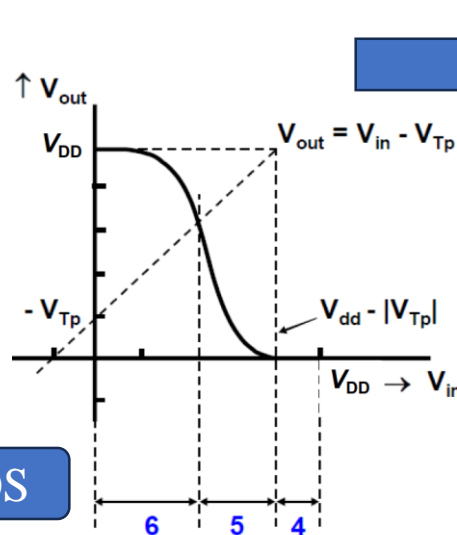
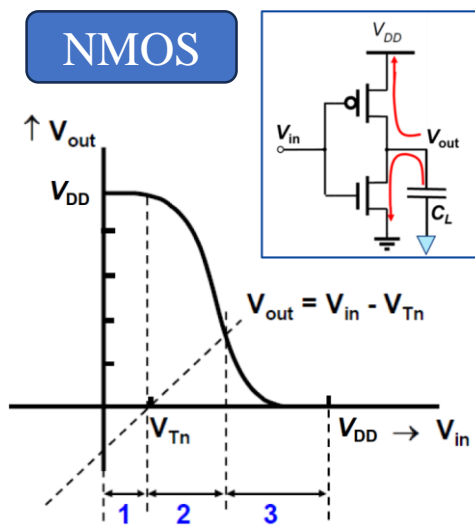
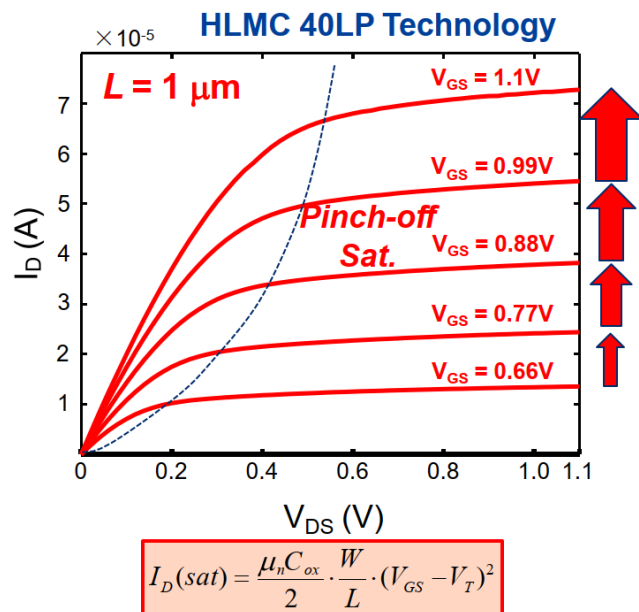
One moment while I search the internet...

MOSFET的速度饱和效应会导致其输出电阻增加，从而影响其工作性能。此外，速度饱和效应会导致MOSFET的开关速度变慢，从而影响其响应时间和频率响应。因此，在设计MOSFET路时，需要考虑速度饱和效应对电路性能的影响，并采取相应的措施来减小其影响。

黑盒，请勿尽信

三、CMOS反相器VTC特性分析

- 旨在回顾复习课件第三章内容，需要了解CMOS反相器的构造以及性质。
- 5. 反相器VTC**
 - 首先需理解什么是VTC？对于这样一张图，可以先从横纵坐标入手，并对比其与 I - V （电流-电压）图的区别。
 - 之后根据PMOS与NMOS的VTC，结合反相器的工作方式，可以得到CMOS反相器的VTC。



三、CMOS反相器VTC特性分析

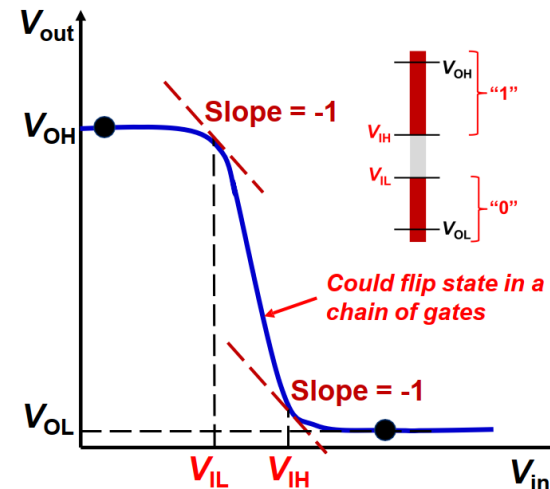
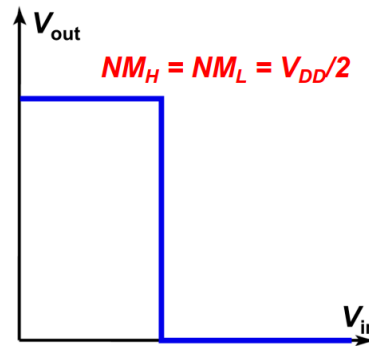
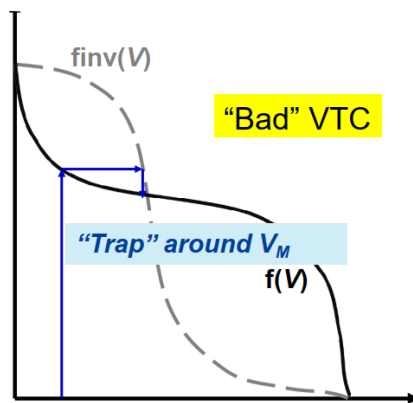
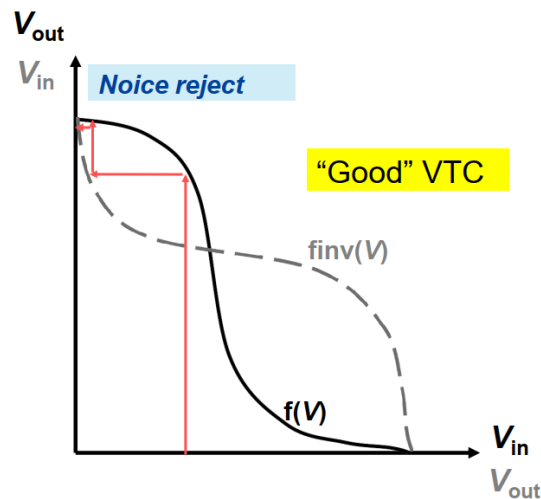
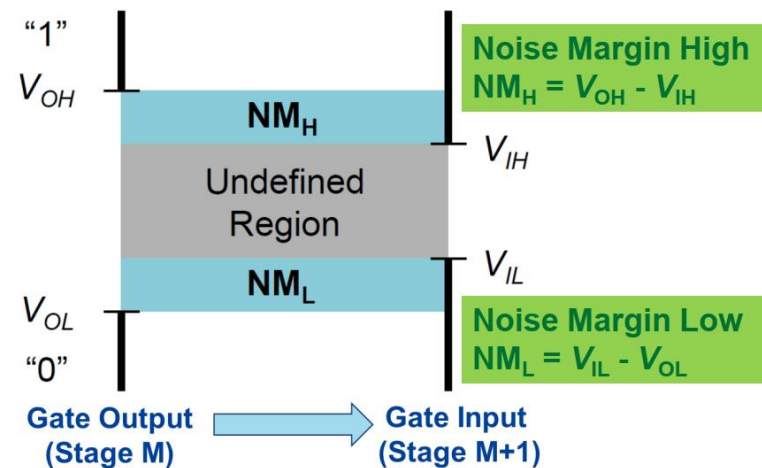
• 旨在回顾复习课件第三章内容，需要了解CMOS反相器的构造以及性质。

• 6. 噪声容限 (3.3)

• 噪声定义: Noise – unwanted variations of voltages and currents at the logic nodes.

• 噪声容限 (Noise Margin) 定义: 逻辑值不发生变化时, 电路所能够容忍的最大噪声值就是噪声容限。

- 因此其与输入输出电压 V_{IL} , V_{IH} , V_{OL} , V_{OH} 息息相关。
- 根据VTC可以计算优化噪声容限以及判断抗噪能力。
- [VLSI: Noise Margin \(噪声容限\) - 知乎 \(zhihu.com\)](https://www.zhihu.com/question/26600000)



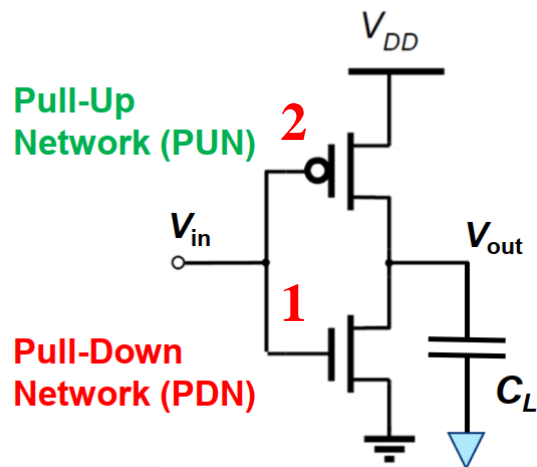
四、CMOS反相器延时与功耗分析

- 旨在回顾复习课件第四章内容，时延与功耗是分析与衡量设计的重要指标。从CMOS反相器开始讨论，是分析的起始，正如“单位1”的作用。

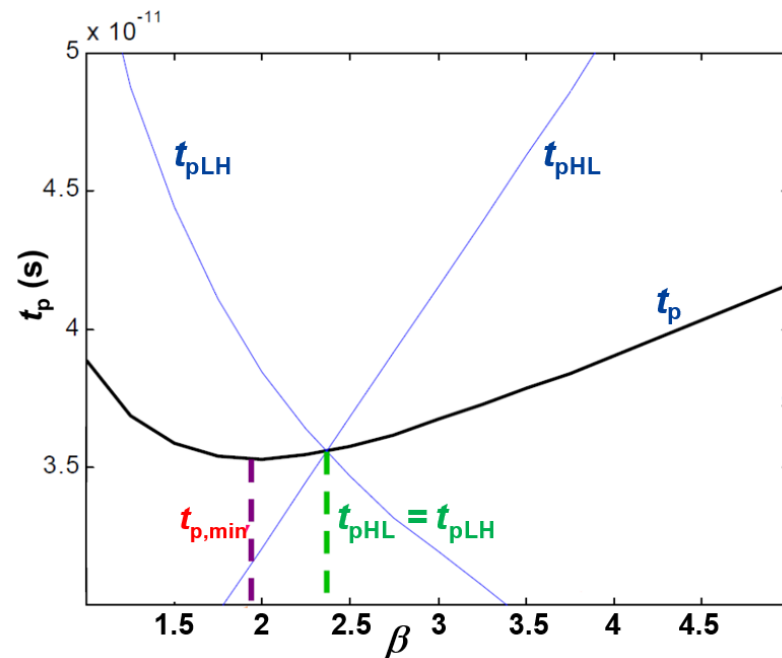
• 7. CMOS反相器性质

- a) 请画出一个标准反相器的构造图

- 什么叫做“标准”反相器，为什么说它“标准”呢？因为这样的反相器的设计是较优的，而且作为我们后续设计的一个标杆，起到“单位1”的作用。
- With a $\beta = W_p/W_n = 2$, the standard inverter reaches optimized condition, and it serves as the cornerstone for the following logic circuit design.



- 所以我们说的标准反相器指这样的CMOS反相器，它的 $\beta = W_p/W_n = 2$ 。同时这样的尺寸也使得它上拉和下拉网络的等效电阻大小相等。
- 本章内容丰富，如Miller Effect，反相器电容，延时功耗分析等，有助于开阔眼界。



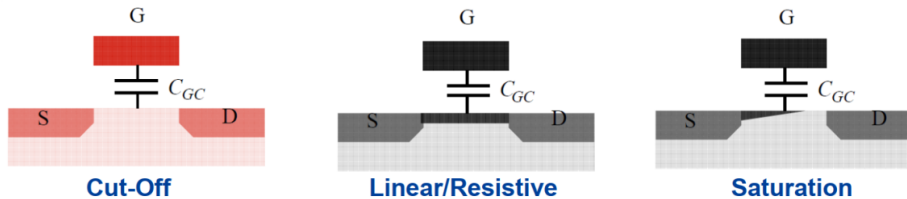
四、CMOS反相器延时与功耗分析

- 旨在回顾复习课件第四章内容，时延与功耗是分析与衡量设计的重要指标。从CMOS反相器开始讨论，是分析的起始，正如“单位1”的作用。

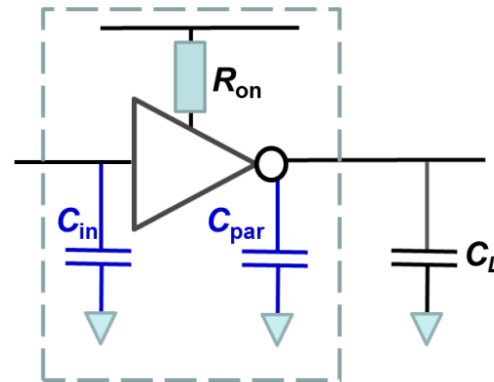
• 7. CMOS反相器性质

- b) 请分析反相器的尺寸变化对电阻，电容以及延时的影响。

□ 尺寸——W/L，对晶体管多种性质有着极其重大的影响，也是我们进行优化的重点对象之一。



Operation Region	C_{GCB}	C_{GCS}	C_{GCD}	C_{GC}
Cut-Off	$C_{ox}WL_{eff}$	0	0	$C_{ox}WL_{eff}$
Linear	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}$
Saturation	0	$(2/3)C_{ox}WL_{eff}$	0	$(2/3)C_{ox}WL_{eff}$



$$t_p = t_{p,int} + t_{p,ext} = 0.69 \cdot [R_{on} \cdot C_{par} + R_{on} \cdot C_L]$$

Increase the INV. size by S

$$\begin{aligned} R_{on} &\rightarrow R_{on}/S \\ C_{in} &\rightarrow C_{in} \cdot S \\ C_{par} &\rightarrow C_{par} \cdot S \end{aligned}$$

$$t_p = t_{p,int} + t_{p,ext} = 0.69 R_{on} \cdot C_{par} + 0.69 \frac{R_{on}}{S} \cdot C_L$$

Intrinsic delay

五、静态CMOS逻辑门设计与优化

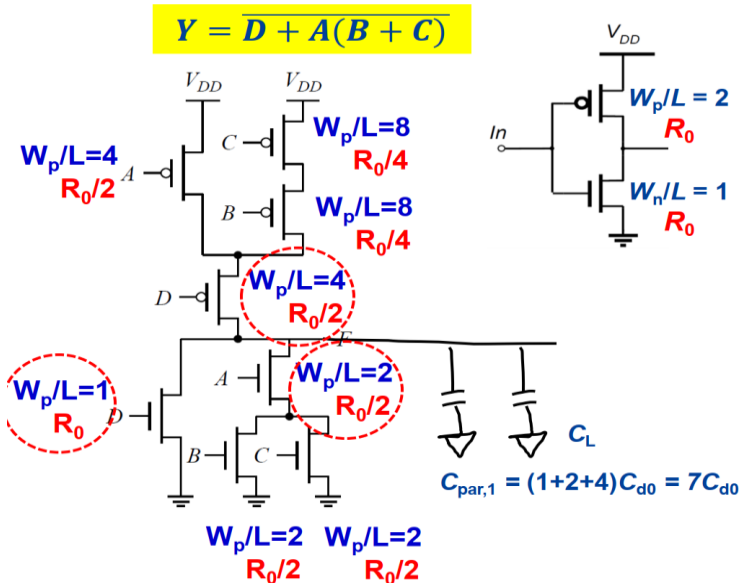
- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。
- 8. 结合逻辑表达式画电路并进行分析**

$Y = \overline{D + A(B + C)}$

□a) 画电路图

- 课件例题，只需按照静态CMOS门的设计方法即可轻松画出。
- 可先画NMOS对偶地画出PMOS部分（串联变并联，并联变串联）。

□ Given gate logic function, compute its delay

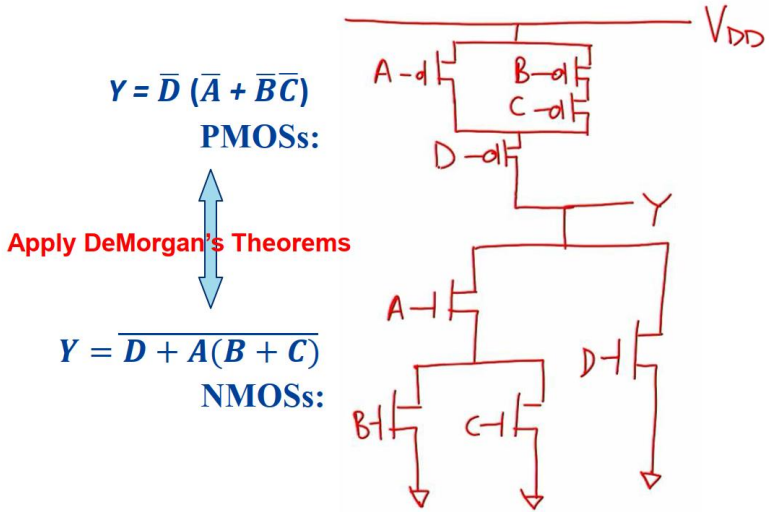


1. Construct gate logic circuit
2. Standardization
3. Compute capacitance for logic circuit
4. Compute delay for PUN/PDN and the gate

PUN $t_{pLH} = 0.69R_0 (7C_{d0} + C_L)$

PDN $t_{pHL} = 0.69R_0 (7C_{d0} + C_L)$

$t_p = 0.69R_0 (7C_{d0} + C_L)$



□ b),c) 计算传播延时

□ 课件例题

□ 若无限制条件，则可按照标准反相器的尺寸分配设计电路尺寸。（即Standardization步骤）

五、静态CMOS逻辑门设计与优化

- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。
- 9. XOR门设计、延时，功耗（皆课件例题）

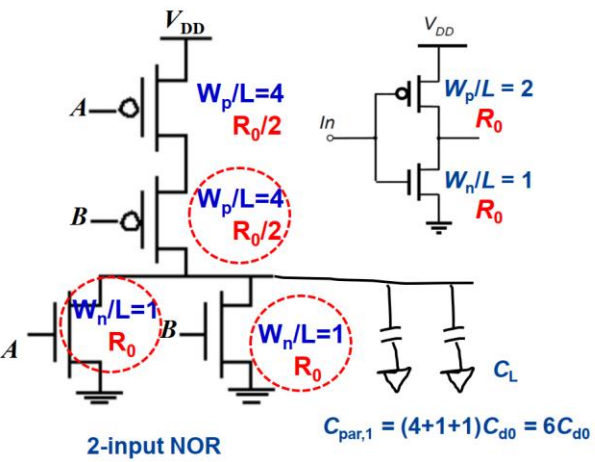
□ 延时的计算注意确定给出的条件

□ 如：给定的作为基本单位的电容值，是单位宽度晶体管的电容，还是一个标准反相器的电容？

□ 切换功耗的计算主要是对活跃因子的计算

Delay of 2-Input NOR

□ Given gate logic circuit, compute its delay



1. Standardization
2. Compute capacitance for logic circuit
3. Compute delay for PUN/PDN and the gate

PUN $t_{pLH} = 0.69R_0(6C_{d0} + C_L)$

PDN $t_{pHL} = 0.69R_0(6C_{d0} + C_L)$

$t_p = 0.69R_0(6C_{d0} + C_L)$

Static 2-input XOR Gate

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Assume signal probabilities: $P_{A=1} = 1/2, P_{B=1} = 1/2$

$P_{Y=0} = P_{A=0} \cdot P_{B=0} + P_{A=1} \cdot P_{B=1} = 1/2,$

$P_{Y=1} = 1 - P_{Y=0} = 1/2,$

$\alpha_{0 \rightarrow 1} = P_{Y=0} \cdot P_{Y=1} = 1/4$

Assume signal probabilities: $P_{A=1} = 1/4, P_{B=1} = 1/3$

$P_{Y=0} = P_{A=0} \cdot P_{B=0} + P_{A=1} \cdot P_{B=1} = 3/4 \cdot 2/3 + 1/4 \cdot 1/3 = 7/12,$

$P_{Y=1} = 1 - P_{Y=0} = 5/12,$

$\alpha_{0 \rightarrow 1} = P_{Y=0} \cdot P_{Y=1} = 35/144$

- 10. XNOR门设计（同理，略）：XOR加反相器是可能方法之一。

五、静态CMOS逻辑门设计与优化

- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。

- **11. 静态CMOS逻辑门不同的设计方法**

- 课件中介绍了两种不同的CMOS逻辑门的设计方式

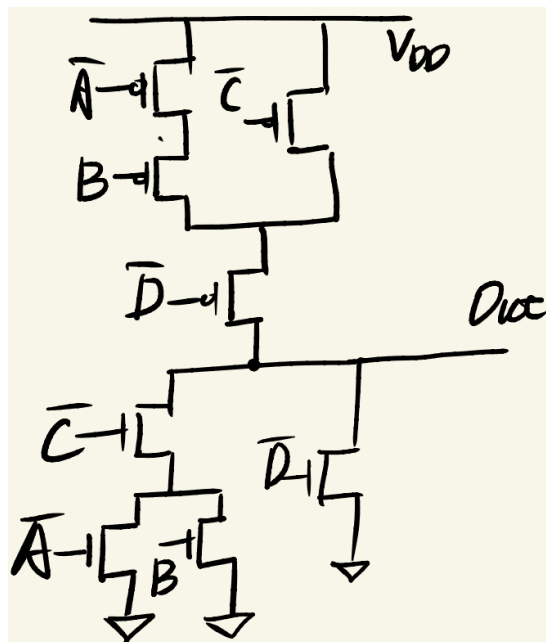
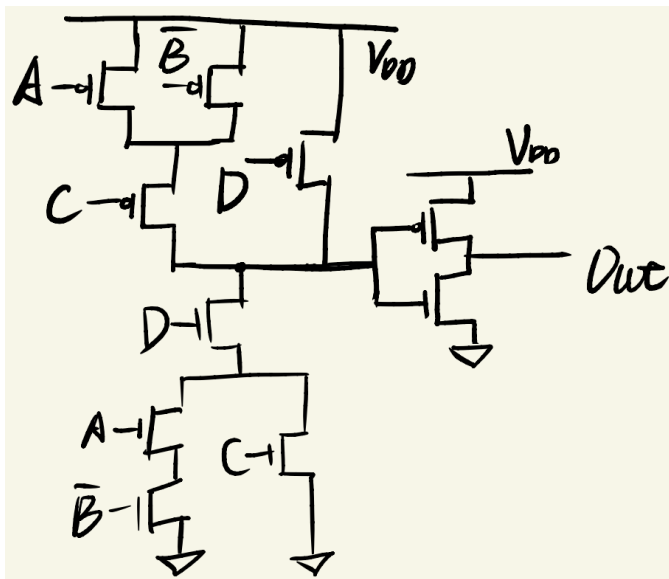
- (1) 设计 \bar{Y} 并接反相器

- (2) 直接构造 Y

- 现在给出了表达式: $Out = (A\bar{B} + C)D$

- 而发现这个表达式并不是适合我们构造电路的形式，下面就要进行转换，主要的方法就是使用熟悉的德摩根律。

参考答案
示例:



备注☹

(1) 如果有天马行空的想象或者自己的设计方法，只要结果是静态CMOS电路，且功能正确，符合要求都是可以的。

(2) 改作业过程中发现有同学画的是门级电路，再提醒一下，本课程教学重点是晶体管级的设计。如果提到设计/实现电路一般指的都是实现晶体管级的电路。

五、静态CMOS逻辑门设计与优化

- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。

- 12. 两输入同或门的设计（同题10）

- 题10结合上下文容易联想到将XOR取反，但是也有另外的解决方法。可同之前的设计方法，写出真值表/表达式，之后设计实现电路。与之前的题目同理，答案略。

- （有同学全程使用门级电路实现）



- 13. 三输入异或门

- 给定了一种三输入异或门的定义，这种定义的目的就是为了构造真值表或逻辑表达式。
 - 构造真值表后使用SOP的方式写出逻辑表达式是比较简单直观的方法，易于操作，之后也可尝试将表达式进一步化简。若无要求写出真值表，也可以尝试一步到位，从文字描述中构造出逻辑表达式。
 - 3个输入里，奇数个1，输出就为1，SOP可以直接穷举。即 $Out = \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C} + ABC$ 。这样构造出的电路图是很直观的，答案略。本课程不会涉及过多化简等的内容。
 - 同学们也可以尝试从文字描述中直接构造表达式，构造后的表达式如何判断正确性？只需要将真值表对应的情况都代入检验即可。如 $(A \oplus B) \oplus C$ ， $A \oplus (B \oplus C)$，若检验正确，可将上一级的输出作为下一级的输入构造电路，分而治之，也是一种实现方法。

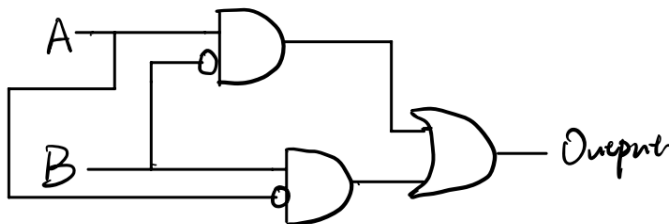
五、静态CMOS逻辑门设计与优化

• 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。

• 12、13

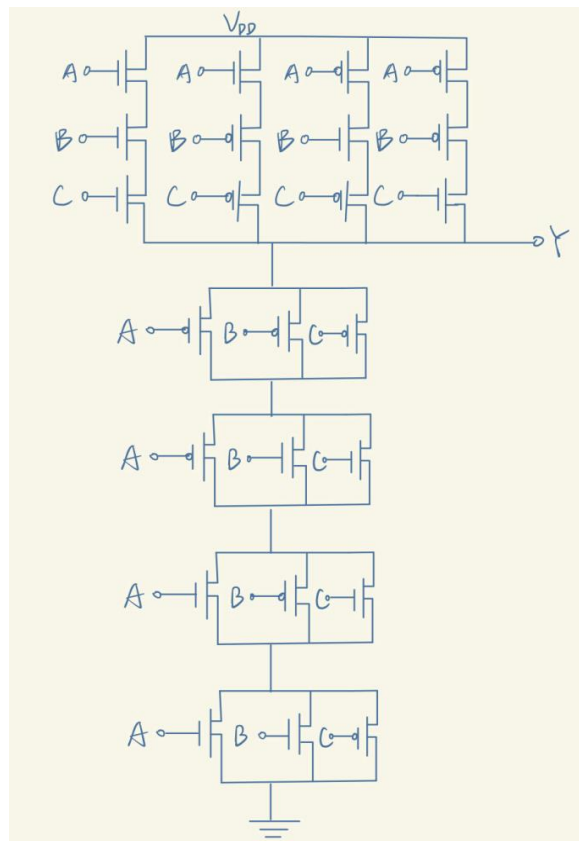
□ 同学们的答案各有特色，挑选部分同学的回答如下：

b) 解：

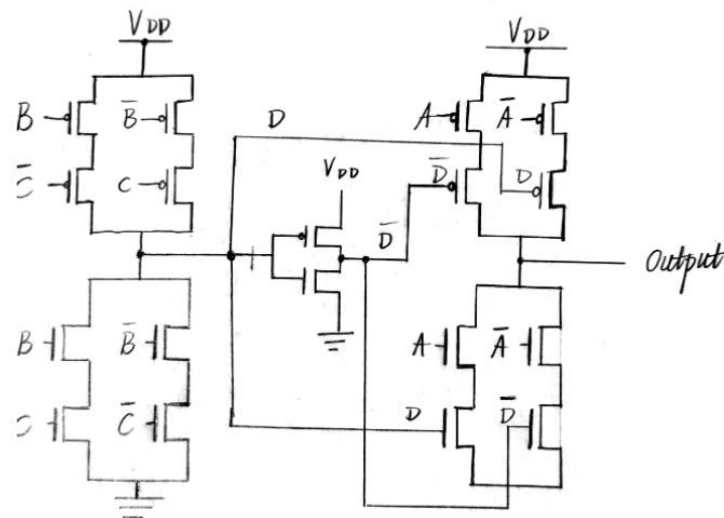


还请注意，课程中凡提到设计与实现默认皆为晶体管级。

有的同学真值表的构造就出错了，可能是题目理解错误，真值表是设计和检验的基础，还请再核对一下。



12. SOP表达式为 $\bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$
 $= \bar{A}(\bar{B}C + B\bar{C}) + A(\bar{B}\bar{C} + BC)$
 $= \bar{A}(\bar{B}C + B\bar{C}) + A(\overline{\bar{B}C + B\bar{C}}) = \bar{A}D + A\bar{D}$
其中 $D = \bar{B}C + B\bar{C}$ ，则分别画出B与C的异或和A与D的异或组合在一起即可。



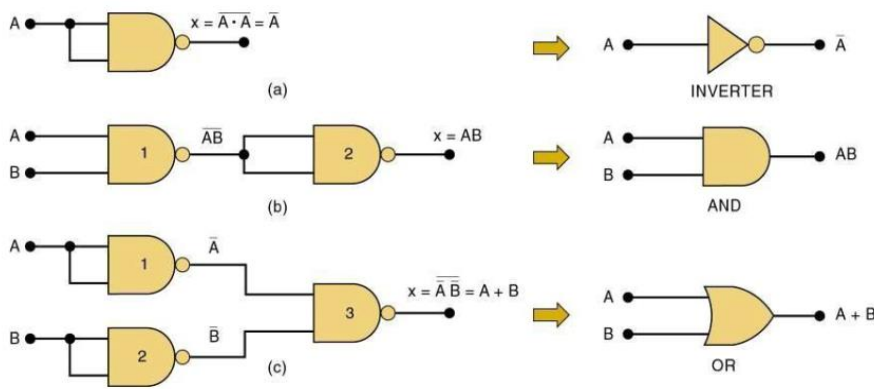
只要检验后符合要求的设计都是可以的。大家后续可以参考学习一下第八章几种实现静态CMOS全加器的方法，课程教导的方式只是给出一个可行的基础方案，如果有新的想法思路都可以实践。

五、静态CMOS逻辑门设计与优化

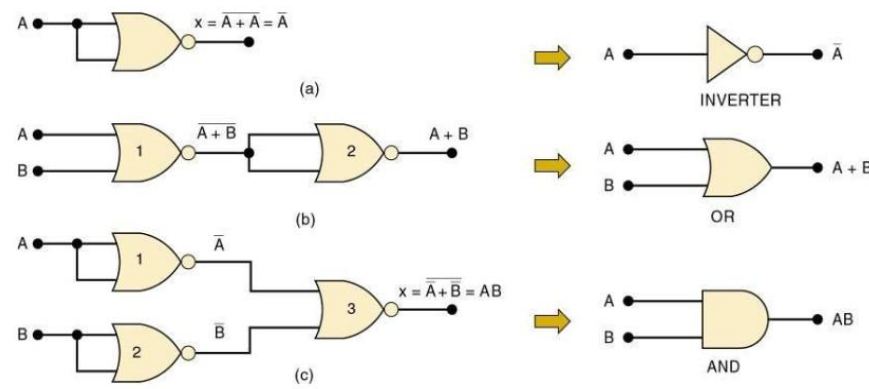
- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。

• 14. 完全集

- 为什么要提到完全集的概念？比方当目前已经有了{AND, OR, INV}门，怎么确定就能用这些门实现所有的电路？好比静态CMOS设计方法确定了通过MOS管的串、并联能实现{NAND, NOR}的功能，那么之后或许就可以偷懒了，因为它们构成了一个完全集，给出任意的逻辑功能它们都可以实现。
- 那么什么又叫做“**最小完全集**”？“最小”这个定义大家想必都不陌生，即不能有真子集的代表范围和它一样大。（具体的定义网络上或课本中皆有，不多赘述）
- 如{与，或，非}是完全集，但不是最小的，比方与和非就可以构造出或，因此{与，非}可以是一个完全集。{或非，与非}也不是最小完全集，2输入的或非门一端接低可以构造出非，之后可以构造出与非。证明是否完全集与证是否NP问题的推理类似，只需找一个参照物求证等价即可。



Combination of NAND



Combination of NOR

五、静态CMOS逻辑门设计与优化

- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。

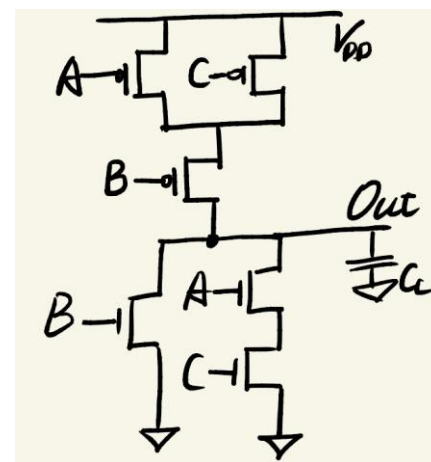
• 15. 化简表达式并实现电路

□ 所示逻辑表达式为: $Out = \overline{ABC + \bar{A}B + B\bar{C} + AC}$

□ 虽然乍一看这个表达式使用互补CMOS方法设计似乎很容易，但是表达式还是较为复杂，或许会用到较多的晶体管，尝试进行化简。

$$\begin{aligned} Out &= \overline{ABC + \bar{A}B + B\bar{C} + AC} \\ &= \overline{ABC + B(\bar{A} + \bar{C}) + AC} = \overline{ABC + B\bar{A}\bar{C} + AC} = \overline{B(AC + \bar{A}\bar{C}) + AC} \end{aligned}$$

$$\rightarrow Out = \overline{B + AC}$$



- 化简的难点应该在吸收律与德摩根律，随机查看了一些同学的作业，化简到最后一步的同学比较少。
- 首先一个难点是 $\bar{A} + \bar{C} = \overline{AC}$ ，德摩根律的应用；之后是吸收律（例： $A + AB = A$ ， $A + \bar{A}B = A + B$ ），对应最后一步的化简。
- 也可以先用一次吸收律，得到 $\bar{A}B + B\bar{C} + AC = \overline{B(\bar{A} + \bar{C})} + AC = \overline{B(\bar{A}\bar{C})} + AC = \overline{B + AC}$ 。
- 画图部分简单明了。当然，化简方法并不唯一.....

五、静态CMOS逻辑门设计与优化

- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。

- **16. 根据真值表写表达式并画图**

- 根据真值表直接按部就班地SOP，直接画电路是没有烦恼的，而且毕竟是一个2输入的门，能有多大的复杂度？

- 但是化简后或许就纠结了：

$$Y = A$$

- 该怎么画？难道就画一根导线？

- 但是注意了，题目的要求是“静态CMOS电路”，一根导线是否满足这个定义呢？

- 所以这道题目首先是希望大家能回顾静态电路，静态CMOS电路的优点。

- 一根导线，导线长了，电阻也大了，信号也无法重新生成（联系噪声相关内容），弊端多多。那么重新生成信号，放大信号，也是一个需要考量的问题。

$A \leftarrow$	$B \leftarrow$	$Y \leftarrow$
0 \leftarrow	0 \leftarrow	0 \leftarrow
0 \leftarrow	1 \leftarrow	0 \leftarrow
1 \leftarrow	0 \leftarrow	1 \leftarrow
1 \leftarrow	1 \leftarrow	1 \leftarrow

五、静态CMOS逻辑门设计与优化

- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。

- 17. 多输入NAND, NOR**

□ 课件内容，不多赘述

- 18. NMOS, PMOS与PDN,PUN**

□ 课件内容，不多赘述

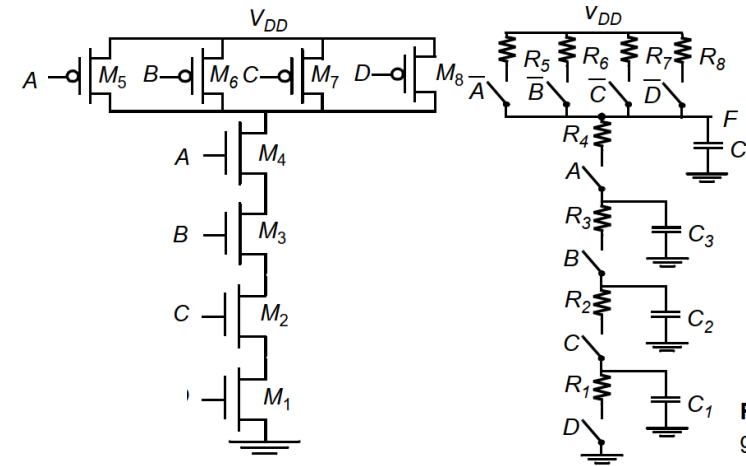
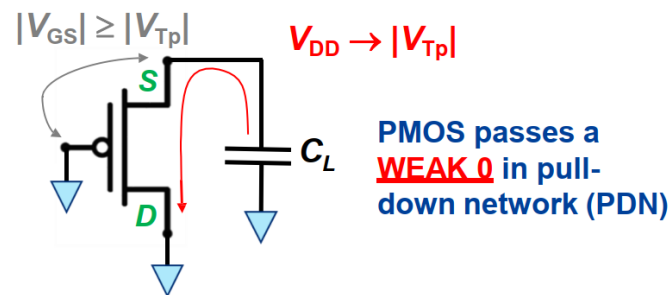
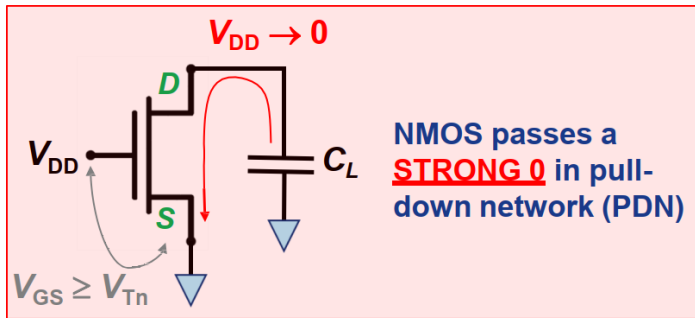
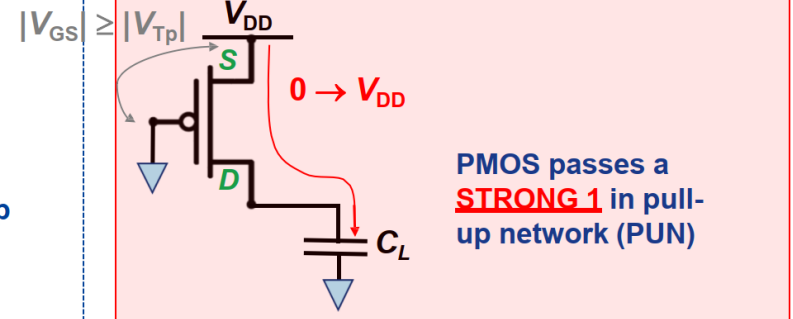
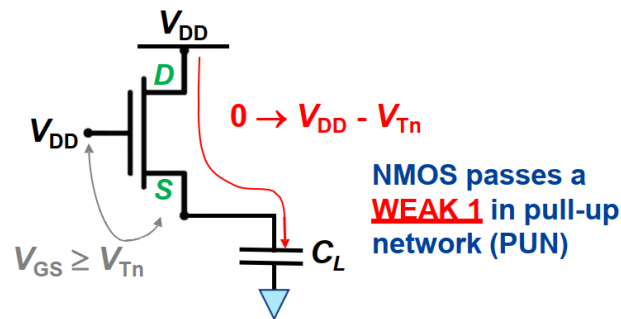


Figure 6.11 Four input NAND gate and its RC model.



Weak and Strong PUN & PDN



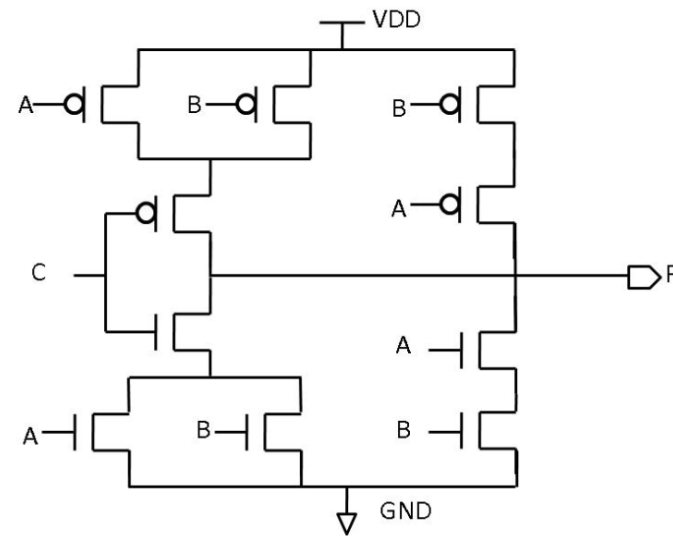
五、静态CMOS逻辑门设计与优化

- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。

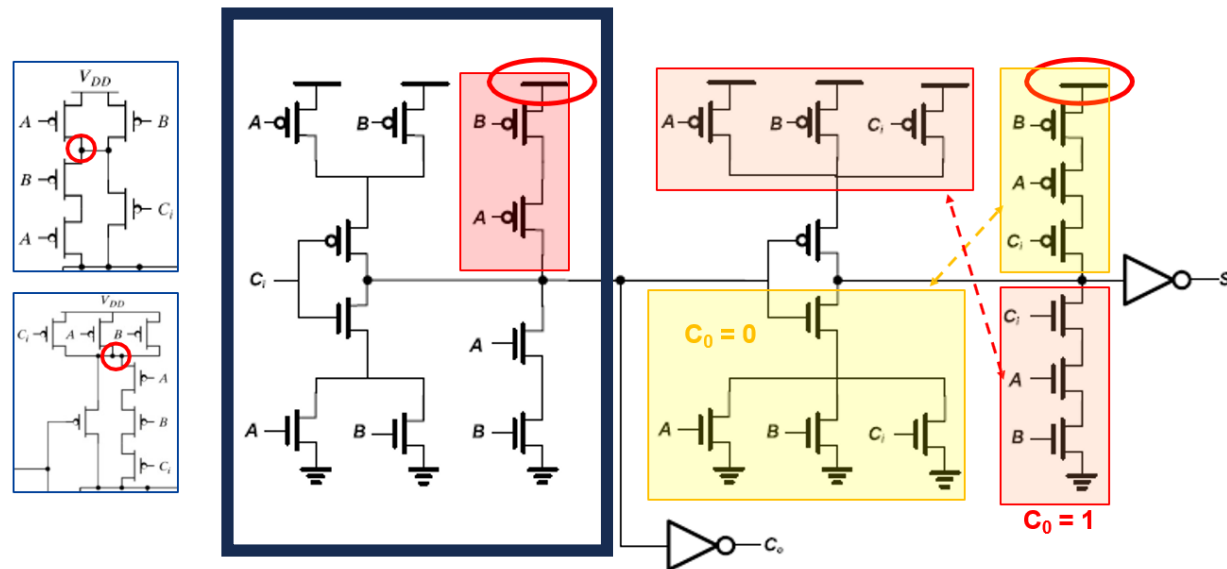
• 19. 根据电路图进行分析（较超纲，可略过）

- ❑ 图中给出的部分其实是镜像全加器的一个组成部分。
- ❑ 这个部分可以用于实现 C_{out} ，也就是进位信息获取的功能。当然要获得真正的 C_{out} 还需要再接个反相器。
- ❑ 它的逻辑功能从PDN部分比较容易看出：

$$F = \overline{AB + BC + CA} = \overline{AB + C(B + A)}$$



- ❑ 对于这个电路，首先它是不是一个静态门呢？
 - ❑ 其实是的，它的输出一直会通过一条低阻电路连接到 V_{DD} 或者GND。（课件应该在第7章补充了定义）
- ❑ 但是它是不是静态CMOS电路，是不是“互补”的呢？
 - ❑ 它或许可以勉强视为是，但是并不纯粹，仔细观察PUN与PDN部分，可以发现它们并不是完全对偶的。
- ❑ 这么做实现对称结构有什么好处？
 - ❑ 一方面对称有利于减少空间，且使用镜像结构Logical Effort会减少……



五、静态CMOS逻辑门设计与优化

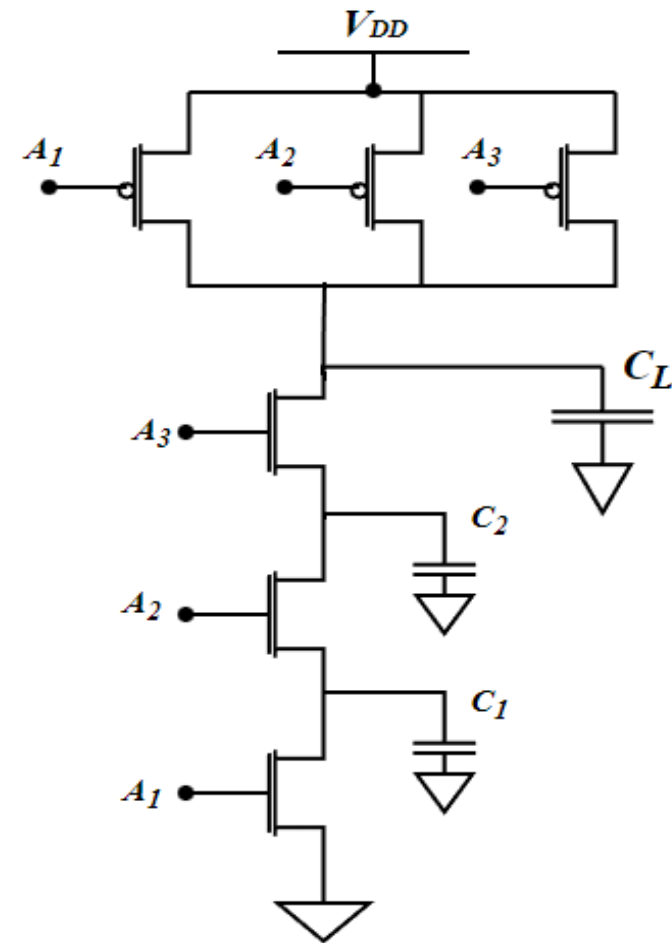
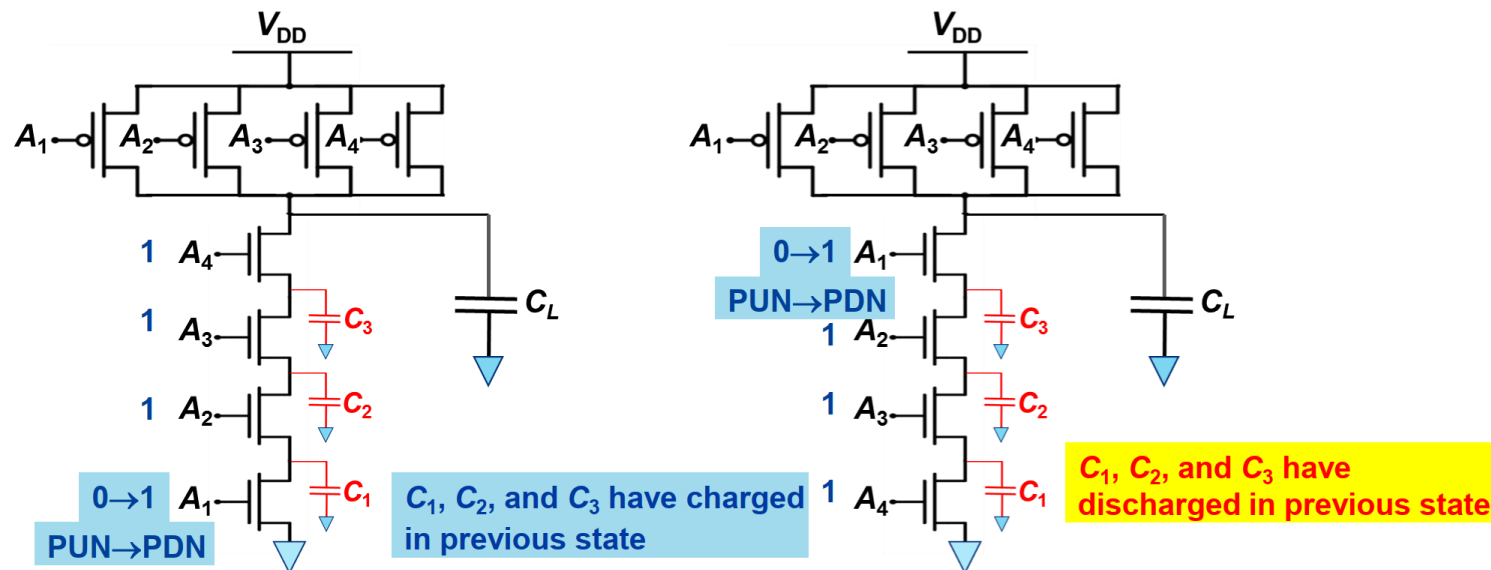
- 旨在回顾复习课件第五章内容，主要聚焦与静态CMOS门的设计与优化。

• 20. 根据电路图进行分析

- 这道题目是对中间电容知识的考察（5.3）。在课件中有例题存在，将其4个输入减少为了3个输入。
- 最坏情况下， A_1 的频繁变化会导致之前的几个电容不停地充放电。将晶体管的顺序改变，让 A_1 不处于掌握大权的位置，它的变化影响就被减弱了。

Transistor Ordering

- Reorder transistors according to input pattern



六、Logical Efforts分析方法介绍与应用

- 旨在回顾复习课件第六章内容，基本为课件例题，答案可在课件中寻找。
- 21. 传播延时计算方法基础
- 22. 如何进行标准化以及分配等效电阻
- 23. Logical Effort 基础
- 24. 反相器链传播延时
- 25、26. 传播延时计算
 - 皆可在课件中找到。
- 27. 尺寸优化
 - 均值不等式简单应用