

- *Avila, Jesus*
- *Gerez Jimenez, Juan Jose Armando*

Reporte de resultados obtenidos con el flujo OPENLANE

Secuencial 16 x 16

13-cts_sta-checks

Startpoint: mcand[3] (input port clocked by clk)

Endpoint: _497_ (rising edge-triggered flip-flop clocked by clk)

Path Group: clk

Path Type: max

Acá mide el tiempo que tarda el en cambiar la entrada del FF (presumiblemente del registro de salida)

– Config.json

```
{
  "DESIGN_NAME": "sequential_multiplier_16x16",
  "VERILOG_FILES": "dir::src/*.v",
  "CLOCK_PORT": "clk",
  "CLOCK_PERIOD": 10.0,
  "DESIGN_IS_CORE": true
}
```

– Área

Printing statistics.

=== sequential_multiplier_16x16 ===

Number of wires:	253
Number of wire bits:	314
Number of public wires:	14
Number of public wire bits:	75
Number of memories:	0
Number of memory bits:	0
Number of processes:	0
Number of cells:	280

sky130_fd_sc_hd__a211o_2	1
sky130_fd_sc_hd__a21bo_2	1
sky130_fd_sc_hd__a21boi_2	1
sky130_fd_sc_hd__a21o_2	2
sky130_fd_sc_hd__a21oi_2	12
sky130_fd_sc_hd__a221o_2	2
sky130_fd_sc_hd__a22o_2	7
sky130_fd_sc_hd__a2bb2o_2	1
sky130_fd_sc_hd__a31o_2	5
sky130_fd_sc_hd__a32o_2	1
sky130_fd_sc_hd__a41o_2	1
sky130_fd_sc_hd__and2_2	20
sky130_fd_sc_hd__and2b_2	1
sky130_fd_sc_hd__and3_2	5
sky130_fd_sc_hd__and4b_2	1
sky130_fd_sc_hd__buf_1	36
sky130_fd_sc_hd__dfxtp_2	40
sky130_fd_sc_hd__inv_2	7
sky130_fd_sc_hd__mux2_2	47
sky130_fd_sc_hd__nand2_2	17
sky130_fd_sc_hd__nor2_2	19
sky130_fd_sc_hd__nor3_2	1
sky130_fd_sc_hd__o211a_2	2
sky130_fd_sc_hd__o211ai_2	1
sky130_fd_sc_hd__o21a_2	6
sky130_fd_sc_hd__o21ai_2	6
sky130_fd_sc_hd__o221a_2	4
sky130_fd_sc_hd__o22a_2	2
sky130_fd_sc_hd__o2bb2a_2	1
sky130_fd_sc_hd__or2_2	16
sky130_fd_sc_hd__or2b_2	1
sky130_fd_sc_hd__or3_2	1
sky130_fd_sc_hd__or3b_2	1
sky130_fd_sc_hd__or4bb_2	1
sky130_fd_sc_hd__xnor2_2	4
sky130_fd_sc_hd__xor2_2	6

Chip area for module '\sequential_multiplier_16x16': 2822.707200

El área del circuito expresada en μm^2 es de $2822.707\mu\text{m}^2$

– **Velocidad**

("CLOCK_PERIOD": 10.0) * 16 ciclos = **160ns**

– **Potencia**

```
=====
report_power
=====
===== Typical Corner =====
```

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	2.63e-04	2.29e-04	3.38e-10	4.91e-04	45.8%
Combinational	3.89e-04	1.94e-04	7.29e-10	5.83e-04	54.2%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Total	6.52e-04	4.23e-04	1.07e-09	1.07e-03	100.0%
	60.7%	39.3%	0.0%		

Registros de Desplazamiento/Contador: Dado que el diseño es secuencial, la implementación podría implicar el uso de registros de desplazamiento o contadores para realizar el producto. La cantidad de bits necesarios en estos registros dependerá de la cantidad de bits requeridos para representar los valores de entrada y salida.

Se utilizan registros de 16 bits para mplier y mcand y registros de 32 bits para el producto. La señal "cnt_act" y "cnt_sig" necesitarán más bits ($\log_2(16) = 4$ bits) para contar hasta 16.

Estados de la Máquina de Estados Finitos (MEF): Si se utiliza una MEF para controlar el proceso secuencial, la cantidad de bits requeridos en el contador estará relacionada con la cantidad de estados en la MEF. La lógica combinacional asociada a la MEF también puede influir en la complejidad del diseño.

Los estados de la MEF irán de 0 a 15. La lógica combinacional asociada a la MEF se ajustará en consecuencia.

Secuencial 32 x 32

– Config.json

```
{
  "DESIGN_NAME": "sequential_multiplier_32x32",
  "VERILOG_FILES": "dir::src/*.v",
  "CLOCK_PORT": "clk",
  "CLOCK_PERIOD": 10.0,
  "DESIGN_IS_CORE": true
}
```

– Área

Printing statistics.

=== sequential_multiplier_32x32 ===

```
Number of wires:          444
Number of wire bits:      569
Number of public wires:   15
Number of public wire bits: 140
Number of memories:       0
Number of memory bits:    0
Number of processes:      0
Number of cells:          503
sky130_fd_sc_hd__a2111o_2 1
```

sky130_fd_sc_hd__a211o_2	2
sky130_fd_sc_hd__a21bo_2	4
sky130_fd_sc_hd__a21boi_2	5
sky130_fd_sc_hd__a21o_2	22
sky130_fd_sc_hd__a21oi_2	28
sky130_fd_sc_hd__a221o_2	35
sky130_fd_sc_hd__a2bb2o_2	1
sky130_fd_sc_hd__a311o_2	1
sky130_fd_sc_hd__a31o_2	5
sky130_fd_sc_hd__a31oi_2	1
sky130_fd_sc_hd__and2_2	22
sky130_fd_sc_hd__and2b_2	1
sky130_fd_sc_hd__and3_2	4
sky130_fd_sc_hd__and3b_2	1
sky130_fd_sc_hd__and4_2	3
sky130_fd_sc_hd__buf_1	43
sky130_fd_sc_hd__dfxtp_2	73
sky130_fd_sc_hd__inv_2	5
sky130_fd_sc_hd__mux2_2	29
sky130_fd_sc_hd__nand2_2	47
sky130_fd_sc_hd__nand3_2	1
sky130_fd_sc_hd__nor2_2	28
sky130_fd_sc_hd__nor3_2	2
sky130_fd_sc_hd__o211a_2	9
sky130_fd_sc_hd__o21a_2	37
sky130_fd_sc_hd__o21ai_2	13
sky130_fd_sc_hd__o21ba_2	1
sky130_fd_sc_hd__o221a_2	15
sky130_fd_sc_hd__o22a_2	1
sky130_fd_sc_hd__o311a_2	1
sky130_fd_sc_hd__o31a_2	3
sky130_fd_sc_hd__or2_2	27
sky130_fd_sc_hd__or2b_2	6
sky130_fd_sc_hd__or3_2	1
sky130_fd_sc_hd__or3b_2	2
sky130_fd_sc_hd__or4_2	1
sky130_fd_sc_hd__xnor2_2	15
sky130_fd_sc_hd__xor2_2	7

Chip area for module '\sequential_multiplier_32x32': 5213.750400

El área del circuito expresada en μm^2 es de 5213.7504 μm^2

– **Velocidad**

("CLOCK_PERIOD": 10.0) * 32 ciclos = **320ns**

– **Potencia**

```
=====
report_power
=====
```

===== Typical Corner =====

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	
Sequential	4.99e-04	4.58e-04	6.16e-10	9.56e-04	41.8%
Combinational	8.51e-04	4.82e-04	1.30e-09	1.33e-03	58.2%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
<hr/>					
Total	1.35e-03	9.40e-04	1.92e-09	2.29e-03	100.0%
	59.0%	41.0%	0.0%		

Registros de Desplazamiento/Contador: Similar al diseño de 16x16, pero con una mayor cantidad de bits en los registros debido al aumento en la anchura de los operandos.

Se utilizan registros de 32 bits para mplier, mcand y el producto. La señal "cnt_act" y "cnt_sig" necesitarán más bits ($\log_2(32) = 5$ bits) para contar hasta 32.

Estados de la MEF: La complejidad de la MEF podría aumentar con la mayor cantidad de bits en los operandos y el resultado.

Los estados de la MEF irán de 0 a 31. La lógica combinacional asociada a la MEF se ajustará en consecuencia.

Combinacional 16 x 16

– **Config.json**

```
{
  "DESIGN_NAME": "combinational_multiplier_16x16",
  "VERILOG_FILES": "dir::src/*.v",
  "CLOCK_PORT": "clk",
  "CLOCK_PERIOD": 20.0,
  "DESIGN_IS_CORE": true
}
```

Nota: Subimos el periodo del reloj ya que con 10.0ns el flujo fallaba

– **Área**

Printing statistics.

=== combinational_multiplier_16x16 ===

Number of wires:	1370
Number of wire bits:	1431
Number of public wires:	3
Number of public wire bits:	64
Number of memories:	0
Number of memory bits:	0
Number of processes:	0

Number of cells: 1399

sky130_fd_sc_hd__a211o_2	31
sky130_fd_sc_hd__a211oi_2	21
sky130_fd_sc_hd__a21bo_2	47
sky130_fd_sc_hd__a21boi_2	7
sky130_fd_sc_hd__a21o_2	104
sky130_fd_sc_hd__a21oi_2	47
sky130_fd_sc_hd__a221o_2	1
sky130_fd_sc_hd__a22o_2	68
sky130_fd_sc_hd__a22oi_2	33
sky130_fd_sc_hd__a2bb2o_2	4
sky130_fd_sc_hd__a311o_2	1
sky130_fd_sc_hd__a31o_2	15
sky130_fd_sc_hd__a31oi_2	5
sky130_fd_sc_hd__a32o_2	3
sky130_fd_sc_hd__a32oi_2	3
sky130_fd_sc_hd__and2_2	50
sky130_fd_sc_hd__and2b_2	38
sky130_fd_sc_hd__and3_2	54
sky130_fd_sc_hd__and3b_2	3
sky130_fd_sc_hd__and4_2	46
sky130_fd_sc_hd__and4b_2	5
sky130_fd_sc_hd__and4bb_2	8
sky130_fd_sc_hd__buf_1	94
sky130_fd_sc_hd__inv_2	13
sky130_fd_sc_hd__nand2_2	94
sky130_fd_sc_hd__nand2b_2	2
sky130_fd_sc_hd__nand3_2	92
sky130_fd_sc_hd__nand4_2	50
sky130_fd_sc_hd__nor2_2	68
sky130_fd_sc_hd__nor3_2	9
sky130_fd_sc_hd__nor3b_2	5
sky130_fd_sc_hd__nor4_2	3
sky130_fd_sc_hd__nor4b_2	1
sky130_fd_sc_hd__o2111a_2	2
sky130_fd_sc_hd__o211a_2	27
sky130_fd_sc_hd__o211ai_2	24
sky130_fd_sc_hd__o21a_2	17
sky130_fd_sc_hd__o21ai_2	18
sky130_fd_sc_hd__o21ba_2	20
sky130_fd_sc_hd__o21bai_2	4
sky130_fd_sc_hd__o22a_2	3
sky130_fd_sc_hd__o22ai_2	2
sky130_fd_sc_hd__o2bb2a_2	10
sky130_fd_sc_hd__o31a_2	3
sky130_fd_sc_hd__o31ai_2	1
sky130_fd_sc_hd__o32ai_2	1
sky130_fd_sc_hd__or2_2	33
sky130_fd_sc_hd__or2b_2	21
sky130_fd_sc_hd__or3_2	16
sky130_fd_sc_hd__or3b_2	5
sky130_fd_sc_hd__or4_2	3

```
sky130_fd_sc_hd__or4b_2      1
sky130_fd_sc_hd__or4bb_2    2
sky130_fd_sc_hd__xnor2_2    112
sky130_fd_sc_hd__xor2_2     49
```

Chip area for module '\combinational_multiplier_16x16': 13435.385600

El área del circuito expresada en μm^2 es de 13435.3856 μm^2

– Velocidad

```
=====
report_checks -unconstrained
=====
===== Typical Corner =====
```

```
Startpoint: mcand[10] (input port clocked by clk)
Endpoint: product[30] (output port clocked by clk)
Path Group: clk
Path Type: max
```

Fanout	Cap	Slew	Delay	Time	Description

	0.00	20.00	20.00		clock clk (rise edge)
		0.00	20.00		clock network delay (ideal)
		-0.25	19.75		clock uncertainty
		0.00	19.75		clock reconvergence pessimism
		-4.00	15.75		output external delay
			15.75		data required time

			15.75		data required time
			-10.75		data arrival time

			5.00		slack (MET)

– Potencia

```
=====
report_power
=====
===== Typical Corner =====
```

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	

Sequential	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Combinational	5.11e-04	5.78e-04	5.14e-09	1.09e-03	100.0%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%

Total	5.11e-04	5.78e-04	5.14e-09	1.09e-03	100.0%
	46.9%	53.1%	0.0%		

Sumadores Combinacionales: Para un multiplicador combinacional, el diseño implica la suma de productos. La cantidad de sumadores completos (FA) y la lógica combinacional asociada dependerán de la cantidad de bits en los operandos. Aumentar N implicará más bits en los operandos, lo que afectará la complejidad de la lógica combinacional.

Se realiza la multiplicación directa de 16x16 bits. La lógica combinacional dependerá de la implementación específica del multiplicador en el sintetizador, pero generalmente se esperan sumadores para cada bit en el resultado final.

Combinacional 32 x 32

– *Config.json*

```
{
  "DESIGN_NAME": "combinational_multiplier_32x32",
  "VERILOG_FILES": "dir::src/*.v",
  "CLOCK_PORT": "clk",
  "CLOCK_PERIOD": 20.0,
  "DESIGN_IS_CORE": true
}
```

Nota: Subimos el periodo del reloj ya que con 10.0ns el flujo fallaba

– *Área*

Printing statistics.

=== combinational_multiplier_32x32 ===

```
Number of wires:      5703
Number of wire bits:  5828
Number of public wires: 3
Number of public wire bits: 128
Number of memories:   0
Number of memory bits: 0
Number of processes:  0
Number of cells:      5764
sky130_fd_sc_hd__a2111o_2  1
sky130_fd_sc_hd__a2111oi_2 1
sky130_fd_sc_hd__a211o_2   167
sky130_fd_sc_hd__a211oi_2  170
sky130_fd_sc_hd__a21bo_2   167
sky130_fd_sc_hd__a21boi_2  18
sky130_fd_sc_hd__a21o_2    358
sky130_fd_sc_hd__a21oi_2   187
sky130_fd_sc_hd__a221oi_2  1
sky130_fd_sc_hd__a22o_2    357
sky130_fd_sc_hd__a22oi_2   96
```


sky130_fd_sc_hd__a2bb2o_2	11
sky130_fd_sc_hd__a2bb2oi_2	6
sky130_fd_sc_hd__a31o_2	54
sky130_fd_sc_hd__a31oi_2	9
sky130_fd_sc_hd__a32o_2	65
sky130_fd_sc_hd__a32oi_2	1
sky130_fd_sc_hd__a41o_2	11
sky130_fd_sc_hd__and2_2	165
sky130_fd_sc_hd__and2b_2	109
sky130_fd_sc_hd__and3_2	243
sky130_fd_sc_hd__and3b_2	15
sky130_fd_sc_hd__and4_2	165
sky130_fd_sc_hd__and4b_2	13
sky130_fd_sc_hd__and4bb_2	45
sky130_fd_sc_hd__buf_1	433
sky130_fd_sc_hd__inv_2	70
sky130_fd_sc_hd__mux2_2	1
sky130_fd_sc_hd__nand2_2	366
sky130_fd_sc_hd__nand3_2	334
sky130_fd_sc_hd__nand3b_2	3
sky130_fd_sc_hd__nand4_2	259
sky130_fd_sc_hd__nand4b_2	1
sky130_fd_sc_hd__nor2_2	194
sky130_fd_sc_hd__nor3_2	71
sky130_fd_sc_hd__nor3b_2	4
sky130_fd_sc_hd__nor4_2	22
sky130_fd_sc_hd__o211ai_2	1
sky130_fd_sc_hd__o211a_2	179
sky130_fd_sc_hd__o211ai_2	154
sky130_fd_sc_hd__o21a_2	63
sky130_fd_sc_hd__o21ai_2	76
sky130_fd_sc_hd__o21ba_2	29
sky130_fd_sc_hd__o21bai_2	16
sky130_fd_sc_hd__o22a_2	11
sky130_fd_sc_hd__o22ai_2	18
sky130_fd_sc_hd__o2bb2a_2	42
sky130_fd_sc_hd__o311a_2	1
sky130_fd_sc_hd__o311ai_2	3
sky130_fd_sc_hd__o31a_2	5
sky130_fd_sc_hd__o32a_2	2
sky130_fd_sc_hd__o32ai_2	2
sky130_fd_sc_hd__or2_2	168
sky130_fd_sc_hd__or2b_2	97
sky130_fd_sc_hd__or3_2	69
sky130_fd_sc_hd__or3b_2	11
sky130_fd_sc_hd__or4_2	23
sky130_fd_sc_hd__or4b_2	2
sky130_fd_sc_hd__or4bb_2	15
sky130_fd_sc_hd__xnor2_2	352
sky130_fd_sc_hd__xor2_2	232

Chip area for module '\combinational_multiplier_32x32': 55353.088000

El área del circuito expresada en μm^2 es de 55353.088 μm^2

– **Velocidad**

```
=====
report_checks -unconstrained
=====
===== Typical Corner =====
```

Startpoint: mplier[25] (input port clocked by clk)
Endpoint: product[63] (output port clocked by clk)
Path Group: clk
Path Type: max

Fanout	Cap	Slew	Delay	Time	Description

	0.00	20.00	20.00		clock clk (rise edge)
		0.00	20.00		clock network delay (ideal)
		-0.25	19.75		clock uncertainty
		0.00	19.75		clock reconvergence pessimism
		-4.00	15.75		output external delay
			15.75		data required time

			15.75		data required time
			-13.40		data arrival time

2.35 slack (MET)

– **Potencia**

```
=====
report_power
=====
===== Typical Corner =====
```

Group	Internal Power	Switching Power	Leakage Power	Total Power (Watts)	

Sequential	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Combinational	3.43e-03	4.11e-03	2.10e-08	7.54e-03	100.0%
Macro	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%
Pad	0.00e+00	0.00e+00	0.00e+00	0.00e+00	0.0%

Total	3.43e-03	4.11e-03	2.10e-08	7.54e-03	100.0%
	45.6%	54.4%	0.0%		

Sumadores Combinacionales: Similar al diseño de 16x16, pero con una mayor cantidad de bits en los operandos, lo que llevará a una mayor complejidad en la lógica combinacional.

En Resumen:

Diseño Secuencial (16 bits):

Área:

Registros de Desplazamiento/Contador: Un contador de 4 bits ($\log_2(16)$).

Máquina de Estados Finitos (MEF): La complejidad dependerá de la cantidad de estados. Aumenta con N.

Acumulador: La complejidad aumentará con N.

Velocidad:

Frecuencia de Reloj: Depende de la complejidad y la longitud de las rutas críticas.

Latencia: Determinada por la cantidad de estados en la MEF y la frecuencia de reloj.

Potencia:

Potencia Estática: Aumenta con la cantidad de flip-flops y la complejidad de la lógica.

Potencia Dinámica: Aumenta con la frecuencia de reloj y las transiciones de estado.

Diseño Combinacional (16 bits):

Área:

Sumadores Combinacionales: Depende de la implementación de la multiplicación. Pueden utilizarse sumadores completos, sumadores rápidos, etc.

Velocidad:

Frecuencia de Reloj: Depende de la complejidad de la lógica combinacional.

Latencia: Menor en comparación con el diseño secuencial.

Potencia:

Potencia Estática: Depende de la cantidad y tipo de compuertas en la lógica combinacional.

Potencia Dinámica: Depende de las transiciones de entrada y la frecuencia de reloj.

Diseño Secuencial (32 bits):

Área:

Registros de Desplazamiento/Contador: Un contador de 5 bits ($\log_2(32)$).

Máquina de Estados Finitos (MEF): La complejidad dependerá de la cantidad de estados. Aumenta con N.

Acumulador: La complejidad aumentará con N.

Velocidad:

Frecuencia de Reloj: Depende de la complejidad y la longitud de las rutas críticas.

Latencia: Determinada por la cantidad de estados en la MEF y la frecuencia de reloj.

Potencia:

Potencia Estática: Aumenta con la cantidad de flip-flops y la complejidad de la lógica.

Potencia Dinámica: Aumenta con la frecuencia de reloj y las transiciones de estado.

Diseño Combinacional (32 bits):

Área:

Sumadores Combinacionales: Depende de la implementación de la multiplicación.

Velocidad:

Frecuencia de Reloj: Depende de la complejidad de la lógica combinacional.

Latencia: Menor en comparación con el diseño secuencial.

Potencia:

Potencia Estática: Depende de la cantidad y tipo de compuertas en la lógica combinacional.

Potencia Dinámica: Depende de las transiciones de entrada y la frecuencia de reloj.

Nota:

Durante el flujo de las versiones secuencioales de 16 y 32 bits nos salio un warning sobre el fan-out:

```
report_checks -unconstrained
```

```
=====
===== Typical Corner =====
```

Startpoint: mcand[3] (input port clocked by clk)

Endpoint: _497_ (rising edge-triggered flip-flop clocked by clk)

Path Group: clk

Path Type: max

Fanout	Cap	Slew	Delay	Time	Description
--------	-----	------	-------	------	-------------

		0.00	0.00		clock clk (rise edge)
		0.00	0.00		clock network delay (propagated)
		2.00	2.00		v input external delay
	0.01	0.00	2.00		v mcand[3] (in)
1	0.00				mcand[3] (net)
	0.01	0.00	2.00		v input10/A (sky130_fd_sc_hd__clkbuf_2)
	0.09	0.14	2.15		v input10/X (sky130_fd_sc_hd__clkbuf_2)
3	0.02				net10 (net)
	0.09	0.00	2.15		v _296_/B (sky130_fd_sc_hd__or2_1)
	0.05	0.23	2.38		v _296_/X (sky130_fd_sc_hd__or2_1)
1	0.00				_090_ (net)
	0.05	0.00	2.38		v _297_/A3 (sky130_fd_sc_hd__a31o_1)
	0.04	0.23	2.61		v _297_/X (sky130_fd_sc_hd__a31o_1)
1	0.00				_091_ (net)
	0.04	0.00	2.61		v _298_/B1 (sky130_fd_sc_hd__a31o_1)
	0.10	0.25	2.86		v _298_/X (sky130_fd_sc_hd__a31o_1)
4	0.02				_092_ (net)
	0.10	0.00	2.86		v _337_/A1 (sky130_fd_sc_hd__a21oi_1)
	0.25	0.26	3.13		^ _337_/Y (sky130_fd_sc_hd__a21oi_1)
2	0.01				_127_ (net)
	0.25	0.00	3.13		^ _340_/A (sky130_fd_sc_hd__nor2_1)
	0.11	0.15	3.28		v _340_/Y (sky130_fd_sc_hd__nor2_1)
4	0.01				_130_ (net)
	0.11	0.00	3.28		v _357_/B1 (sky130_fd_sc_hd__o221a_1)
	0.10	0.32	3.60		v _357_/X (sky130_fd_sc_hd__o221a_1)
4	0.01				_145_ (net)
	0.10	0.00	3.60		v _377_/B1 (sky130_fd_sc_hd__o221a_2)
	0.08	0.33	3.93		v _377_/X (sky130_fd_sc_hd__o221a_2)
5	0.02				_163_ (net)

```

0.08 0.00 3.93 v _399_/B1 (sky130_fd_sc_hd__o221a_1)
0.08 0.29 4.22 v _399_/X (sky130_fd_sc_hd__o221a_1)
4 0.01 _183_ (net)
0.08 0.00 4.22 v _414_/B (sky130_fd_sc_hd__or3b_1)
0.07 0.38 4.60 v _414_/X (sky130_fd_sc_hd__or3b_1)
1 0.00 _196_ (net)
0.07 0.00 4.60 v _415_/A3 (sky130_fd_sc_hd__a32o_1)
0.04 0.27 4.87 v _415_/X (sky130_fd_sc_hd__a32o_1)
1 0.00 _197_ (net)
0.04 0.00 4.87 v _416_/B (sky130_fd_sc_hd__and2_1)
0.04 0.16 5.03 v _416_/X (sky130_fd_sc_hd__and2_1)
1 0.00 _198_ (net)
0.04 0.00 5.03 v _417_/A (sky130_fd_sc_hd__clkbuf_1)
0.03 0.09 5.13 v _417_/X (sky130_fd_sc_hd__clkbuf_1)
1 0.00 _018_ (net)
0.03 0.00 5.13 v _497_/D (sky130_fd_sc_hd__dfxtp_1)
5.13 data arrival time

10.00 10.00 clock clk (rise edge)
0.00 10.00 clock source latency
0.15 0.10 10.10 ^ clk (in)
1 0.03 clk (net)
0.15 0.00 10.10 ^ clkbuf_0_clk/A (sky130_fd_sc_hd__clkbuf_16)
0.08 0.18 10.28 ^ clkbuf_0_clk/X (sky130_fd_sc_hd__clkbuf_16)
4 0.06 clknet_0_clk (net)
0.08 0.00 10.29 ^ clkbuf_2_2__f_clk/A (sky130_fd_sc_hd__clkbuf_16)
0.08 0.16 10.45 ^ clkbuf_2_2__f_clk/X (sky130_fd_sc_hd__clkbuf_16)
14 0.06 clknet_2_2__leaf_clk (net)
0.08 0.00 10.45 ^ _497_/CLK (sky130_fd_sc_hd__dfxtp_1)
-0.25 10.20 clock uncertainty
0.00 10.20 clock reconvergence pessimism
-0.10 10.11 library setup time
10.11 data required time

```

```

-----
10.11 data required time
-5.13 data arrival time
-----

```

```

4.98 slack (MET)

```

```

=====
report_checks --slack_max -0.01
=====
===== Typical Corner =====

```

No paths found.

```

=====
report_check_types -max_slew -max_cap -max_fanout -violators

```

```
=====
===== Typical Corner =====
```

max fanout

Pin	Limit Fanout	Slack
clkbuf_2_2__f_clk/X	10	14 -4 (VIOLATED)

```
=====
report_parasitic_annotation -report_unannotated
=====
```

Found 0 unannotated drivers.
Found 0 partially unannotated drivers.

```
=====
max slew violation count 0
max fanout violation count 1
max cap violation count 0
=====
```

```
=====
check_setup -verbose -unconstrained_endpoints -multiple_clock -no_clock -no_input_delay -loops
-generated_clocks
=====
```

El informe proporciona información sobre el análisis de restricciones de temporización, capacidad y fan-out durante el flujo de OpenLane.

Fan-out Report:

- El fan-out se refiere al número de entradas que una salida de un componente lógico alimenta. Un alto fan-out puede afectar la velocidad de propagación de la señal.
- En el informe, el componente "clkbuf_2_2__f_clk/X" muestra un fan-out de 14, que supera el límite de 10 establecido como máximo. Esto indica que la señal de salida de este componente se está distribuyendo a más de 10 destinos, lo cual puede impactar la calidad de la señal y la temporización.

Impacto posible Solución:

- Un alto fan-out puede aumentar la carga en el componente que genera la señal, lo que puede afectar negativamente la velocidad de propagación y la estabilidad de la señal.
- Para resolver este problema, se podría considerar agregar un buffer adicional o distribuir la señal de manera más eficiente, dividiendo la carga entre varios buffers.
- Ajustar el diseño para reducir el fan-out puede ayudar a mejorar la calidad de la señal y abordar problemas potenciales de temporización.

Otros Aspectos:

- El informe también proporciona información sobre slack, que indica el margen de tiempo disponible para cumplir con las restricciones de temporización. Un valor positivo indica un margen adicional, mientras que un valor negativo indica una violación de temporización.