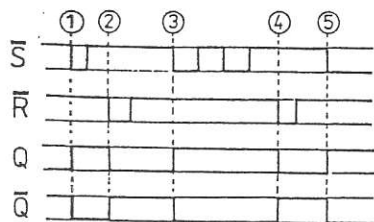


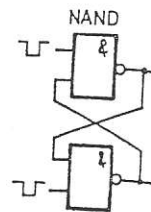
Bistabilní R-S klopný obvod



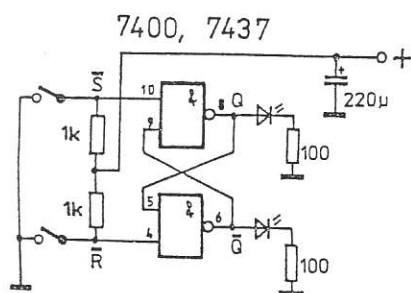
Obr. 2.6 Časový průběh vstupních a výstupních signálů bistabilního klopného obvodu z členů NAND. Řídící úroveň je L.

Klopný obvod NAND			
S	R	Q	\bar{Q}
L	L	H	H
L	H	H	L
H	L	L	H
H	H	nemění stav	

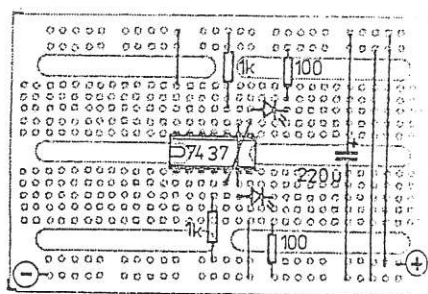
Tab. č.15 Pravdivostní tabulka R-S klopného obvodu s logickými členy NAND. Obvod se řídí úrovní L. Na prvním řádku je zakázaný stav.



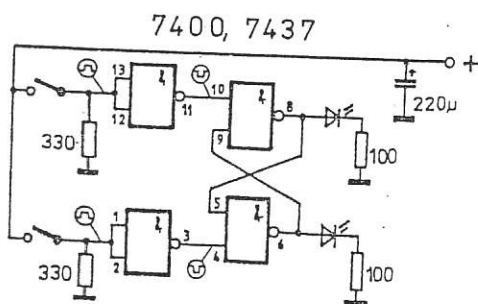
Způsob značení řídicí úrovně klopného obvodu z členů NAND pomocí značky na vstupu. Znárodně řídicí úroveň L.



Obr. 2.7 Ověření funkce bistabilního klopného obvodu s členy NAND při použití obvodu 7437 nebo 7400. Sepnutím spínače se přivede na vstup úroveň L.



Obr. 2.9 Roznístění součástek na desce kontaktního pole pro ověření funkce bistabilního klopného obvodu s hradly NAND z obr. 2.7.



Obr. 2.10 Ověření funkce bistabilního klopného obvodu s členy NAND doplněného invertory na vstupech.

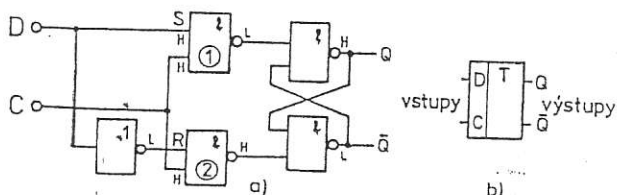
NAND			
S	R	Q	\bar{Q}
H	L		
L	L		
L	H		
L	L		

Tab. č.17 Pravdivostní tabulka R-S klopného obvodu k pokusu z obr. 2.10. Vstupní úrovně na druhém a čtvrtém řádku jsou stejné. Odpovídají tomu také výstupní úrovně?

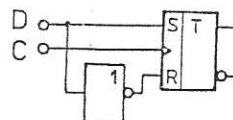
Co všechno máme vědět o klopných obvodech:

- Klopný obvod typu D má jeden datový vstup D a řídí se hodinovým signálem na vstupu C.
- Klopný obvod typu J-K má dva vstupy J, K a řídí se rovněž signálem na hodinovém vstupu C.
- Vlastní činnost klopných obvodů i jejich ovládání se různí a závisí na konstrukci jednotlivých integrovaných obvodů TTL.
- Vstupní informace se přenáší:
 - a) po celou dobu trvání hodinového impulsu s úrovní H - u 7475
 - b) pouze v době náběžné hrany impulsu - u 7474
 - c) s týlovou hranou hodinového impulsu - u 7472
- Vstupy R, S pokud jsou vyvedeny, mají při logických operacích prioritu před všemi ostatními vstupy.
- Klopné obvody nalézají použití v posuvných registrech, čítačích, dělících kmitočtu a paměťových členech.

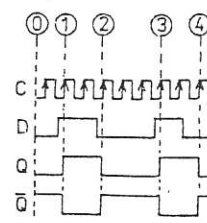
Klopný obvod typu D



Obr. 4.2 a) Blokové schéma klopného obvodu D odvozené z R-S KO předřazením dvou hradel NAND a invertoru. b) Schématický znak KO D, symbol D = data, C = clock.



Obr. 4.3 Blokové znázornění KO D, připomínající původ R-S KO. Invertor zabráňuje neurčitěmu stavu.

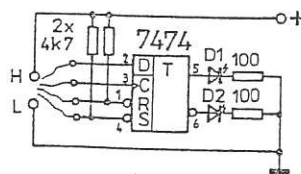
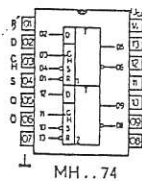
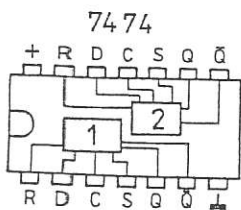


Obr. 4.4 Časový diagram znázorňující činnost klopného obvodu D. Informace ze vstupu D se s čelem impulsu přesune na výstup.

Integrovaný logický obvod 7474 jako klopný obvod D

U logického obvodu 7474 používáme následující symboly:

- R - vstup RESET (nulování)
- D - vstup DATA (vstupní signál ze snímače nebo jiného obvodu)
- C - vstup CLOCK (hodinový nebo taktovací signál)
- S - vstup SET (nastavení)
- Q - výstup
- \bar{Q} - výstup negovaný



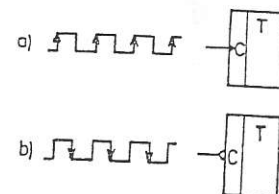
Obr. 4.6 Zapojení jedné poloviny 7474 pro zkoušku činnosti klopného obvodu D.

Tab. 28 Pravdivostní tabulka klopného obvodu D - funkce vstupů R, S u obvodu 7474.

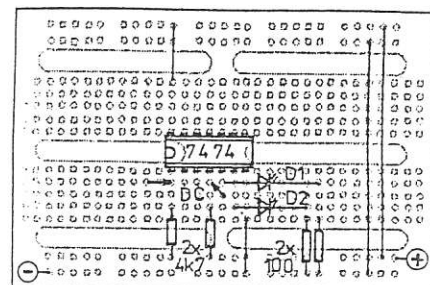
Pin	1	4	5	6
R	S	Q	\bar{Q}	
H	L	H	L	
H	H	H	L	
L	H	L	H	
H	H	L	H	

Tab. 29 Pravdivostní tabulka klopného obvodu D - funkce vstupů D, C u obvodu 7474.

Pin	2	3	5	6
D	C	Q	\bar{Q}	
L	L	L	H	
H	L	L	H	
H	H	H	L	
L	H	H	L	
L	L	H	L	
L	H	L	H	

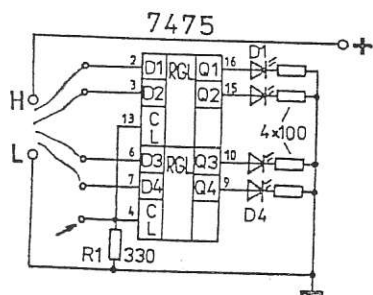


Obr. 4.7 Způsob doplňujícího značení hodinového vstupu C. Šipka u vstupu znázorňuje spouštění KO čelní nebo týlovou hranou impulsu.



Obr. 4.8 Rozmístění součástek na kontaktním poli pro zkoušení obvodu 7474. Šipky značí místa, kam se přivádějí logické úrovně.

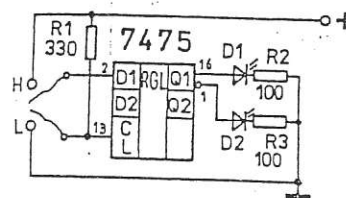
Integrovaný obvod 7475 jako klopný obvod D



Obr. 4.15 Schéma zapojení 7475 jako čtyřnásobného paměťového registru.

Pin	4	2	3	6	7	16	15	10	9
C	D1	D2	D3	D4	Q1	Q2	Q3	Q4	
1	H	L	L	L	L	L	L	L	
2	L	L	L	L	L	L	L	L	
3	L	H	L	L	L	L	L	L	
4	H	H	L	L	L	L	L	L	
5	L	H	L	L	L	L	L	L	
6	L	H	L	H	L	L	L	L	
7	H	H	L	H	L	L	L	L	
8	L	H	L	H	L	L	L	L	
9	L	L	H	L	H	L	L	L	
10	H	L	H	L	H	L	L	L	
11	L	L	H	L	H	L	L	L	
12	L	H	H	H	H	L	L	L	
13	H	H	H	H	H	H	L	L	
14	L	H	H	H	H	H	H	L	
15	L	L	L	L	L	H	H	L	
16	H	L	L	L	L	L	L	L	
17	L	H	H	H	H	L	L	L	

Tab. 31 Pravdivostní tabulka paměťového registru 7475 k obr. 4.15.

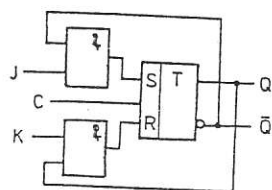


Obr. 4.12 Schéma zapojení jedné čtvrtiny 7475 pro funkční zkoušku KO.

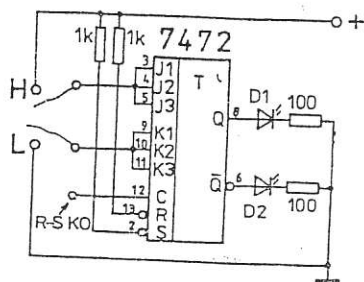
Pin	2	13	16	1
D	C	Q	\bar{Q}	
1	L	H	L	H
2	L	L	L	H
3	H	L	L	H
4	H	H	L	L
5	L	H	L	H
6	H	H	L	L
7	L	H	L	H
8	L	L	L	H
9	H	L	L	H

Tab. 30 Pravdivostní tabulka KO D obvodu 7475 - funkce vstupů D, C.

Integrovaný obvod 7472 jako dvojitý klopný obvod J-K



Obr. 4.18 Blokové schéma klopného obvodu J-K odvozeného z R-S KO pomocí hradel AND.

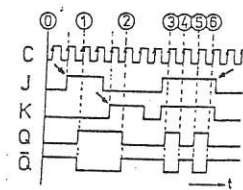
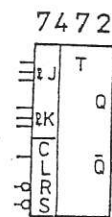


Obr. 4.23 Schéma zapojení 7472 pro zjišťování vlastností obvodu.

Obr. 4.21 Schématický znak dvojitý J-K KO 7472. V levé části nahoře jsou společně značeny tři vstupy J a tři vstupy K.

Pin	3	9	13	2	12	8	6
J	K	S	R	C	Q	\bar{Q}	
1	L	L	H	H	L	L	H
2	L	L	H	H	H	L	H
3	L	L	H	H	L	L	H
4	L	L	H	H	H	L	H
5	H	H	H	H	L	L	H
6	H	H	H	H	L	L	L
7	H	H	H	H	H	L	L
8	H	H	H	H	L	L	L
9	H	H	H	H	H	L	L
10	H	H	H	H	L	L	L

Tab. 4.33 Pravdivostní tabulka KO J-K obvodu 7472 - činnost vstupů J, K.



Obr. 4.19 Časový diagram KO J-K. Pro správnou činnost se vyžaduje u vstupních signálů doba předstihu i doba přesahu - označeno šipkami.

Pin	3	9	13	2	12	8	6
J	K	S	R	C	Q	\bar{Q}	
1	L	L	H	H	L	L	H
2	L	L	H	H	L	L	H
3	L	L	H	H	L	L	H
4	L	L	H	H	H	L	L
5	L	H	H	H	L	L	L
6	L	H	H	H	L	L	L
7	L	H	L	H	H	L	L

Tab. 32 Pravdivostní tabulka KO J-K obvodu 7472 - činnost prioritních vstupů S, R.