



Laboratorio de Fundamentos de Computadores 1

Práctica 5:

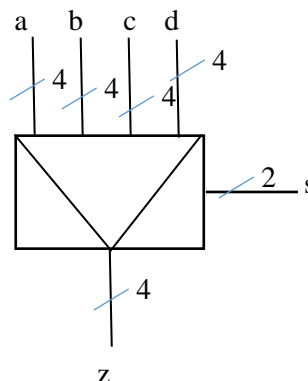
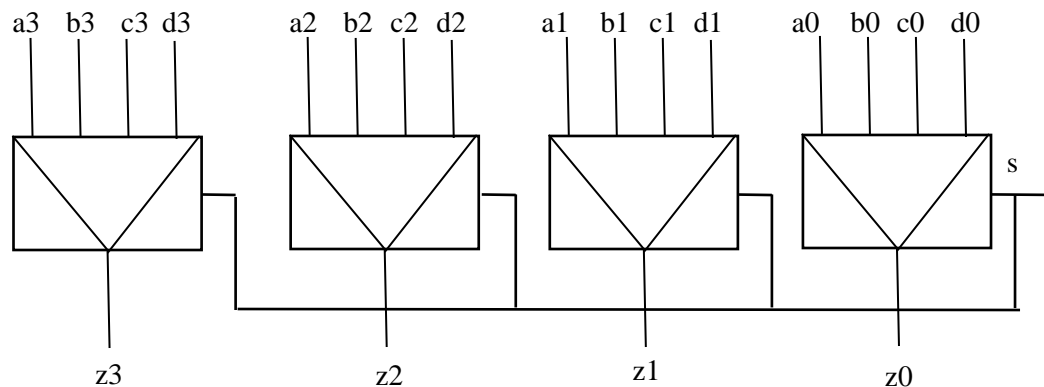
Diseño con VHDL y simulación mediante Modelsim de un banco de 4 registros de 4 bits de anchura

El objetivo de esta práctica es diseñar con VHDL y simular mediante Modelsim un banco de cuatro registros de 4 bits de anchura. Al alumno se le proporcionan los siguientes archivos:

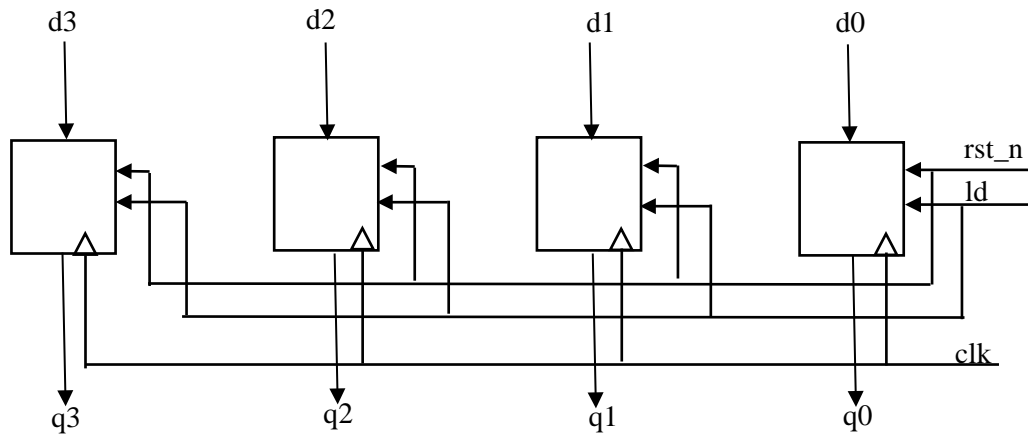
- decodificador2a4.vhd: descripción de comportamiento de un decodificador de 2 a 4.
- biestable.vhd: descripción estructural del biestable ya usada en la práctica 4.
- multiplexor4a1.vhd: descripción estructural del multiplexor4a1 ya usada en la práctica 4.

Desarrollo de la práctica.

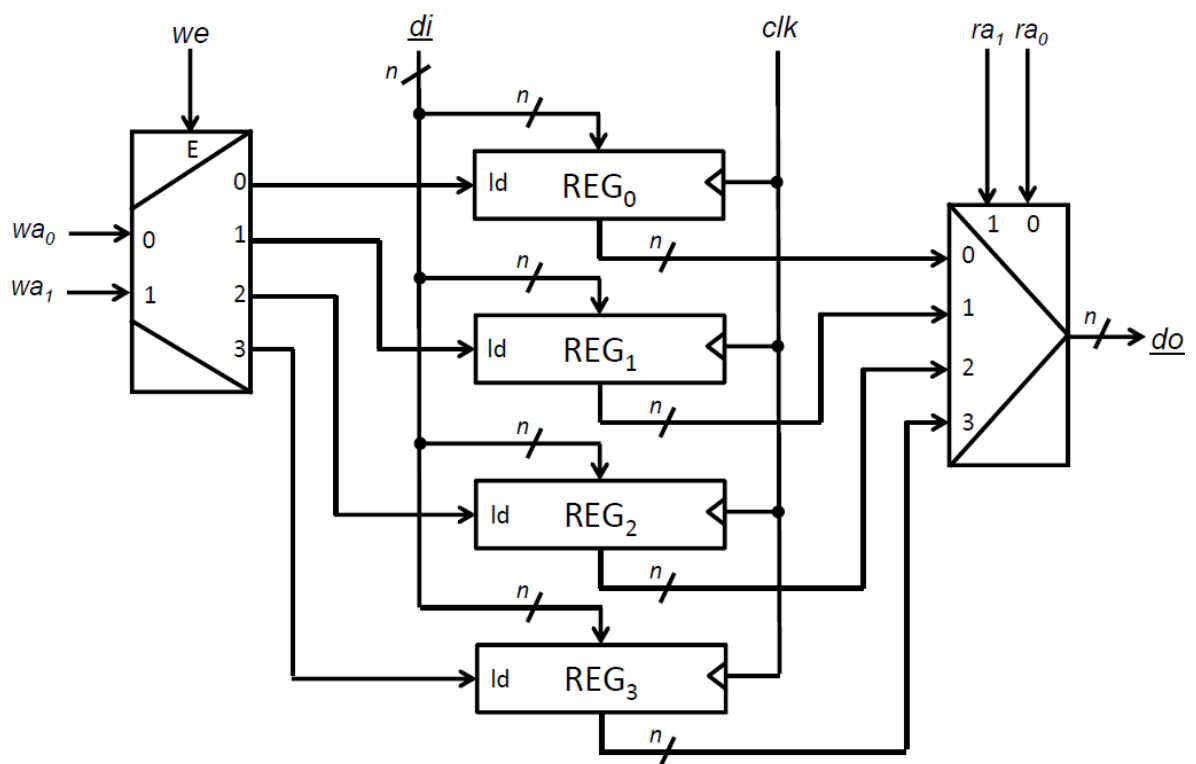
1.-Diseño y simulación de un multiplexor vectorial de 4 a 1 con una anchura de 4 bits. Utilizar el componente incluido en el archivo multiplexor4a1 para diseñar el multiplexor vectorial con buses de 4 bits. Implementar un archivo input_signals.do para simularlo. En las siguientes imágenes se puede ver su estructura y su símbolo:

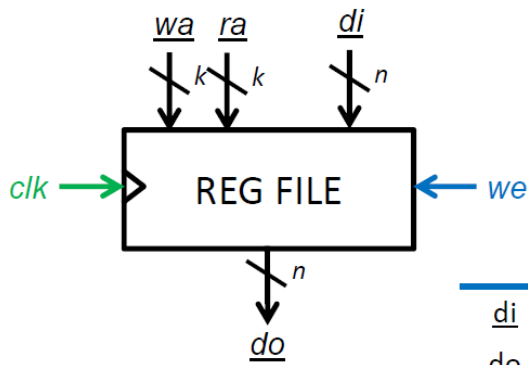


2.- Diseño y simulación de un registro de carga paralela de anchura 4 bits. Utiliza como componente el biestable suministrado para implementar la estructura que aparece a continuación:



3.- Utilizando los diseños de los apartados 1 y 2 y el archivo decodificador como componentes, implementar el siguiente banco de registros.





<u>di</u>	1 entrada de datos de n bits
<u>do</u>	1 salida de datos de n bits
<u>wa</u>	1 entrada de dirección de escritura de k bits
<u>ra</u>	1 entrada de dirección de lectura de k bits
<u>we</u>	1 entrada de capacitación de escritura
<u>clk</u>	1 entrada de reloj

Para las tres partes de la práctica el alumno debe entregar un archivo input_signals.do que demuestre que los diseños son correctos para todas las posibles entradas. Por ejemplo, para el multiplexor, el input_signals_mux.do debe simular un comportamiento en el que la señal de control s selecciona todas y cada una de las entradas y las señales de entrada deben ser diferentes:

Señal	Valor en t1	Valor en t2	Valor en t3	Valor en t4
s	0	1	2	3
a	4	4	4	4
b	5	5	5	5
c	6	6	6	6
d	7	7	7	7
z	7	6	5	4