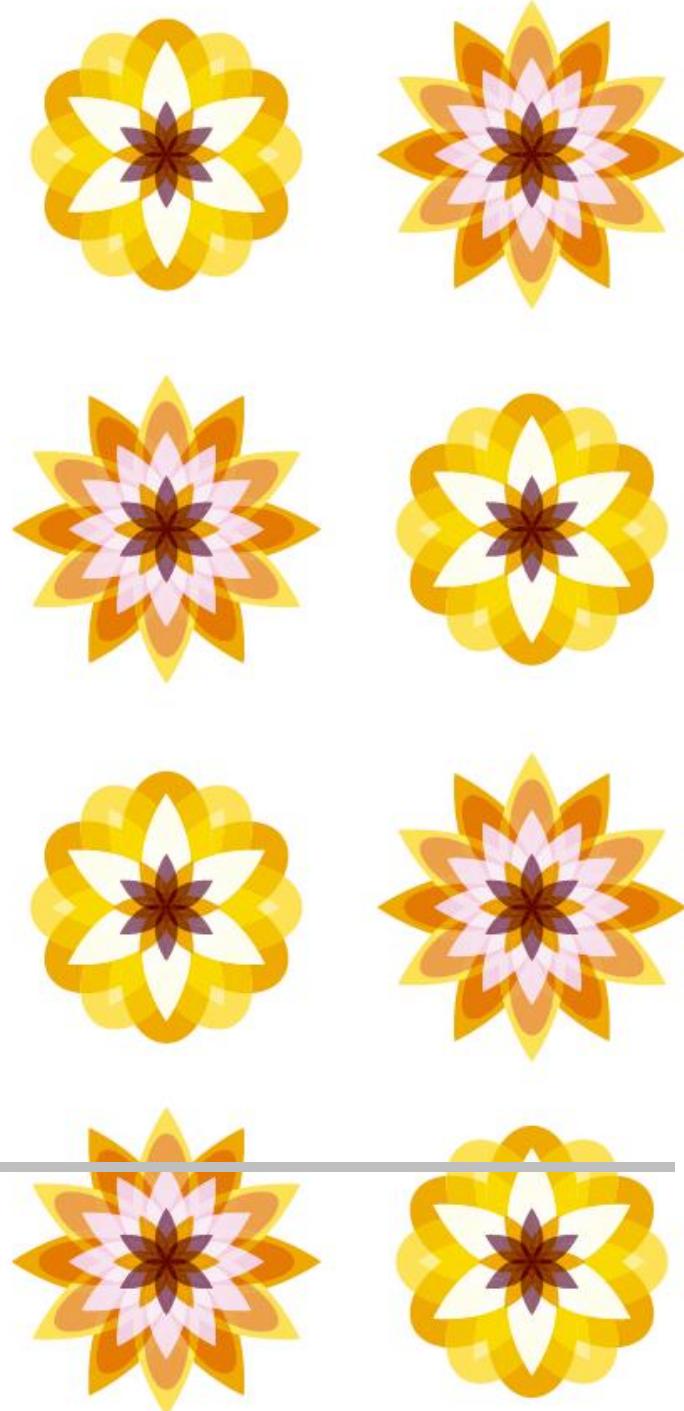


Chapter 03

Layout Simulation & EM Cosimulation



1. Linecalc를 이용한 전송 선로 설계

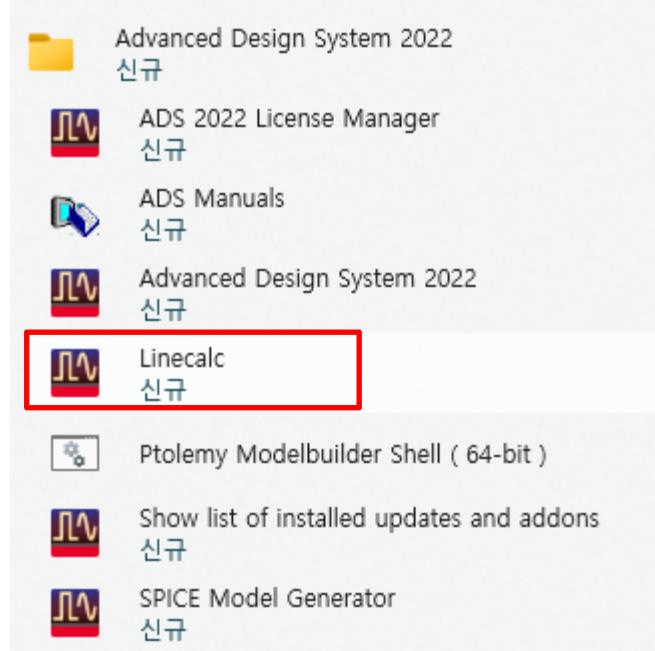
- ADS는 특정 구조의 전송 선로에 대한 특성 임피던스(characteristic impedance), 손실(loss), 유효 유전 상수(effective dielectric constant) 등을 계산해주는 도구를 제공한다.
- 이 도구의 이름은 Linecalc이며, 대표적인 전송 선로인 마이크로스트립 라인 (microstrip line), 스트립라인(stripline), 코플래너 도파관 (coplanar waveguide: CPW), 동축 케이블 (coaxial cable), 구형 도파관 (rectangular waveguide) 등의 전송 선로의 특성을 손쉽게 해석하고 설계할 수 있다.

1. Linecalc를 이용한 전송 선로 설계

- 인쇄 회로 기판(printed circuit board: PCB) 또는 실리콘(silicon), 갈륨비소(GaAS), 질화갈륨(GaN) 등의 반도체 기판에 구현되는 전송 선로는 평판 구조(planar structure)이다.
- 평판 전송 선로(planar transmission line)는 마이크로스트립 라인, 스트립라인, 코플래너 도파관등이 대표적이다.
- 이 장에서는 평판 전송 선로의 대표격인 마이크로스트립 라인을 사용하여 RF/마이크로파 회로를 해석하고 설계하는 방법을 설명한다.

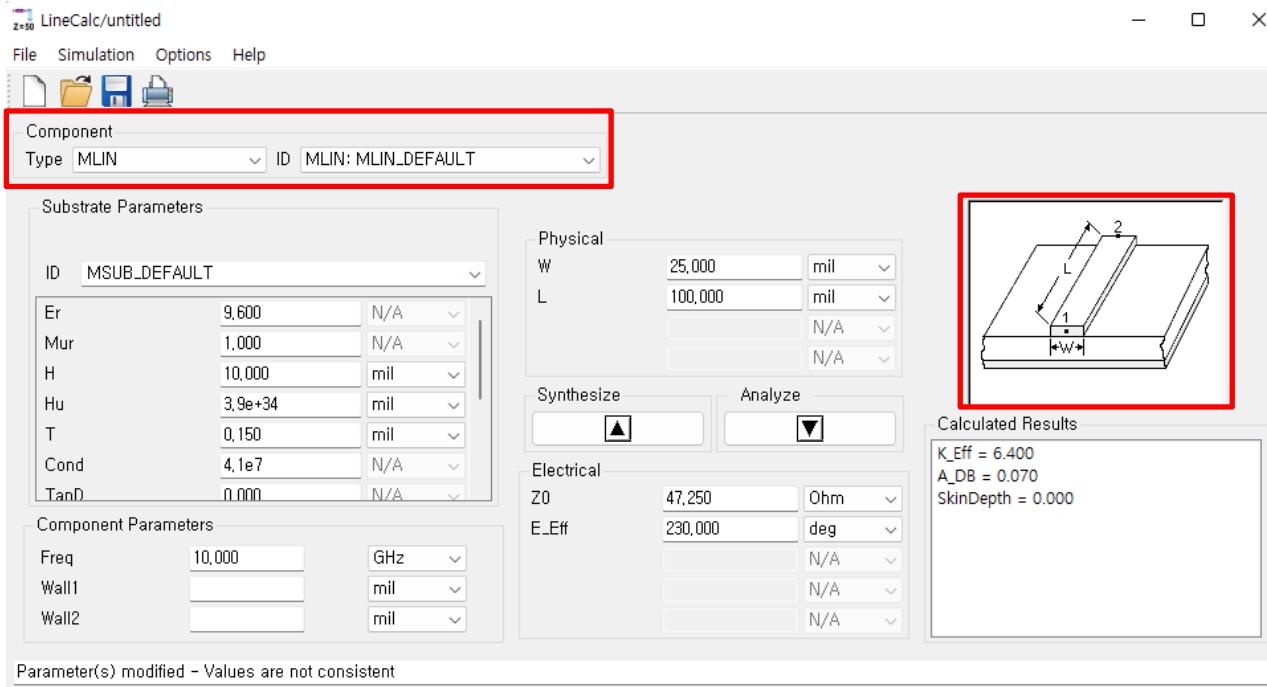
1. Linecalc를 이용한 전송 선로 설계

- Linecalc는 그림에 보인 바와 같이 윈도우즈 운영체제에 있는 시작 메뉴의 "Advanced Design System 2021 Update 2" 폴더 밑에 실행 아이콘이 있다.



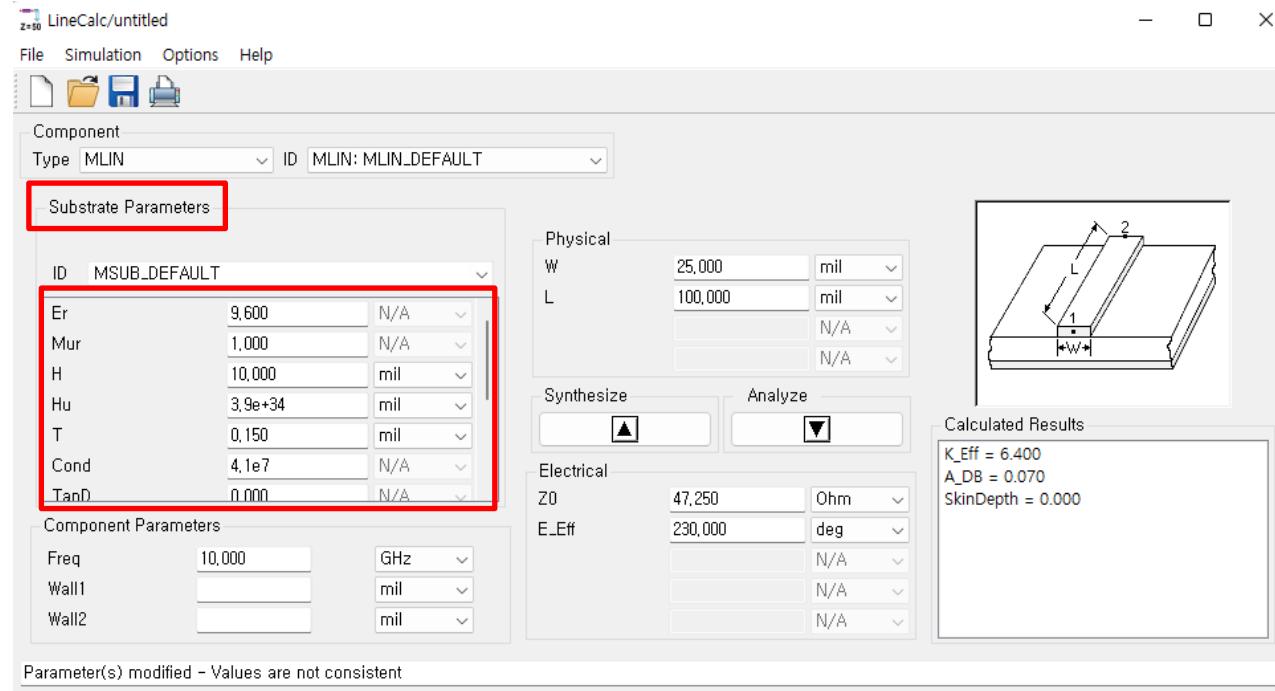
1. Linecalc를 이용한 전송 선로 설계

- 이 아이콘을 클릭하면 그림에 보인 바와 같이 Linecalc 윈도우가 팝업된다.
- Linecalc 윈도우 상단에 “Component” 메뉴의 “Type” 풀다운 메뉴를 클릭하면 원하는 전송 선로 구조를 선택할 수 있다.
- 그림에 보인 Linecalc 윈도우에는 “MLIN”이 선택되어 있다.
- MLIN은 앞서 언급한 바와 같이 마이크로스트립 라인(microstrip line)의 약자이며, MLIN의 구조가 Linecalc 윈도우 오른쪽에 보인다.



1. Linecalc를 이용한 전송 선로 설계

- 이 장에서는 마이크로스트립 라인을 사용하여 전송 선로 회로를 해석하고 설계 하려고 한다.
- 따라서 "Component" 메뉴의 "Type" 풀다운 메뉴를 변경할 필요는 없다.
- Linecalc는 사용자가 입력해야 하는 "Substrate Parameters"가 그림의 좌측 상단에 적색 박스로 표시된 것과 같이 있다.

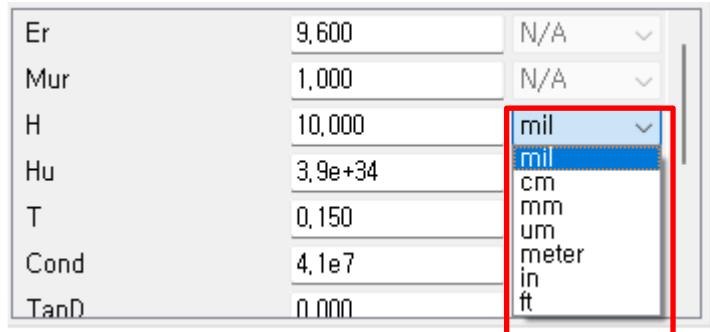


1. Linecalc를 이용한 전송 선로 설계

- 기판의 다양한 파라미터는 기판 제조사로부터 제공되는 것이 일반적이다.
- "Er"은 기판(substrate)의 상대 유전율 (relative permittivity) 또는 유전 상수 (dielectric constant)이다.
- "Mur"은 기판의 상대 투자율(relative permeability)인데, 보통의 경우 전송 선로를 설계하는 기판은 비자성 물질(nonmagnetic material)이므로 1이 된다.
- "H"는 기판의 두께이고, "Hu"는 기판에 뚜껑이 있는 경우 기판의 표면으로부터의 높이를 의미하는데, 보통의 경우 기판의 뚜껑은 없기 때문에 매우 큰 숫자인 "3.9e+34"를 그대로 유지한다.
- "T"는 기판의 도체(conductor) 두께이고, "Cond"는 도체의 전도도 (conductivity)를 의미한다.
- "TanD"는 기판의 유전체 손실을 손실 탄젠트(loss tangent)로 표시한 값이다.
- 그림의 적색 박스에 포함되지 않은 "Rough, DielectricLossModel, FreqForEpsrTanD, LowFreqForTanD, HighFreqForTanD" 항목은 기판 제조사가 별도로 값을 제공하지 않는 이상 Linecalc에서 제공하는 default 값을 유지한다.

1. Linecalc를 이용한 전송 선로 설계

- "Substrate Parameters"의 각 파라미터는 단위가 있는 것과 없는 것으로 구분할 수 있다.
- 단위가 없는 파라미터의 경우 해당 항목 우측에 "N/A"라고 표시되어 있다.
- "N/A"는 보통 Not Applicable의 약자이다.
- 단위 표시가 필요한 파라미터의 경우 그림에 보인 바와 같이 단위를 선택할 수 있다.



1. Linecalc를 이용한 전송 선로 설계

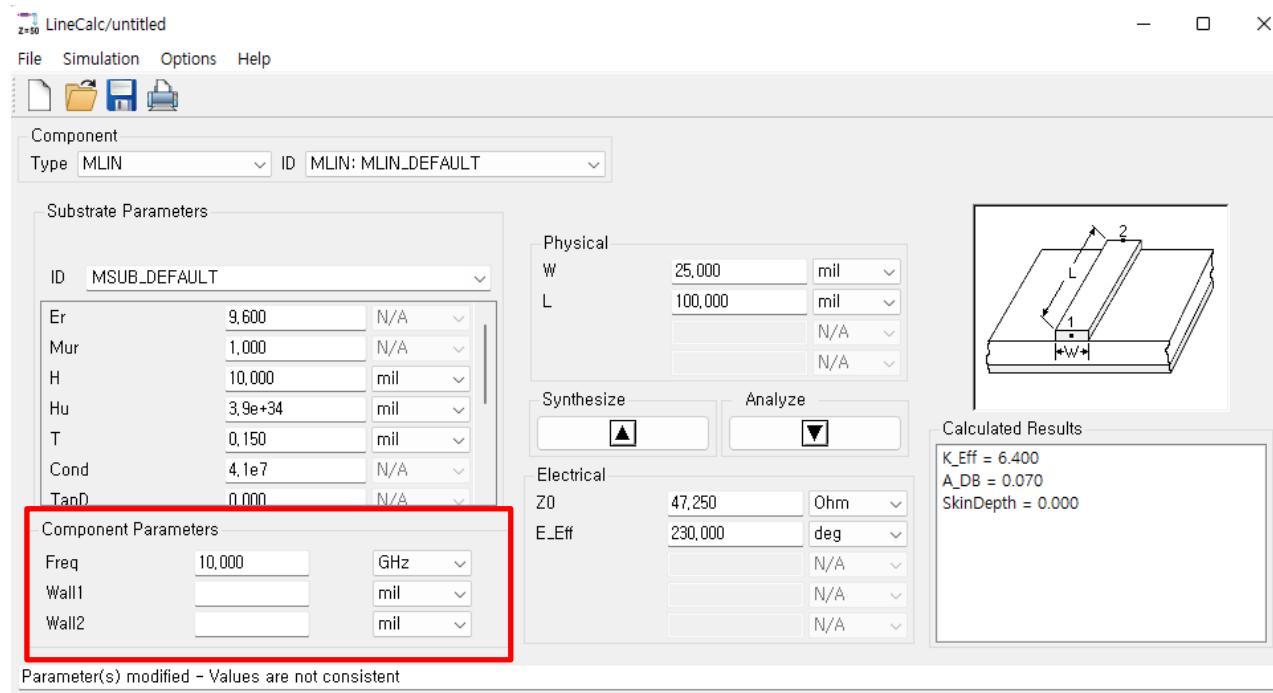
- “Substrate Parameters”에서 단위가 필요한 항목은 길이를 표시하는 항목이기 때문에 다양한 길이 단위를 선택할 수 있다.
- 많이 쓰이는 기판의 길이 단위는 “mil”, “mm”, “um”이다.
- 단위 환산표는 표에 보인 바와 같다.

단위	환산값	비고
mil	10^{-3} inch	1 inch = 2.54 cm
mm	10^{-3} m	
um	10^{-6} m	

- 표에 보인 “mil” 단위는 다소 생소한 단위일 수 있다.
- 하지만, 미터법을 사용하지 않는 미국의 기판 제조업체의 기판규격에 쓰이는 단위이기 때문에 회로 개발자는 반드시 알아두어야 하는 단위이다.

1. Linecalc를 이용한 전송 선로 설계

- 그림 3-4의 좌측 하단에 적색 박스로 표시된 "Component Parameters"에는 주파수를 입력할 수 있는 "Freq" 항목이 단위를 선택할 수 있는 풀다운 메뉴와 함께 주어져 있다.
- "Wall1"과 "Wall2"는 기판의 양쪽에 금속 벽이 있을 경우 거리를 표시할 수 있지만, 보통의 경우 금속 벽은 없기 때문에 공란으로 둔다.



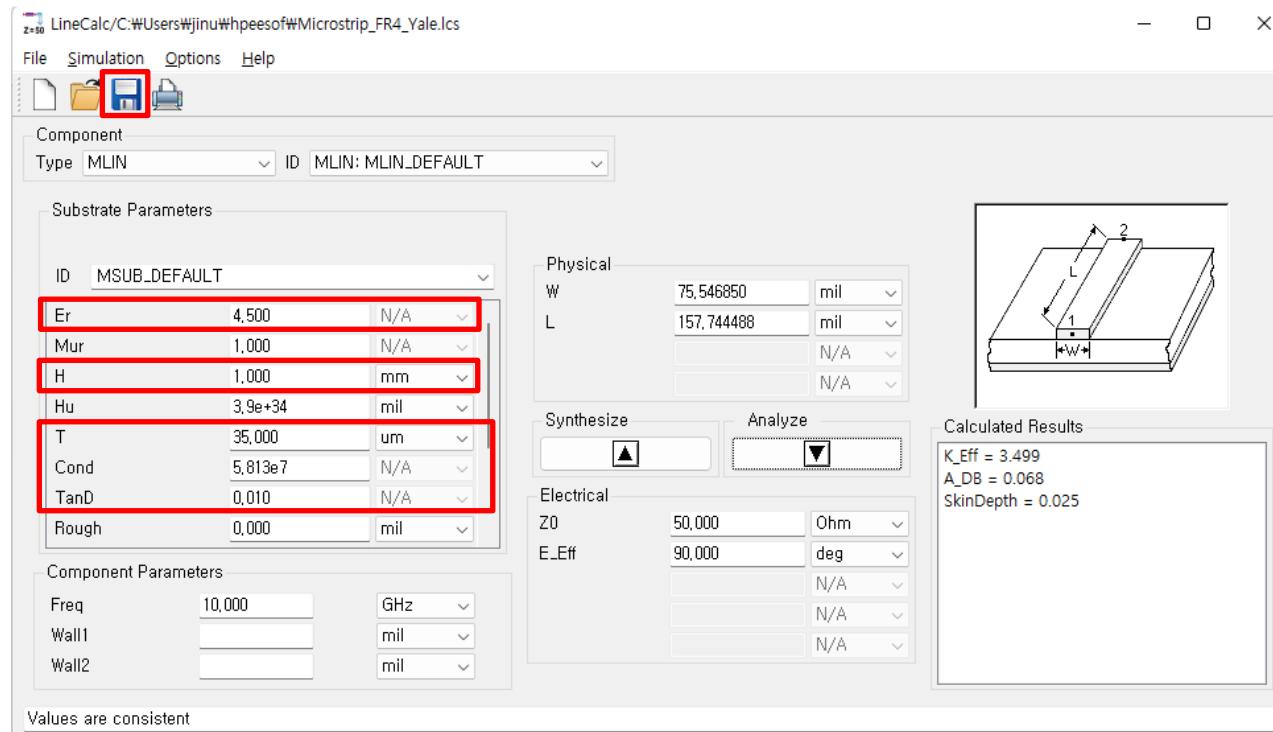
1. Linecalc를 이용한 전송 선로 설계

- FR4 기판은 PCB 제조에 매우 많이 쓰이는 기판이다.
- 본 강좌에서 FR4 2층 기판의 "Substrate Parameters"는 별다른 언급이 없는 한 표에 주어진 값을 사용하기로 한다.

기판 파라미터(Substrate Parameters)	파라미터 값	비고
상대 유전율 ($\epsilon_r = "Er"$)	4.5	FR4
기판 두께 (Substrate thickness = "H")	1000 μm	FR4
손실 탄젠트 (loss tangent = "TanD")	0.01	FR4
도체 전도도 (conductivity = "Cond")	$5.813 \times 10^7 \text{ S/m}$	구리 (copper)
도체 두께 (Thickness = "T")	35 μm	

1. Linecalc를 이용한 전송 선로 설계

- FR4 기판위에 구리를 도체로 사용하는 상용 기판의 파라미터를 그림과 같이 편집하고, 마이크로스트립 라인을 설계해본다.



1. Linecalc를 이용한 전송 선로 설계

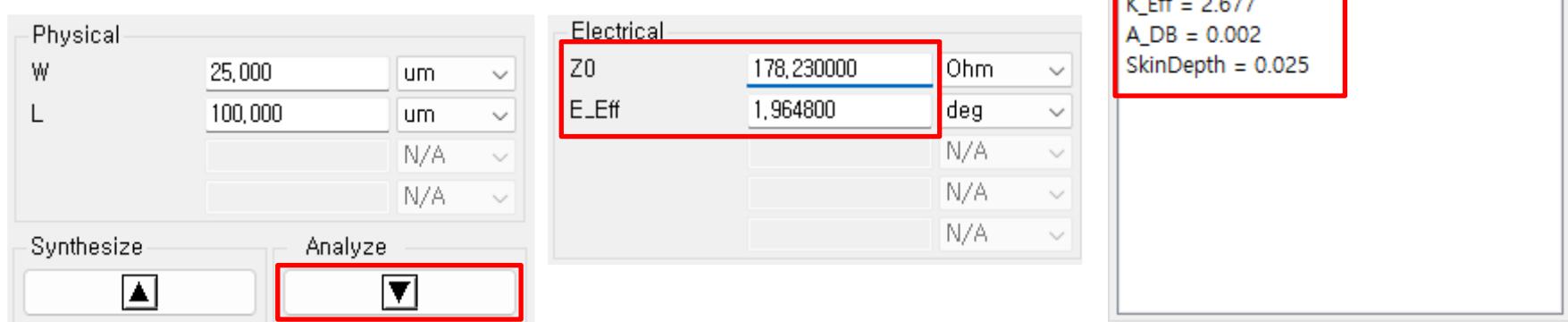
- 앞 장의 그림에 보인 바와 같이, 제조사가 제공하는 기판의 파라미터를 입력하고 "File Save"를 클릭하여 지정된 경로에 저장할 수도 있다.
- 회로 설계를 위해 계속 사용할 예정이라면 특정 파일 이름 ("Microstrip_FR4_Yale.lcs")을 부여하고 저장해 두면 편리하다.
- 기판 정보를 입력하고 나면 Linecalc를 사용할 준비를 마치게 된다.
- Linecalc는 "Physical" 메뉴와 "Electrical" 메뉴가 있다.
- 두 메뉴 모두 사용자가 해당 파라미터의 값을 입력할 수 있다.
- 마이크로스트립 라인의 특성 임피던스(characteristic impedance, Z_0)는 라인의 폭에 의해 결정된다.
- "Physical" 메뉴의 "W"는 폭 (width), "L"은 길이(length)를 의미한다.
- 본 강좌에서 단위는 미터법 중에서 "um"를 사용하기로 한다.

1. Linecalc를 이용한 전송 선로 설계

- 앞 장의 그림에 보인 바와 같이, 제조사가 제공하는 기판의 파라미터를 입력하고 "File Save"를 클릭하여 지정된 경로에 저장할 수도 있다.
- 회로 설계를 위해 계속 사용할 예정이라면 특정 파일 이름 ("Microstrip_FR4_Yale.lcs")을 부여하고 저장해 두면 편리하다.
- 기판 정보를 입력하고 나면 Linecalc를 사용할 준비를 마치게 된다.
- Linecalc는 "Physical" 메뉴와 "Electrical" 메뉴가 있다.
- 두 메뉴 모두 사용자가 해당 파라미터의 값을 입력할 수 있다.
- 마이크로스트립 라인의 특성 임피던스(characteristic impedance, Z_0)는 라인의 폭에 의해 결정된다.
- "Physical" 메뉴의 "W"는 폭 (width), "L"은 길이(length)를 의미한다.
- 본 강좌에서 단위는 미터법 중에서 "um"를 사용하기로 한다.

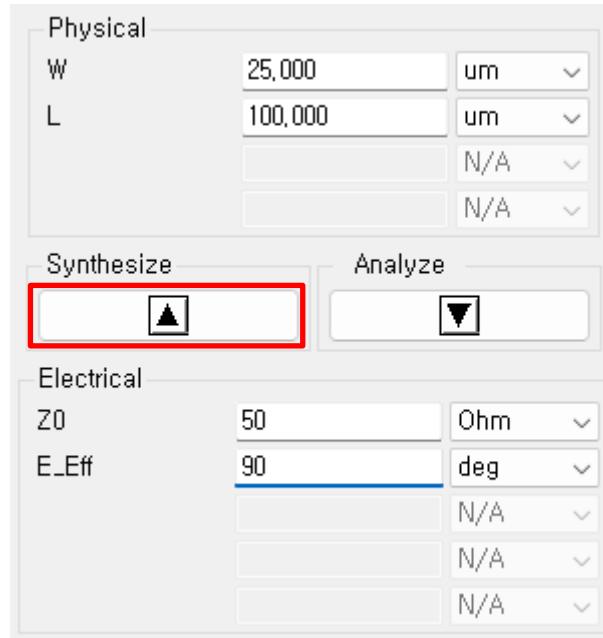
1. Linecalc를 이용한 전송 선로 설계

- Linecalc를 실행했을 때, "Physical" 메뉴에 초기값으로 입력되어 있는 값을 그대로 두고 좌측 그림에 표시된 "Analyze" (분석하다) 버튼을 클릭해보자.
- "Physical" 메뉴에 입력되어 있는 마이크로스트립 라인의 폭 ("W")과 길이 ("L")에 대하여 가운데 그림에 표시된 것과 같이 "Electrical" 메뉴에 특성 임피던스 ("Z₀")와 유효 전기적 길이 ("E_Eff")가 계산된다.
- 이와 더불어, 우측 그림에 보인 바와 같이 Linecalc 윈도우의 가장 우측에 "Calculated Results" 메뉴에 유효 유전 상수 (effective dielectric constant, ϵ_{eff}), "K_Eff"), dB 단위의 손실 (attenuation in dB, "A_DB"), 표피 심도("SkinDepth")가 추가로 계산된다.



1. Linecalc를 이용한 전송 선로 설계

- "Analyze" 버튼의 반대 기능은 "Synthesize" (합성하다)이다.
- 단어 뜻 그대로 "Electrical" 메뉴의 특성 임피던스("Z0")와 유효 전기적 길이 ("E_Eff")를 설계하기 위한 "Physical" 메뉴의 폭("W")과 길이("L")을 "Synthesize"한다.
- 그림에 보인 바와 같이 "Z0"는 50, "E_Eff"는 90으로 입력하고, "Synthesize" 버튼을 클릭해보자.



1. Linecalc를 이용한 전송 선로 설계

- 좌측 그림에 보인 바와 같이 “Physical” 메뉴에 “W”와 “L”이 계산되어 보여진다.
- 우측 그림에 보인 바와 같이 유효 유전 상수(effective dielectric constant, ϵ_{eff} , “K_Eff”), dB 단위의 손실(“A_DB”), 표피 심도 (“SkinDepth”)가 계산된다.

The screenshot shows the Linecalc software interface. On the left, there are two main sections: "Physical" and "Electrical".

Physical Section:

W	1918.890000	um
L	4006.710000	um
		N/A
		N/A

Electrical Section:

Z0	50,000	Ohm
E_Eff	90,000	deg
		N/A
		N/A
		N/A

Below these sections are "Synthesize" and "Analyze" buttons with up and down arrow icons.

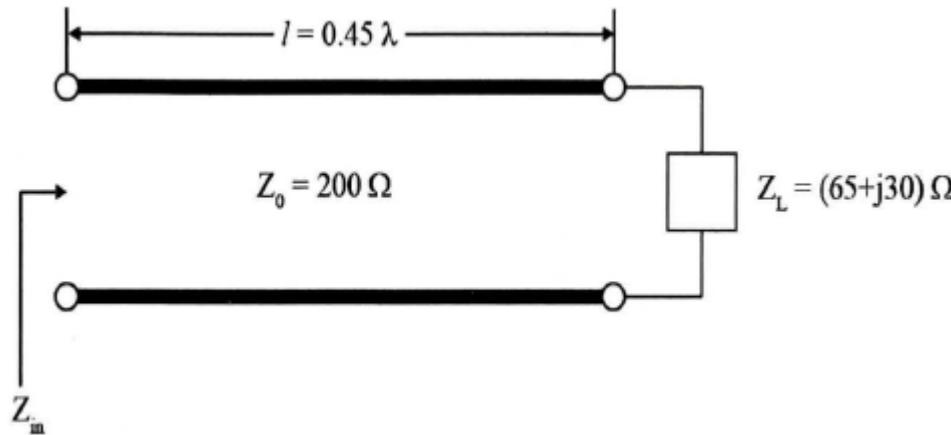
Calculated Results:

K_Eff = 3.499
A_DB = 0.068
SkinDepth = 0.025

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 문제

- 그림에 보인 바와 같이 무손실 전송 선로의 전기적 길이가 $l = 0.45\lambda$ 이고, 부하 임피던스 (load impedance, Z_L)가 $Z_L = (65 + j30)\Omega$ 일 때, 전압 반사 계수(reflection coefficient, Γ), 정재파비(standing wave ratio, SWR)와 입력 임피던스(input impedance, Z_{in}) 값을 구하시오.
- 무손실 전송 선로를 FR4 기판에 구현되는 마이크로스트립 라인으로 대체할 때, 앞서 구한 입력 임피던스 값을 다시 구하고 무손실 전송 선로 결과 값과 비교하여 만약 다른 값이 계산된다면 원인을 분석하시오.



2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

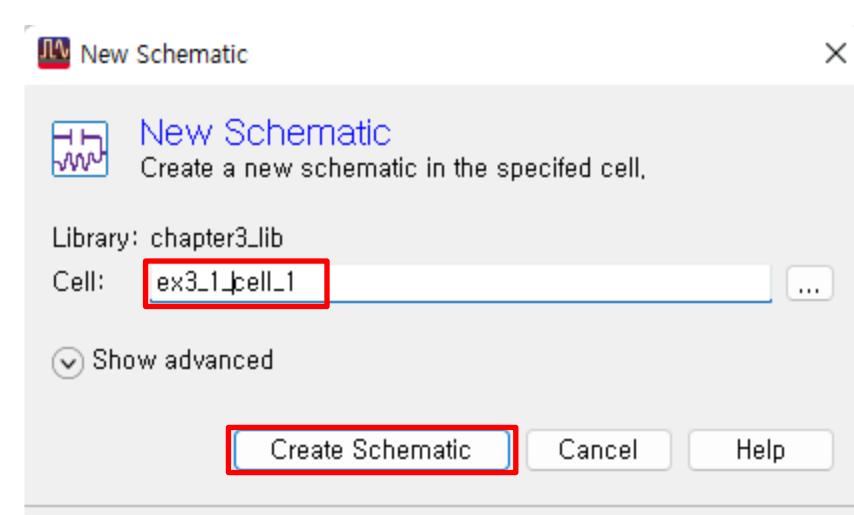
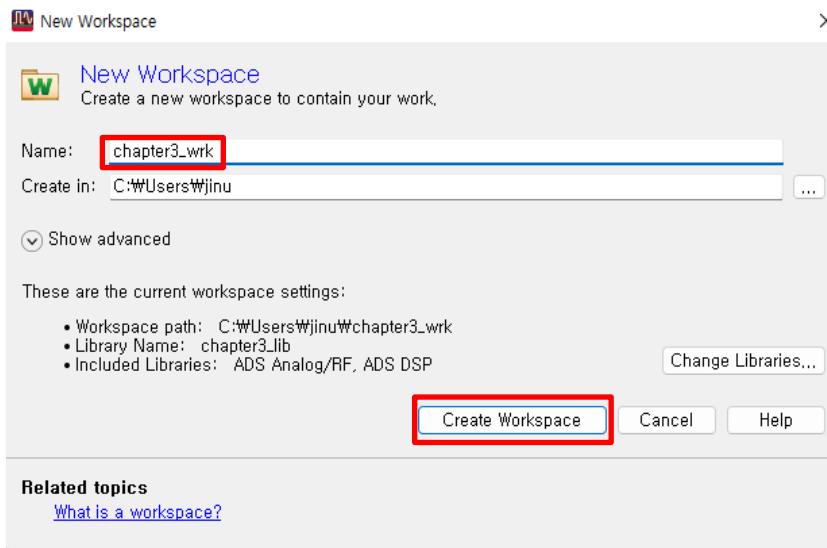
- 이 문제는 2.2절 문제와 동일하다.
- 2.2절 문제에서는 Schematic Window에서 제공하는 이상적인 전송 선로 (ideal transmission line) 모델을 이용하여 Schematic Simulation을 수행하고 문제에서 요구하는 답을 구하였다.
- 하지만, 이 문제에서는 마이크로스트립 라인 모델을 이용하여 문제를 해결하고 이상적인 전송 선로 모델을 이용하여 Schematic Simulation으로부터 얻은 결과 값과 비교해 보려고 한다.
- 이를 위하여, 다음과 같이 Schematic Simulation을 수행한다.

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ Workspace와 New Schematic Window 생성

- ADS Main Window에서 "Create A New Workspace" 아이콘을 클릭하면, 좌측 그림에 보인 바와 같이 "New Workspace" 윈도우가 팝업 된다.
- 이 윈도우에 "chapter3_wrk"를 입력하고 "Create Workspace" 버튼을 클릭하면, "chapter3_wrk"가 생성된다.
- ADS Main Window에서 "New Schematic Window" 아이콘을 클릭하면, 우측 그림에 보인 바와 같이 "New Schematic" 윈도우가 팝업 된다.
- 이 윈도우에 "ex3_1_cell_1"을 입력하고 "Create Schematic" 버튼을 클릭하면 "ex3_1_cell_1" Schematic Window가 팝업 된다.

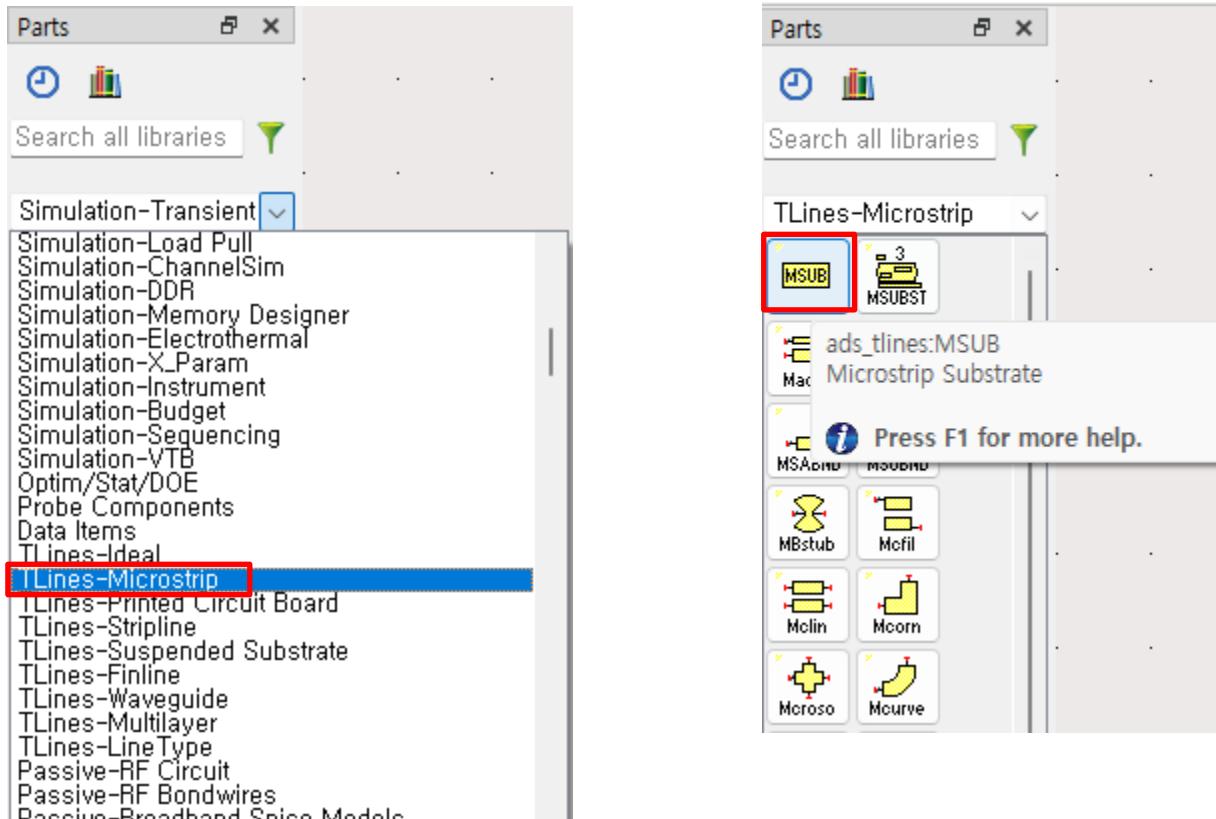


2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ ADS Schematic의 생성

- Schematic Window 왼쪽의 "Parts" 윈도우의 풀다운 메뉴를 열고, 좌측 그림에 보인 바와 같이 "TLines-Microstrip" palette를 선택한다.
- ADS Schematic을 생성하기 위한 첫번째 단계는 우측 그림에 보인 바와 같이 "ads_tlines:MSUB"를 Schematic Window에 배치하는 것이다.



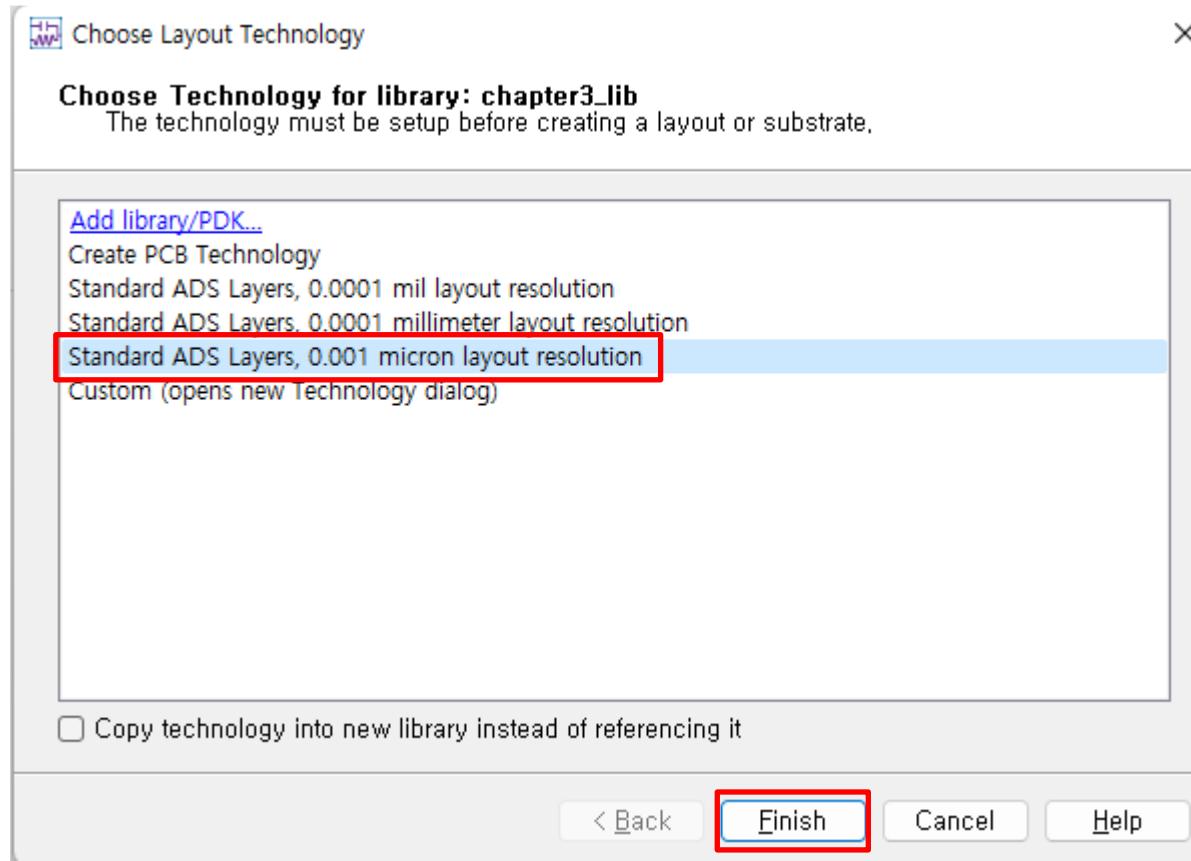
2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

▪ ADS Schematic의 생성

- "ads_tlines:MSUB" instance를 Schematic Window에 배치하면 그림에 보인 바와 같이 "Choose Layout Technology" 윈도우가 팝업 된다.
- "Standard ADS Layers, 0.001 micron layout resolution"을 선택하고 "Finish" 버튼을 클릭한다.

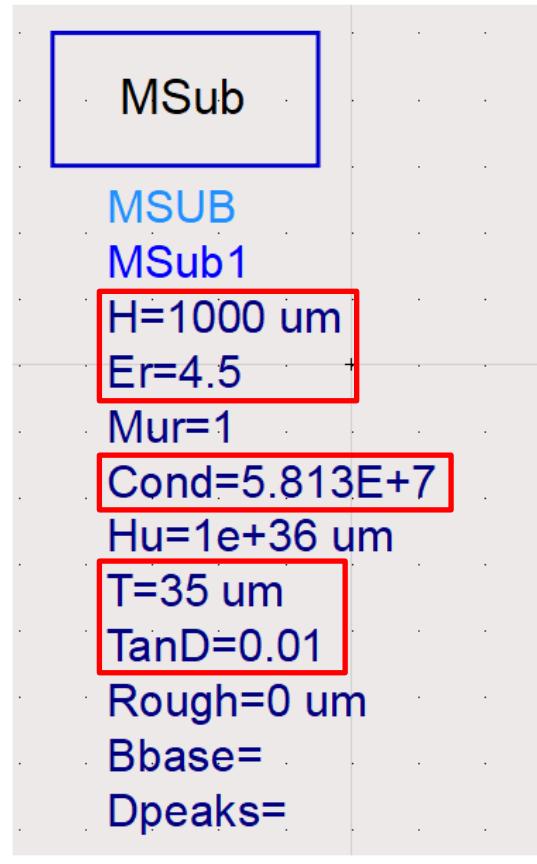


2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ ADS Schematic의 생성

- "Choose Layout Technology" 윈도우의 "Finish" 버튼을 클릭하면, 좌측 그림과 같이 "ads_tlines:MSUB" instance가 Schematic Window에 배치된다.
- 우측 그림에 보인 바와 같이 FR4 기판의 파라미터를 입력한다.

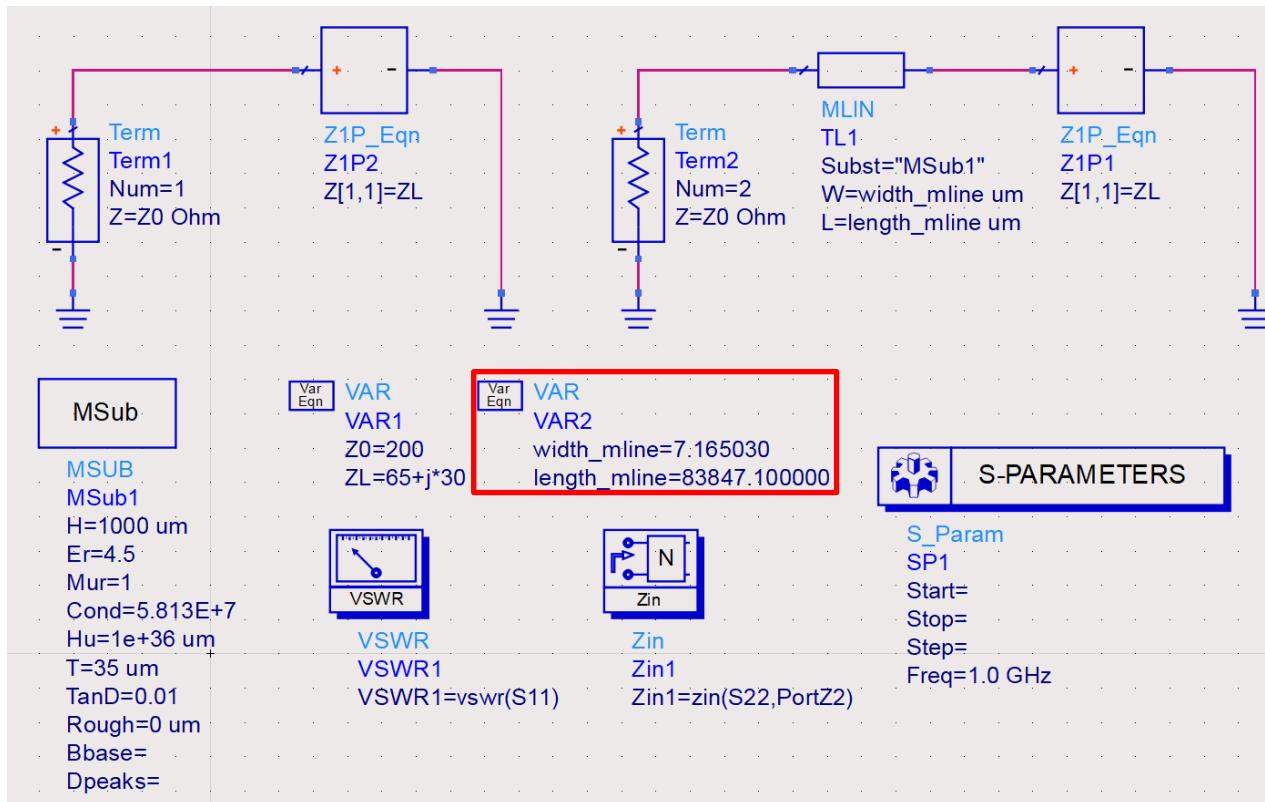


2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ ADS Schematic의 생성

- 2.2절의 문제에서는 "TLines-Ideal" palette의 첫번째 회로 소자인 "ads_tlines:TLIN Libra Ideal 2-Terminal Transmission Line" instance를 사용하였지만, 이 문제에서는 그림에 보인 바와 같이 "ads_tlines:MLIN Libra Microstrip Line" instance를 사용한다.
- 마이크로스트립 라인 회로 소자를 사용하여 ADS Schematic을 그림에 보인 바와 같이 생성한다.



2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

▪ ADS Schematic의 생성

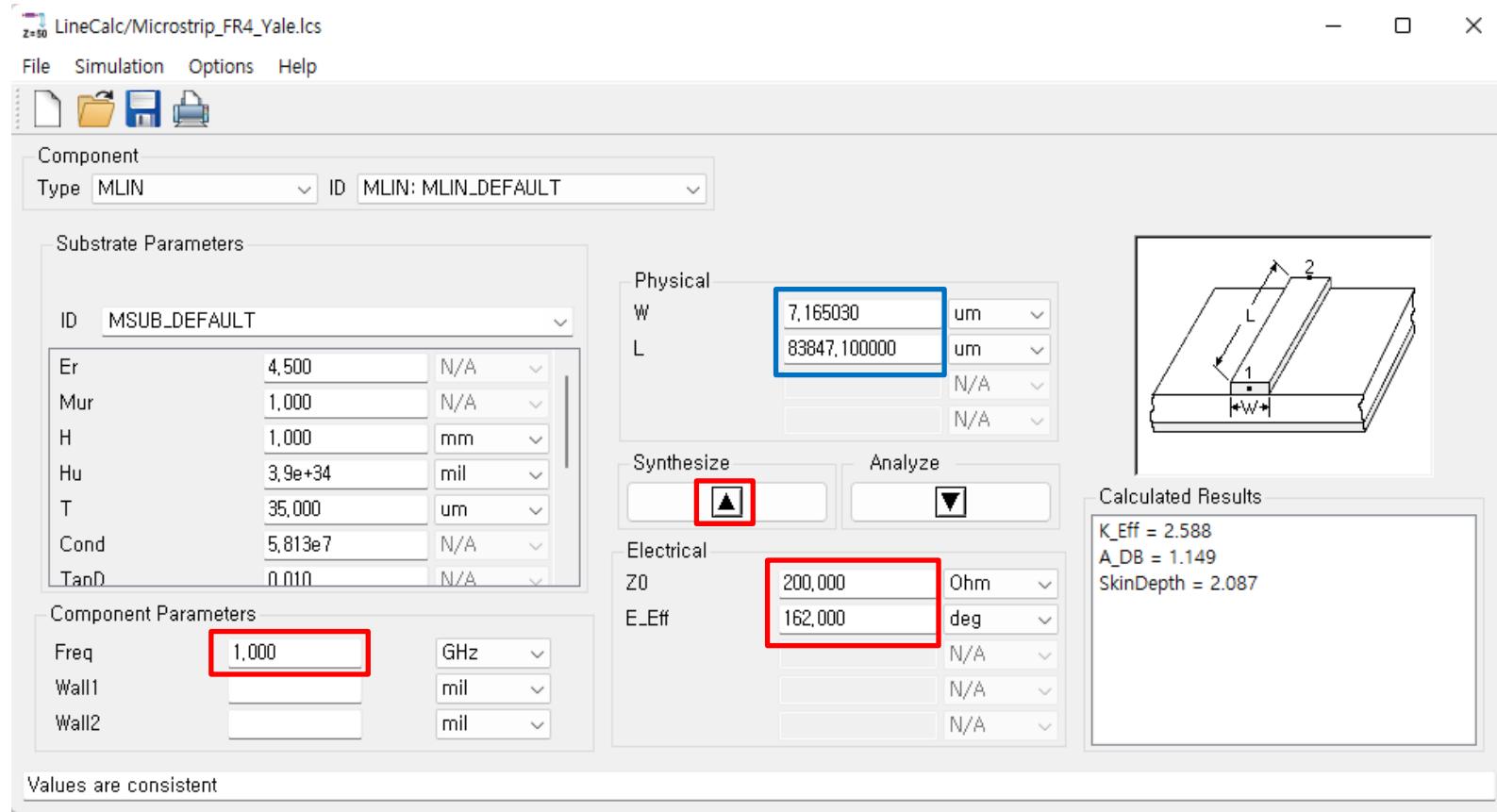
- 2.2절의 회로도와 다른 점은 마이크로스트립 라인의 폭("MLIN" 회로 소자의 "W")과 길이 ("MLIN" 회로 소자의 "L")를 물리적 길이로 입력해야 한다는 것이다.
- 이 값들을 계산하기 위하여 Linecalc를 활용한다.

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ ADS Schematic의 생성

- 2.2절의 문제에서 동작 주파수를 1GHz로 지정했으므로 동일한 주파수를 Linecalc를 사용할 때 그림에 보인 바와 같이 "Freq" 항목에 입력한다.



2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

▪ ADS Schematic의 생성

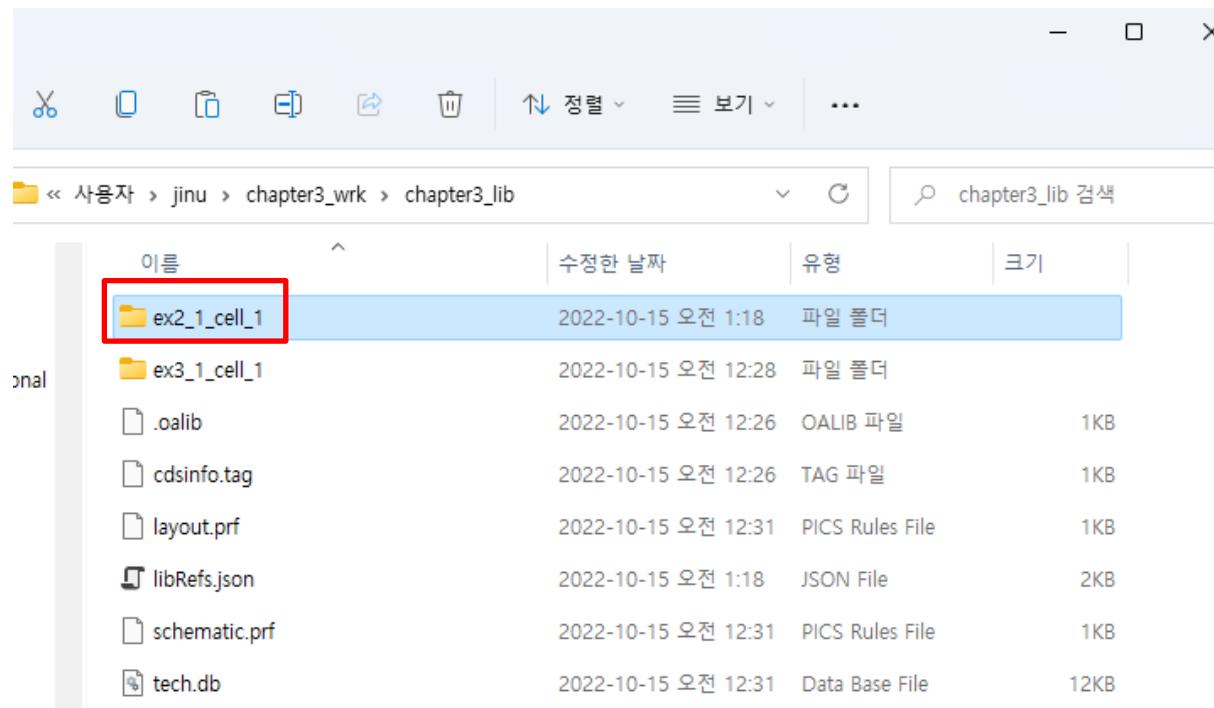
- 앞 장의 그림에 보인 바와 같이 특성 임피던스("Z0")와 전송 선로의 전기적 길이 ("E_Eff")를 입력하면 "W"와 "L"을 계산할 수 있다.
- 그림의 중앙에 있는 "Electrical" 메뉴에 "Z0"와 "E_Eff"를 입력하고, "Synthesize" 버튼을 클릭하면 "Physical" 메뉴에 "W"와 "L"이 계산된다.
- Linecalc를 사용하여 계산된 "W"와 "L" 값을 회로도 그림에 적색 박스로 표시된 "VAR2" instance의 "width_mline"과 "length_mline"에 입력하면 이 문제 해결에 필요한 마이크로스트립 라인이 포함된 ADS Schematic을 설계할 수 있다.

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ Schematic Simulation 결과의 확인

- 부하에서의 전압 반사 계수(reflection coefficient, Γ)
 - ADS Schematic으로 Schematic Simulation을 수행하면 "hpeesofdds/Data Display" 윈도우에서 결과를 확인할 수 있다.
 - 이 문제의 결과와 2.2절 문제의 결과를 비교하기 위하여 "ex2_1_wrk"의 "ex2_1_cell_1"을 "chapter3_wrk"에 복사하고 Schematic Simulation을 수행한다.

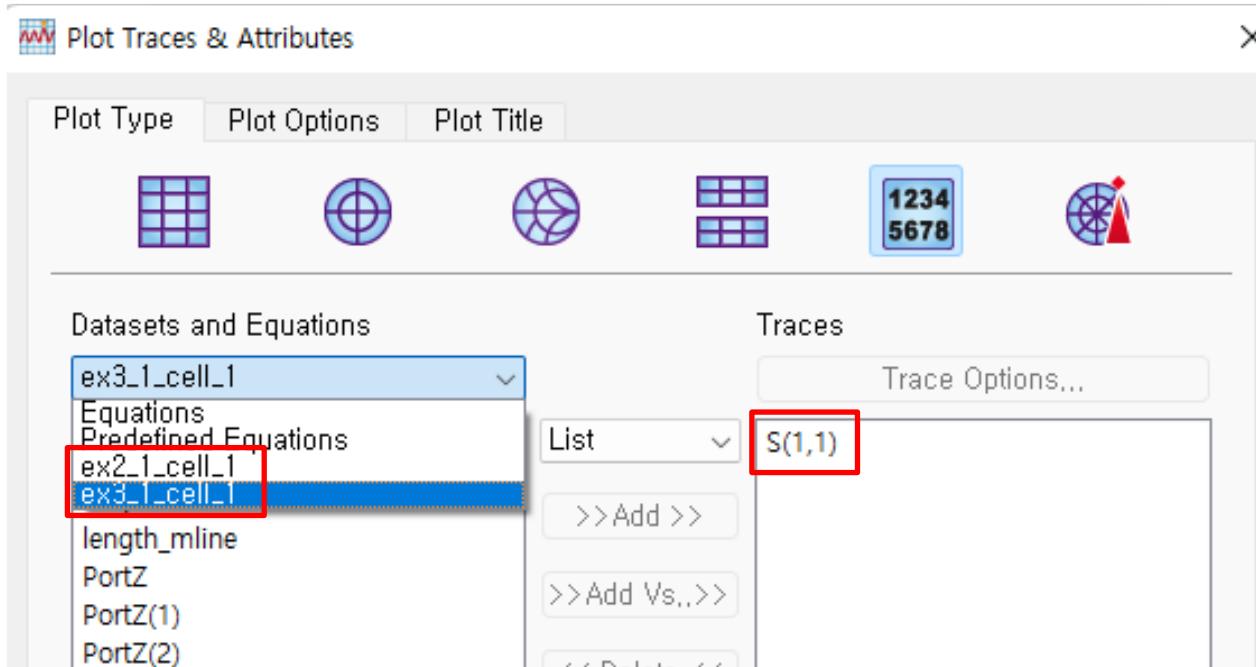


2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ Schematic Simulation 결과의 확인

- 부하에서의 전압 반사 계수(reflection coefficient, Γ)
 - "hpeesofdds/Data Display" 윈도우에 결과값을 표시하기 위해 "List" 기능을 사용하면 "Plot Traces & Attributes" 윈도우가 팝업된다.
 - "Datasets and Equations" 풀다운 메뉴를 클릭하면 그림에 보인 바와 같이 "ex3_1_cell_1"과 "ex2_1_cell_1"이 풀다운 메뉴에 함께 있는 것을 확인할 수 있다.
 - 그림의 우측 "Traces" 메뉴에 있는 $S(1, 1)$ 은 "ex3_1_cell_1"의 결과값이다.

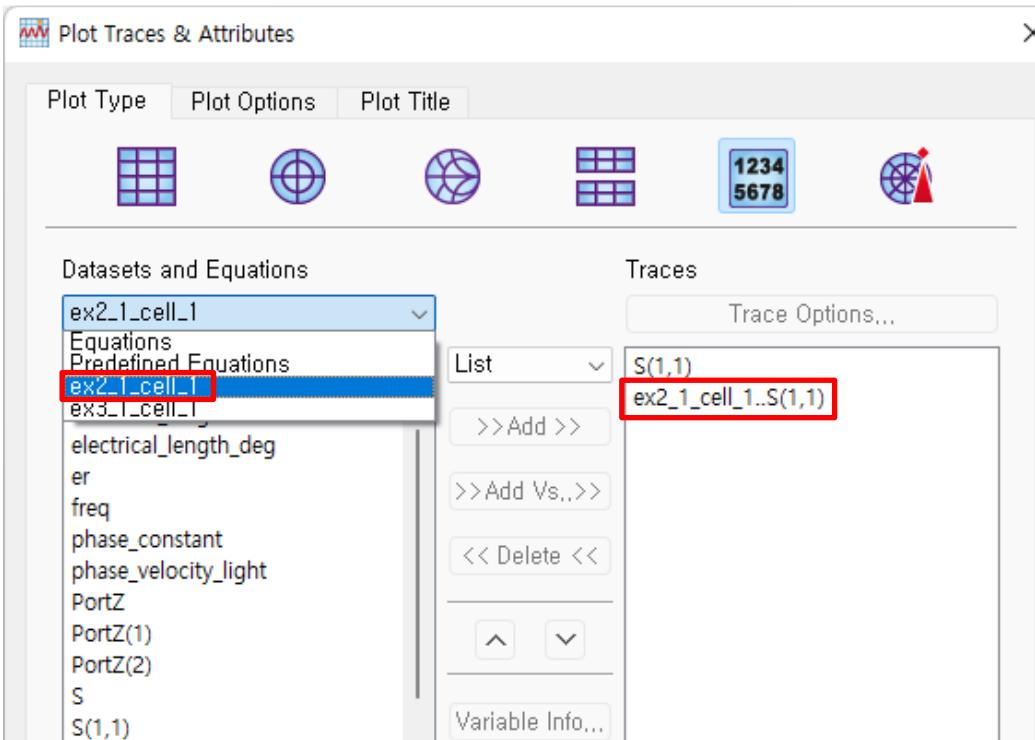


2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ Schematic Simulation 결과의 확인

- 부하에서의 전압 반사 계수(reflection coefficient, Γ)
 - "Ex2_1_cell_1"의 결과값을 "Traces"에 추가하기 위하여, 그림에 보인 바와 같이 좌측의 "Datasets and Equations"의 풀다운 메뉴에 "ex2_1_cell_1"을 선택하고 S(1, 1)을 ">>Add>>"하면 우측의 "Traces"에 "ex2_1_cell_1 ... S(1, 1)"이 표시된다.
 - 즉, Traces에 표시된 "S(1, 1)"은 현재 Schematic Simulation cell 인 "ex3_1_cell_1"의 결과값이고, "ex2_1_cell_1"의 결과값을 구분하기 위하여 해당 cell 이름을 추가한 것이다.



2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

▪ Schematic Simulation 결과의 확인

- 부하에서의 전압 반사 계수(reflection coefficient, Γ)
 - "OK" 버튼을 클릭하면 그림에 보인 바와 같이 서로 다른 cell의 결과값을 비교할 수 있다.
 - 그림에 보인 $S(1, 1)$ 값은 부하에서 바라본 반사 계수이고, "ex3_1_cell_1"과 "ex2_1_cell_1"이 동일한 회로이므로 당연히 같은 값이 나올 것을 예상할 수 있었고, 실제로 그림에 보인 바와 같이 동일한 값을 확인할 수 있다.

freq	S(1,1)	ex2_1_cell_1..S(1,1)
1.000 GHz	0.519 / 161.012	0.519 / 161.012

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

▪ Schematic Simulation 결과의 확인

- 부하에서의 정재파 비 (standing wave ratio, SWR)
 - 부하에서의 반사 계수를 확인한 것과 같은 방법으로, 부하에서의 정재파 비를 "ex3_1_cell_1"과 "ex2_1_cell_1"을 그림에 보인 바와 같이 비교할 수 있다.
 - 반사 계수와 마찬가지로 정재파 비도 동일한 값임을 확인할 수 있다.

freq	VSWR1	ex2_1_cell_1..VSWR1
1.000 GHz	3.154	3.154

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ Schematic Simulation 결과의 확인

- 전송 선로 입력단에서 바라본 입력 임피던스 (input impedance, Z_{in})
 - 전송 선로 입력단에서 바라본 입력 임피던스는 회로도 그림의 "Zin1" instance로부터 구해지며, "ex3_1_cell_1"과 "ex2_1_cell_1"의 "Zin1"을 그림에 보인 바와 같이 비교할 수 있다.
 - 그런데, "ex3_1_cell_1"과 "ex2_1_cell_1" "Zin1" 값이 크기 값을 기준으로 18% 이상의 차이가 발생한 것을 확인할 수 있다.
 - "ex3_1_cell_1"과 "ex2_1_cell_1"의 결과 값 중 어느 것을 선택해야 하는가?

freq	Zin1	ex2_1_cell_1..Zin1
1.000 GHz	85.713 / -5.061	70.032 / -22.540

freq	Zin1	ex2_1_cell_1..Zin1
1.000 GHz	85.379 - j7.561	64.682 - j26.845

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

▪ Schematic Simulation 결과의 확인

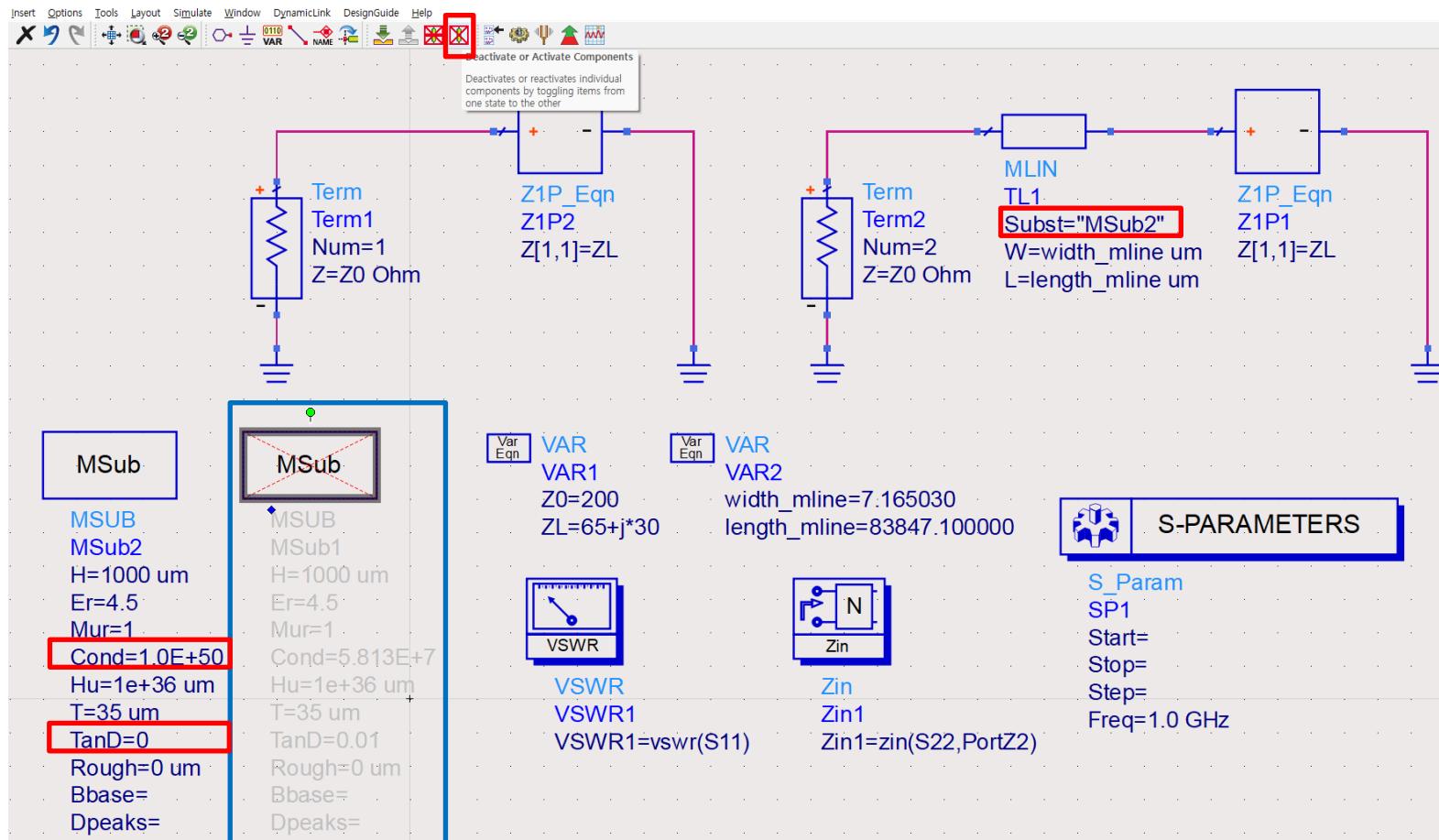
- 마이크로스트립 라인의 물리적 모델 VS. 이상적인 전송 선로 모델
 - 앞서 제기한 물음에 답하기 위하여 "ex3_1_cell_1"과 "ex2_1_cell_1"의 Schematic Simulation 상의 차이점이 무엇인지 분석해보자.
 - "ex2_1_cell_1"에서 사용한 전송 선로 모델은 "Tlines-Ideal" palette의 가장 단순한 전송 선로 모델로서 '무손실(lossless)' 모델이다.
 - 그러나, "ex3_1_cell_1"에서 사용한 전송 선로 모델은 실제 마이크로스트립 라인을 수학적으로 모델링한 것으로써, 유전체 손실(dielectric loss)과 도체 손실 (conductor loss)을 포함하고 있다.
 - 유전체 손실과 도체 손실을 Schematic Simulation에서 제거하면 '무손실 (lossless)' 전송 선로 모델의 결과 값과 같은 결과 값을 얻을 수 있는지 확인해보자.

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

■ 답안

▪ Schematic Simulation 결과의 확인

- 마이크로스트립 라인의 물리적 모델 VS. 이상적인 전송 선로 모델
 - 이를 위하여 그림에 보인 바와 같이 ADS Schematic을 수정한다.



2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

▪ Schematic Simulation 결과의 확인

- 마이크로스트립 라인의 물리적 모델 VS. 이상적인 전송 선로 모델
 - "ads_tlines:MSUB" instance를 하나 더 ADS Schematic에 배치하기 위하여 이미 ADS Schematic에 있는 "MSub1"을 복사와 붙여넣기 (copy & paste)를 실행한다.
 - 추가 배치된 "ads_tlines:MSUB" instance의 이름이 "MSub2"임을 기억해 둔다.
 - "MSub2"의 항목 중 "Cond"와 "TanD"의 값을 앞 장의 그림에 보인 바와 같이 각각 "1.0E+50"과 "0"으로 수정한다.
 - 이 수정 내용은 마이크로스트립 라인에 의한 유전체 손실과 도체 손실이 없다는 것 즉, '무손실 (lossless)' 전송 선로임을 선언하는 것이다.
 - 왜냐하면, 완전 유전체 (perfect dielectric)과 완전 도체 (perfect conductor)의 손실 탄젠트 (loss tangent, "MSub" instance의 "TanD")와 전도도 (conductivity, "MSub" instance의 "Cond")는 각각 0과 무한대이기 때문이며, 완전 유전체와 완전 도체는 '무손실 (lossless)'을 의미하기 때문이다.
 - "MSub2"의 항목 중 "Cond=1.0E+50"와 "TanD=0"라는 설정 값은 "MSub2"가 '무손실(lossless)' 기판임을 의미한다.
 - 도체의 전도도 "Cond=1.0E+50"는 무한대에 가까운 매우 큰 수이다.

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

▪ Schematic Simulation 결과의 확인

- 마이크로스트립 라인의 물리적 모델 VS. 이상적인 전송 선로 모델
 - "MSub1" instance를 사용하지 않으므로, 회로도 그림 우측 상단에 보인 바와 같이 "Deactivate or Activate Components" 아이콘을 사용하여 "MSub1" instance를 "Deactivate"한다.
 - 그리고, 마이크로스트립 라인 모델, "MLIN-TL1" instance의 "Subst="MSub2""로 수정한다.
 - 이 상태로 Schematic Simulation을 실행하고 결과 값을 확인해보자.
 - 그림에 보인 바와 같은 결과 값을 얻을 수 있다.
 - "ex3_1_cell_1"과 "ex2_1_cell_1"의 입력 임피던스 값이 정확히 일치하는 것을 확인할 수 있다.
 - 이상적인 전송 선로 모델과 마이크로스트립 라인 모델의 Schematic Simulation은 기판의 유전체 손실과 도체 손실을 Schematic Simulation에 포함 여부에 따라 결과 값이 매우 달라지는 것을 확인할 수 있다.

freq	Zin1	ex2_1_cell_1..Zin1
1.000 GHz	70.032 / -22.540	70.032 / -22.540

freq	Zin1	ex2_1_cell_1..Zin1
1.000 GHz	64.682 - j26.845	64.682 - j26.845

2. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 임의의 수식으로 표현되는 부하 임피던스

IT COOKBOOK

■ 답안

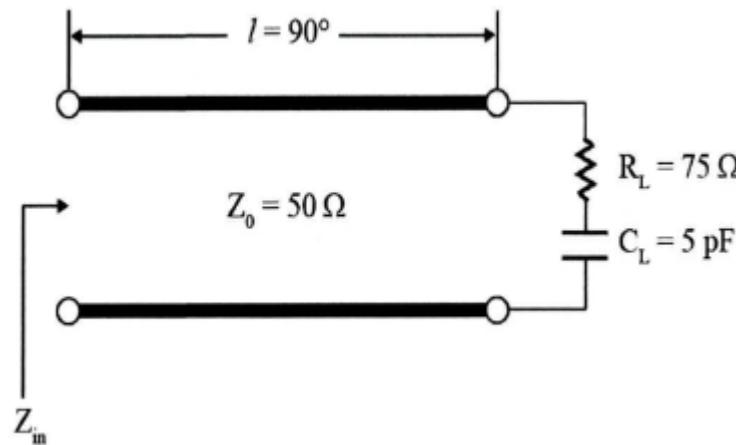
▪ Schematic Simulation 결과의 확인

- 마이크로스트립 라인의 물리적 모델 VS. 이상적인 전송 선로 모델
 - 앞선 절의 질문으로 돌아가보자.
 - "ex3_1_cell_1"과 "ex2_1_cell_1"의 결과 값 중 어느 것을 선택해야 하는가?라는 질문에 대한 답은 명확하다.
 - 이상적인 전송 선로 모델, 즉 '무손실(lossless)' 전송 선로는 존재하지 않기 때문에, 실질적인 회로 설계를 하기 위해서는 기판의 유전체 손실과 도체 손실을 반드시 포함하여 시뮬레이션을 해야 한다는 것이다.
 - 전송 선로 이론을 학습할 때 적용했던 '무손실 전송 선로 (lossless transmission line)' 모델은 수학적 복잡도를 줄이고 전송 선로 이론을 처음 배우는 학생들의 이해도를 높이기 위해서 고안된 것이지만, 실제 회로 설계를 위하여 '손실 전송 선로 (lossy transmission line)' 모델을 사용해야 한다.
 - 이를 위하여 ADS와 같은 시뮬레이션 소프트웨어를 활용하여 실제 회로를 설계해야 회로 설계 오류를 최소화할 수 있고, 회로 개발 기간을 단축할 수 있다.

3. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 집중 소자 값으로 지정된 부하 임피던스

■ 문제

- 어떤 50Ω 마이크로스트립 라인에 저항과 커패시터가 직렬로 연결된 부하 임피던스로 연결되어 있다.
- 부하 저항 $R_L = 75\Omega$ 과 부하 커패시터 $C_L = 5 \text{ pF}$ 이고, 동작 주파수는 2.4 GHz 이며, FR4 기판을 사용하여 회로를 설계하여 해석하려고 한다.
- (a) 주어진 동작 주파수에서 마이크로스트립 라인의 폭 (width)과 전기적 길이가 90° 가 되는 물리적 길이를 구하고,
- (b) 마이크로스트립 라인을 FR4 기판을 사용하여 설계할 때 입력 임피던스를 구하시오.

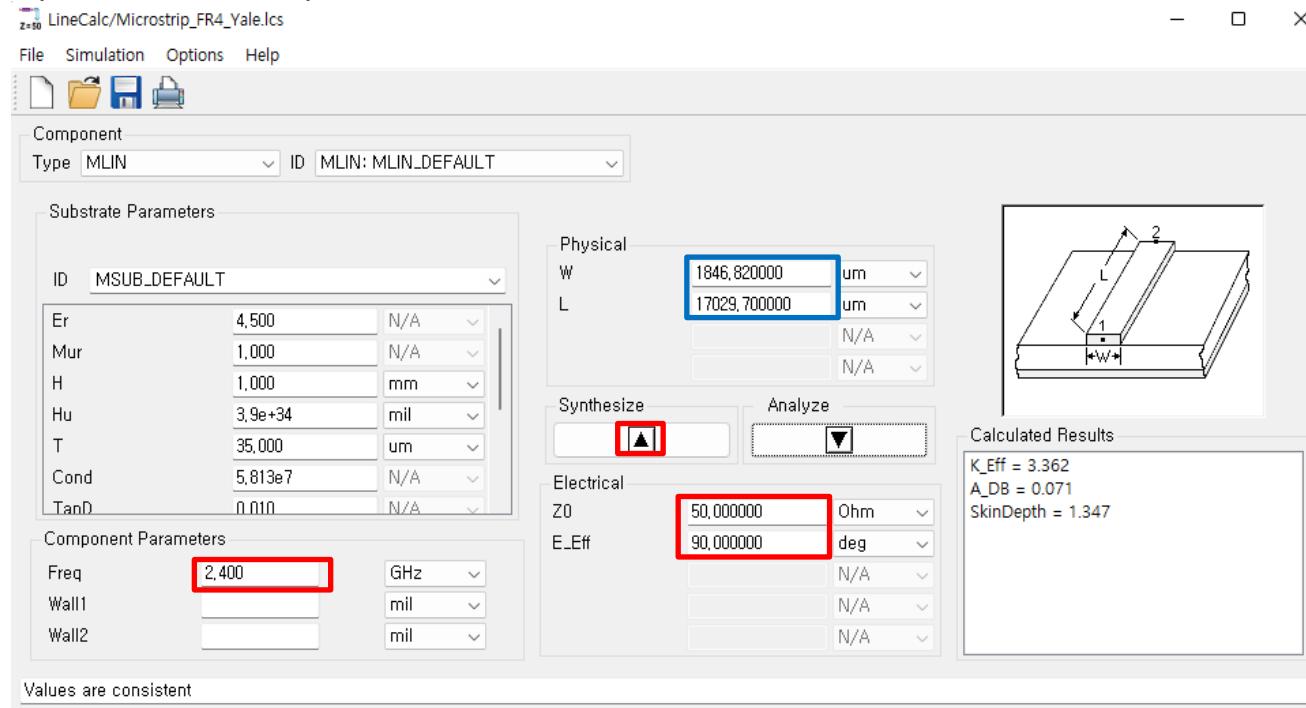


3. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 집중 소자 값으로 지정된 부하 임피던스

■ 답안

▪ 전기적 길이가 90° 인 50Ω 마이크로스트립 라인의 물리적 길이

- 동작 주파수가 2.4GHz일 때, FR4 기판에서 구현되는 50Ω 마이크로스트립 라인의 폭 (width)과 전기적 길이가 90° 가 되는 물리적 길이(physical length)는 Linecalc로 그림에 보인 바와 같이 손쉽게 계산할 수 있다.
- 그림의 Linecalc 왼쪽 하단 부분에 "Component Parameters" 메뉴의 "Freq" 항목에 "2.4 GHz"로 입력하고 오른쪽 하단 부분에 "Electrical" 메뉴에 "Z0"와 "E_Eff"에 각각 "50ohm"과 "90 deg"를 입력하고 "Synthesize"를 클릭하면 "Physical" 메뉴에 폭(width = "W")과 물리적 길이 (length = "L")이 각각 "1846.82 μ m"과 "17029.7 μ m"로 계산됨을 확인할 수 있다.

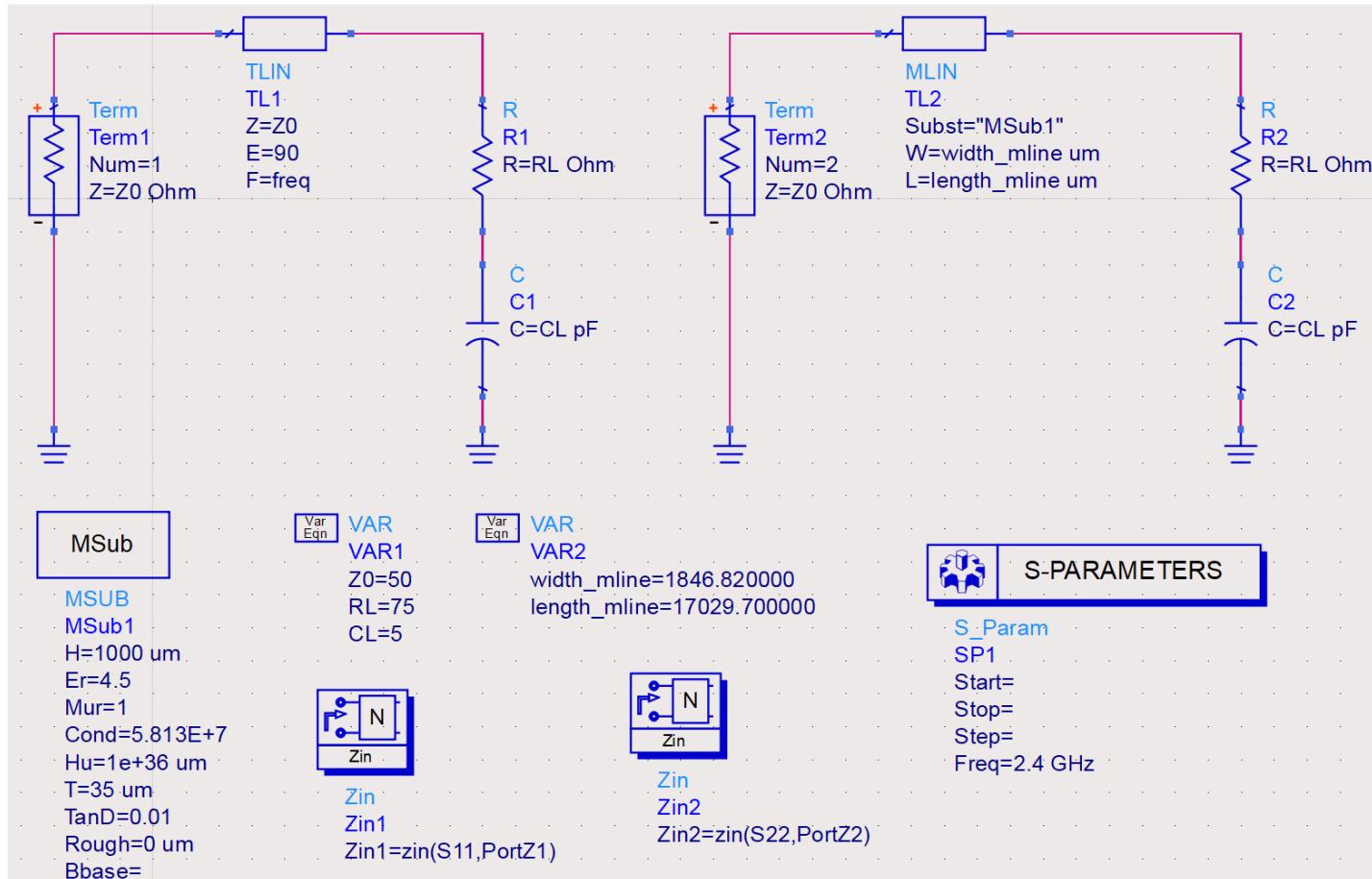


3. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 집중 소자 값으로 지정된 부하 임피던스

■ 답안

▪ 전기적 길이가 90° 인 50Ω 마이크로스트립 라인의 물리적 길이

- Linecalc의 결과 값을 이용하여 Schematic Simulation을 수행하기 위하여 그림에 보인 ADS Schematic을 생성할 수 있다.



3. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 집중 소자 값으로 지정된 부하 임피던스

IT COOKBOOK

■ 답안

▪ 전기적 길이가 90°인 50Ω 마이크로스트립 라인의 물리적 길이

- 이상적인 전송 선로 모델과 마이크로스트립 라인 모델의 시뮬레이션 성능을 비교하기 위하여, 이상적인 전송 선로에 문제에서 주어진 부하 저항과 커패시터를 연결하여 ADS Schematic에 추가하였다.
- ADS Schematic을 사용하여 Schematic Simulation을 실행하면, 이상적인 전송 선로 모델과 마이크로스트립 라인 모델의 입력 임피던스 값을 그림에 보인 바와 같이 비교할 수 있다.
- 그림에 보인 "Zin1"은 이상적인 전송 선로 모델을 사용하여 계산된 값이고, "Zin2"는 마이크로스트립 라인 모델을 사용하여 계산된 값이다.
- "Zin1"과 "Zin2" 값이 매우 유사함을 확인할 수 있다.

freq	Zin1	Zin2
2.400 GHz	$32.323 + j5.716$	$32.575 + j5.944$

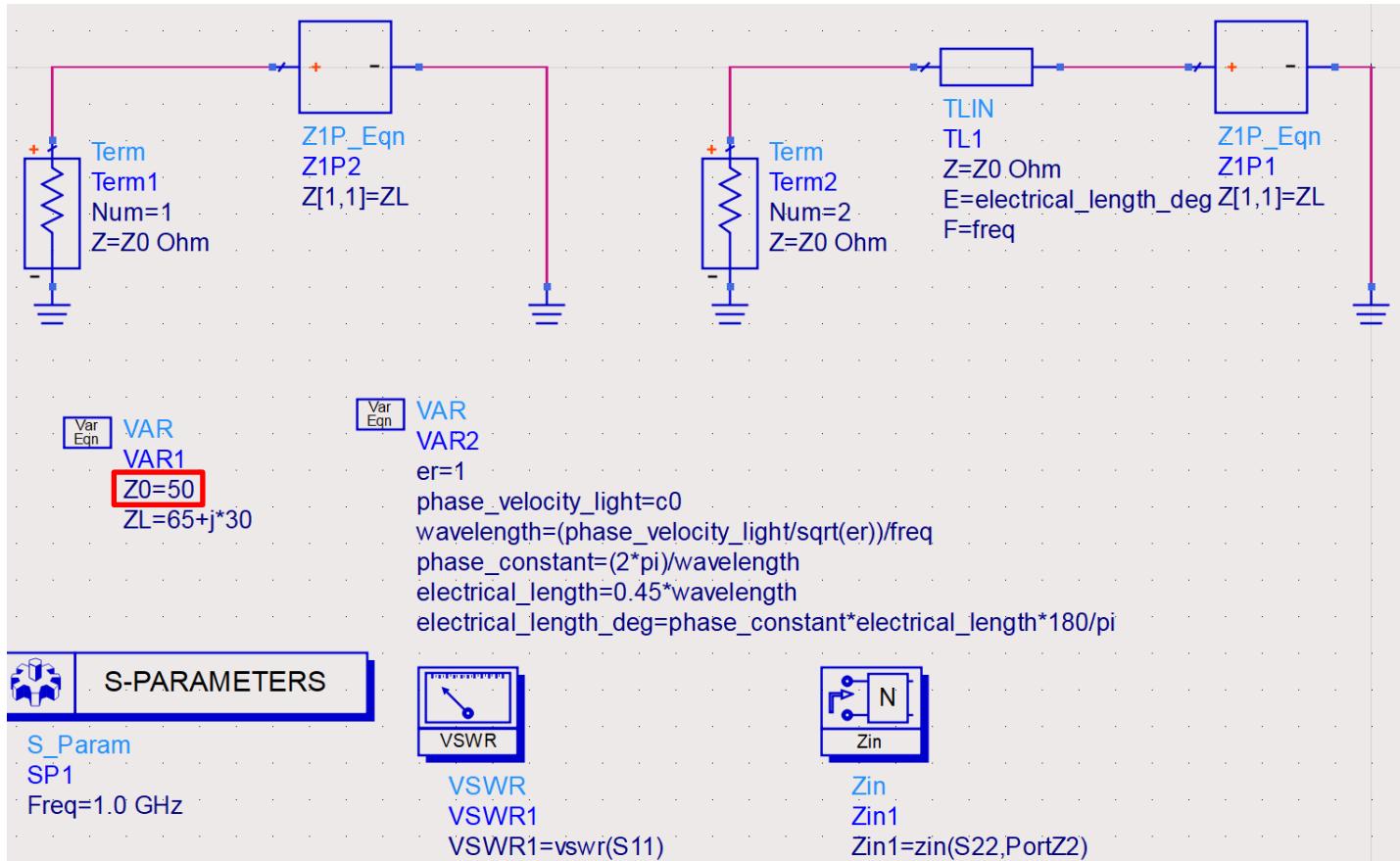
- 3.2절 문제의 경우 마이크로스트립 라인 모델이 이상적인 전송 선로 모델 대비 매우 큰 차이를 보였다.
- 이 원인을 분석해보면 3.2절 문제의 경우 문제의 전송 선로의 특성 임피던스(Z_0)가 200Ω 으로써 이 문제의 전송선로의 특성 임피던스보다 4배 크다.
- Z_0 가 매우 큰 값이기 때문에 기판의 유전체 손실과 도체 손실 파라미터의 유무에 따라 계산 결과에 큰 변동성을 유발했다는 추정이 가능하다.

3. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 집중 소자 값으로 지정된 부하 임피던스

■ 답안

▪ 전기적 길이가 90° 인 50Ω 마이크로스트립 라인의 물리적 길이

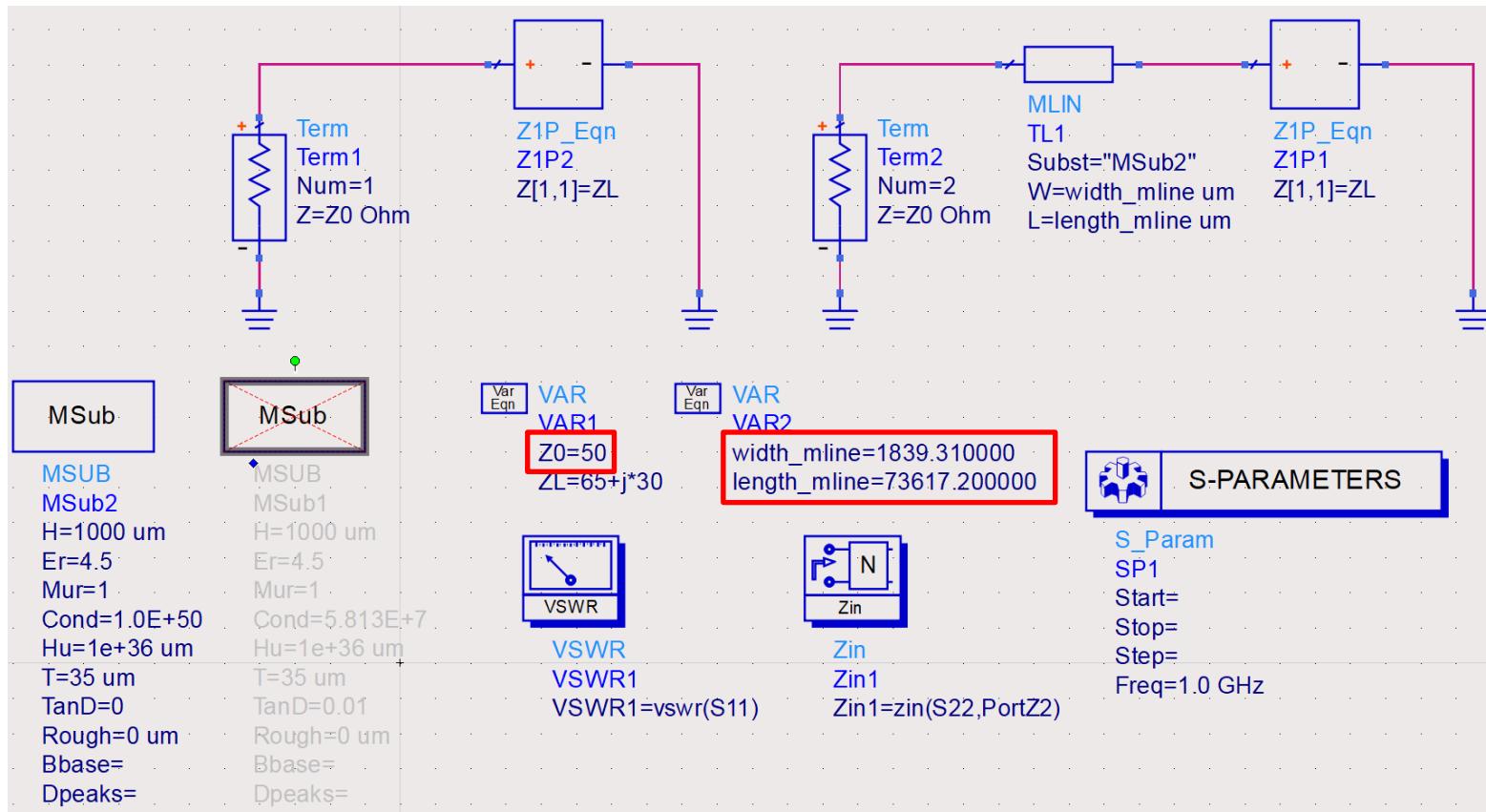
- 실제로 2.2절의 문제에서 Z_0 를 그림에 보인 바와 같이 50Ω 으로 변경해보자.
- 2.2절 문제의 Z_0 를 50Ω 으로 변경한 ADS Schematic



3. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 집중 소자 값으로 지정된 부하 임피던스

■ 답안

- 전기적 길이가 90° 인 50Ω 마이크로스트립 라인의 물리적 길이
 - 실제로 2.2절의 문제에서 Z_0 를 그림에 보인 바와 같이 50Ω 으로 변경해보자.
 - 2.2절 문제의 Z_0 를 50Ω 인 마이크로스트립 라인으로 변경된 ADS Schematic



3. 마이크로스트립 라인 모델 vs. 이상적인 전송 선로 모델: 집중 소자 값으로 지정된 부하 임피던스

IT COOKBOOK

■ 답안

- 전기적 길이가 90° 인 50Ω 마이크로스트립 라인의 물리적 길이

- 실제로 2.2절의 문제에서 Z_0 를 그림에 보인 바와 같이 50Ω 으로 변경한 후 Schematic Simulation을 실행하면 마이크로스트립 라인 모델과 이상적인 전송 선로 모델 사이의 결과 값("Zin")이 매우 유사함을 그림에 보인 바와 같이 확인할 수 있다.

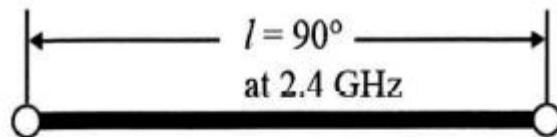
freq	Zin1	ex2_1_cell_1.Zin1
1.000 GHz	$45.343 + j26.693$	$44.737 + j27.324$

4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 문제

- 어떤 50Ω 마이크로스트립 라인이 2.4 GHz 에서 전기적 길이가 90° 이며, 50Ω 부하로 종단되어 있다.
- FR4 기판을 사용하여 마이크로스트립 라인 설계하여 해석하려고 한다.
- $0\sim5\text{GHz}$ 사이에서 마이크로스트립 라인 모델을 이용한 Schematic Simulation과 FR4에 설계한 마이크로스트립 라인의 Layout Simulation을 수행하여, 반사 계수와 전송 계수에 대한 주파수 특성을 비교하시오.



$$Z_0 = 50 \Omega$$



4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 답안

- ADS는 3 종류의 시뮬레이션을 지원한다.
- 3종류의 시뮬레이션을 각각 Schematic Simulation, Layout Simulation, EM Cosimulation으로 명명 한다.
- 어떤 회로의 실제 성능은 회로를 제작하여 측정하여 평가해야 한다.
- 하지만, 대부분의 경우 회로 제작은 시간과 비용이 소모된다.
- 게다가, 회로 설계에 오류가 발생하면 시간과 비용이 추가로 발생하게 된다.
- 회로 설계 단계에서 시뮬레이션을 수행하는 것은 실제 회로의 제작과 측정에 필요한 시간과 비용을 줄이기 위한 것이다.
- 시간과 비용을 절약하는 관점에서 보면 Schematic Simulation은 실제 회로 성능을 확인하는데 한계가 있다.
- Schematic Simulation의 한계를 극복하기 위하여 Layout Simulation이 필요하다.

4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ ADS Schematic 작성과 Schematic Simulation

- ADS는 Schematic Window에서 물리적 크기(physical dimensions)가 정의되어 있는 회로 소자에 대하여 ADS Layout을 자동 생성해준다.
- 이 문제에서는 3.3 절에서 설계했던 마이크로스트립 라인의 ADS Layout을 생성할 것이다.
- ADS Layout을 생성하기 위하여 그림에 보인 바와 같이 Schematic Window에 ADS에서 제공하는 마이크로스트립 라인 모델을 이용하여 ADS Schematic을 작성한다.

The screenshot shows the Agilent ADS Schematic window with several components and parameters defined:

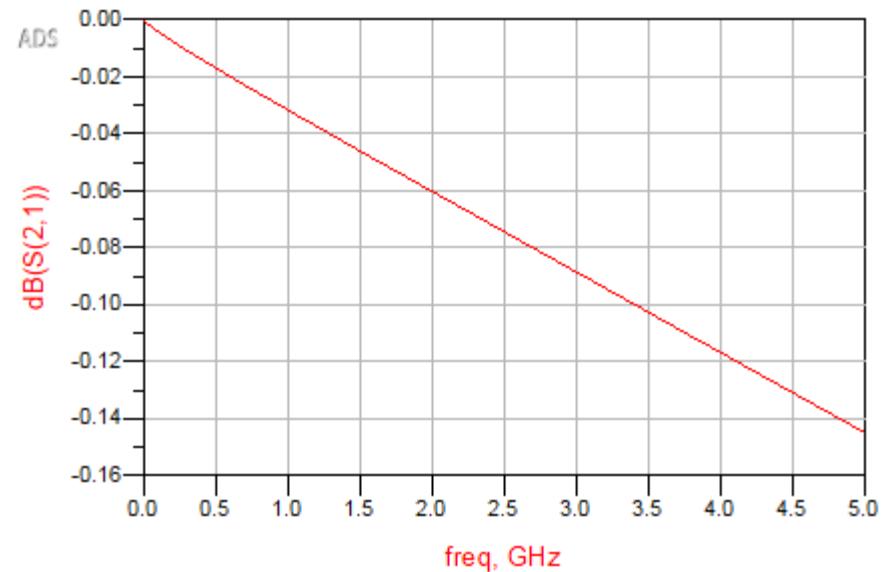
- MLIN**: A transmission line component with the following parameters:
 - Term: Term1
 - Num: 1
 - Z: Z0 Ohm
 - Var Eqn: VAR1, Z0=50
 - Var Eqn: VAR2, width_mline=1846.820000, length_mline=17029.700000
- TL1**: A transmission line component with the following parameters:
 - Subst: "MSub1"
 - W: width_mline um
 - L: length_mline um
- Term**: Term2 with the following parameters:
 - Num: 2
 - Z: Z0 Ohm
- MSub**: A macro component with the following parameters:
 - MSUB
 - MSub1
 - H: 1000 um
 - Er: 4.5
 - Mur: 1
 - Cond: 5.813E+7
 - Hu: 1e+36 um
 - T: 35 um
 - TanD: 0.01
 - Rough: 0 um
 - Bbase:
 - Dpeaks:
- S-PARAMETERS**: A component labeled S_Param SP1 with the following simulation settings:
 - Start: 0 GHz
 - Stop: 5 GHz
 - Step:
- Scattering-Parameter Simulation:9**: A dialog box showing the following settings:
 - S_Param Instance Name: SP1
 - Frequency tab selected
 - Sweep Type: Linear
 - Start: 0 GHz
 - Stop: 5 GHz
 - Step-size: 50,50505 MHz
 - Num. of pts.: 100
 - Use sweep plan

4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ ADS Schematic 작성과 Schematic Simulation

- ADS Schematic을 작성한 후 S-parameter 시뮬레이션을 실행하여 그림에 각각 보인 바와 같이 마이크로스트립 라인의 반사 계수 ($S_{11} = S(1, 1)$)과 전송 계수 ($S_{21} = S(2, 1)$)의 크기를 구할 수 있다.
- Schematic Simulation에서 구한 그림의 반사 계수와 전송 계수의 크기는 Layout Simulation의 결과와 비교할 것이다.

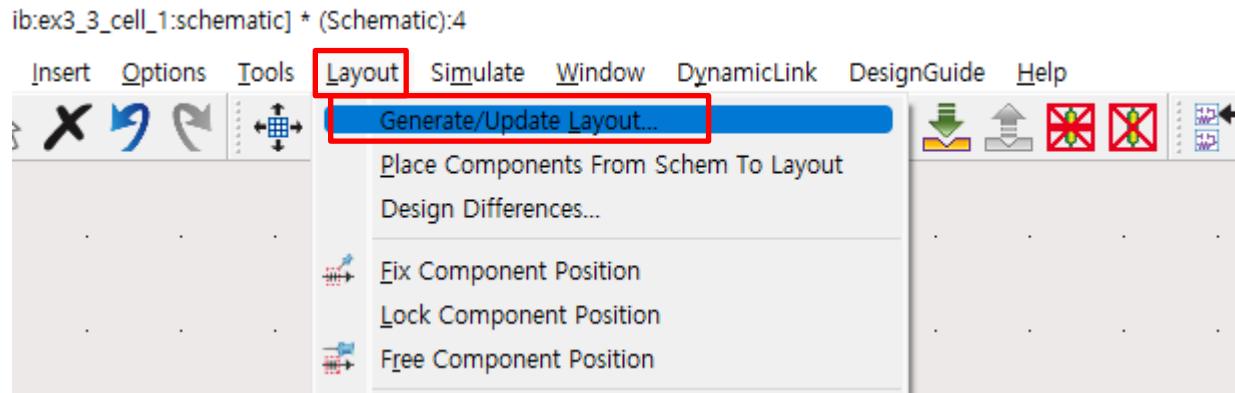


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ ADS Layout의 생성

- Schematic Window의 풀다운 메뉴 중 "Layout - Generate/Update Layout ..." 을 클릭한다.

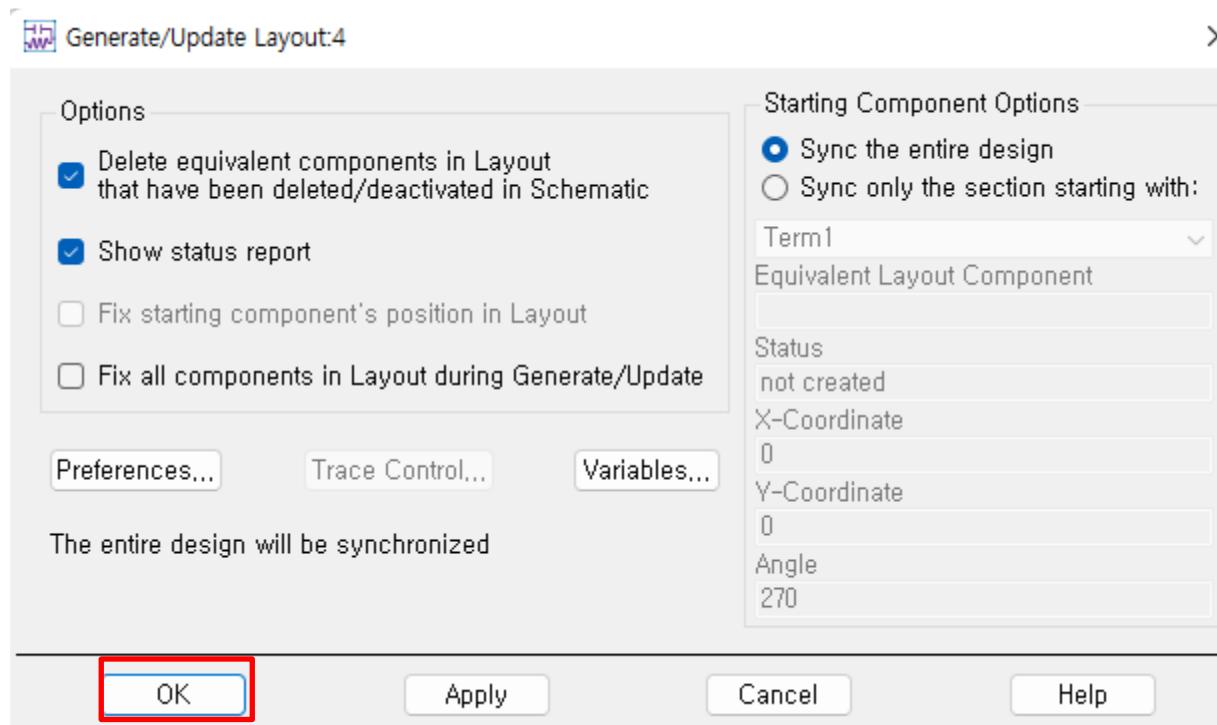


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ ADS Layout의 생성

- Schematic Window의 풀다운 메뉴 중 "Layout - Generate/Update Layout ..." 을 클릭하면 그림에 보인 바와 같이 "Layout Window"가 자동으로 Schematic Window의 백그라운드에서 팝업되며, "Generate/Update Layout" 윈도우가 활성화된다.

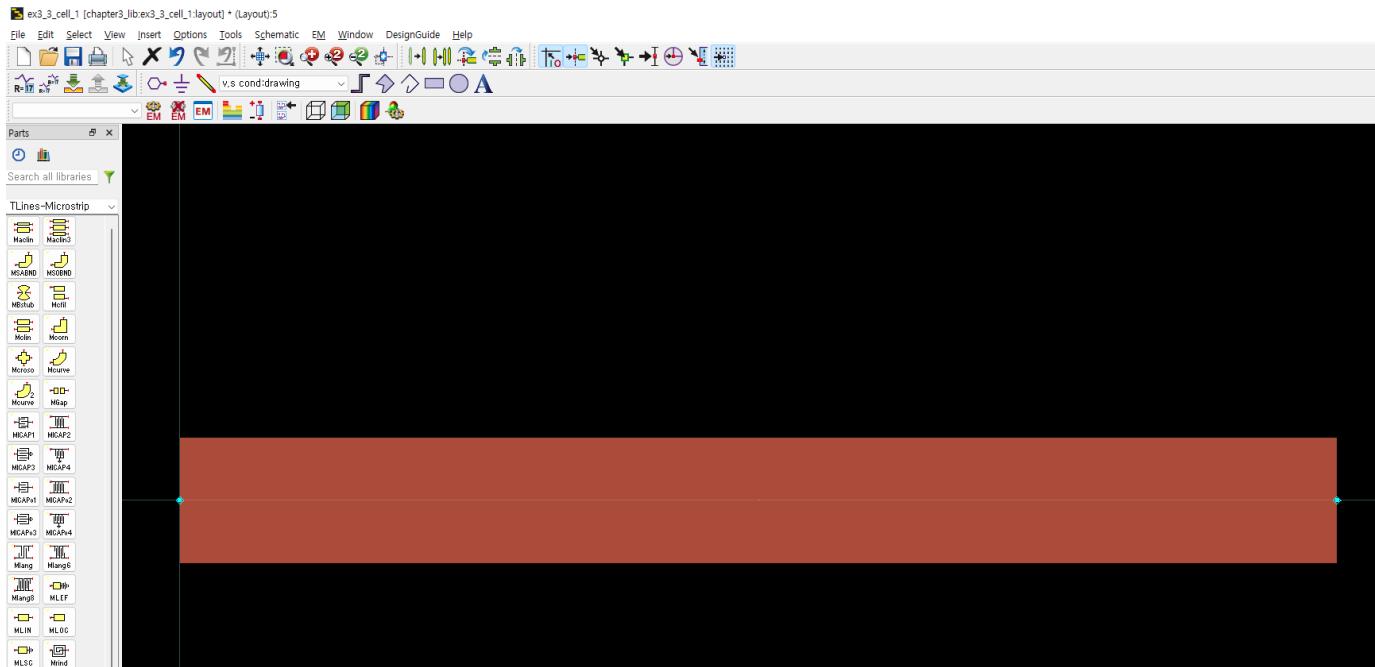


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ ADS Layout의 생성

- "Generate/Update Layout" 윈도우의 default 설정 값을 그대로 둔 채 "OK" 버튼을 클릭하면, 그림에 보인 바와 같이 마이크로스트립 라인이 Layout Window에 생성된다.

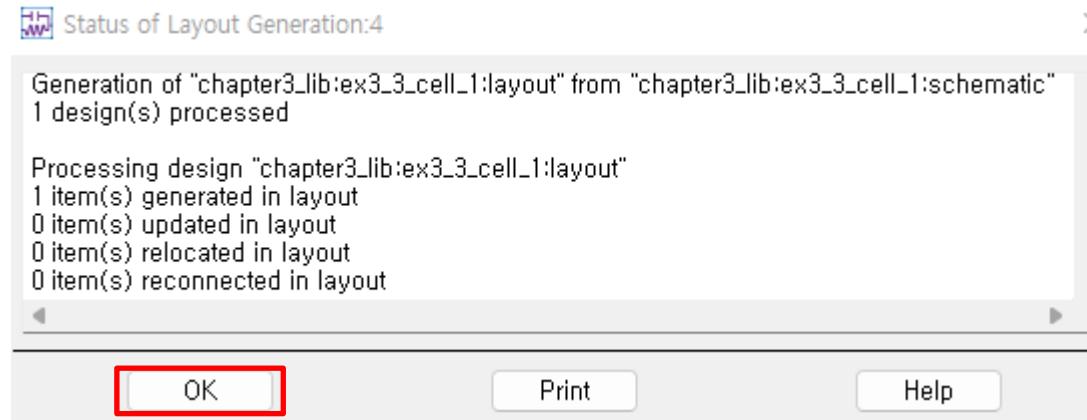


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ ADS Layout의 생성

- Schematic Window로 돌아가보면 그림에 보인 바와 같이 "Status of Layout Generation" 윈도우가 자동 팝업되어 있다.
- ADS Layout 생성 리포트이므로 내용을 확인하고 "OK" 버튼을 클릭하여 해당 윈도우를 닫고, Layout Window를 선택한다.

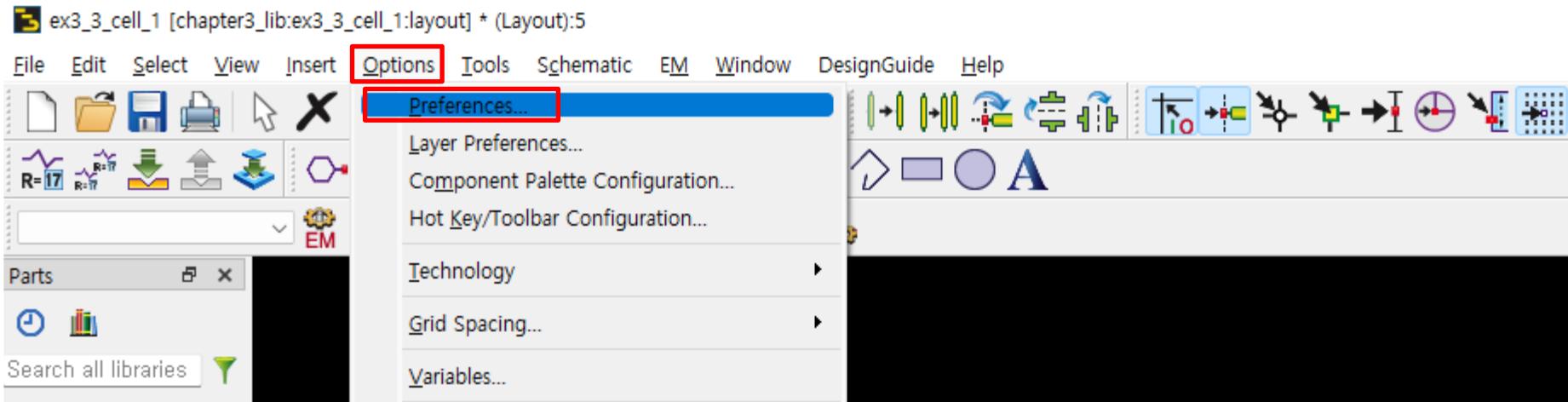


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Window 사용법

- Layout Window의 풀다운 메뉴 중 "Options - Preferences ..."를 클릭하여, Layout Window 사용을 위한 조건을 선택한다.

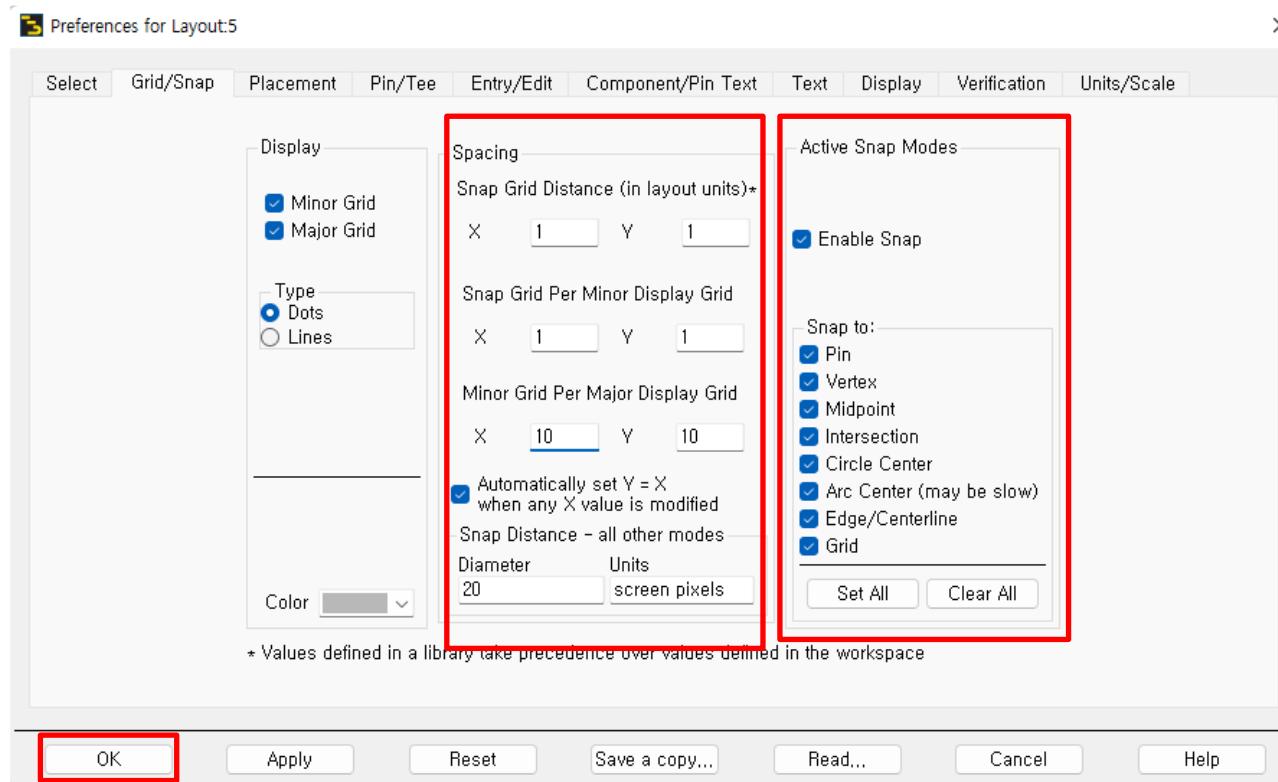


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Window 사용법

- 그림에 보인 "Preferences for Layout" 윈도우에는 10개의 탭이 있다.
- 마지막 탭인 "Unit/Scale"을 선택하여 "Length" 항목의 단위가 "um"임을 확인한다.
- 그리고 두번째 탭인 "Grid/Snap"을 선택하여 "Spacing"과 "Active Snap Modes" 항목을 그림에 보인 바와 같이 설정한다.



4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 답안

▪ Layout Window 사용법

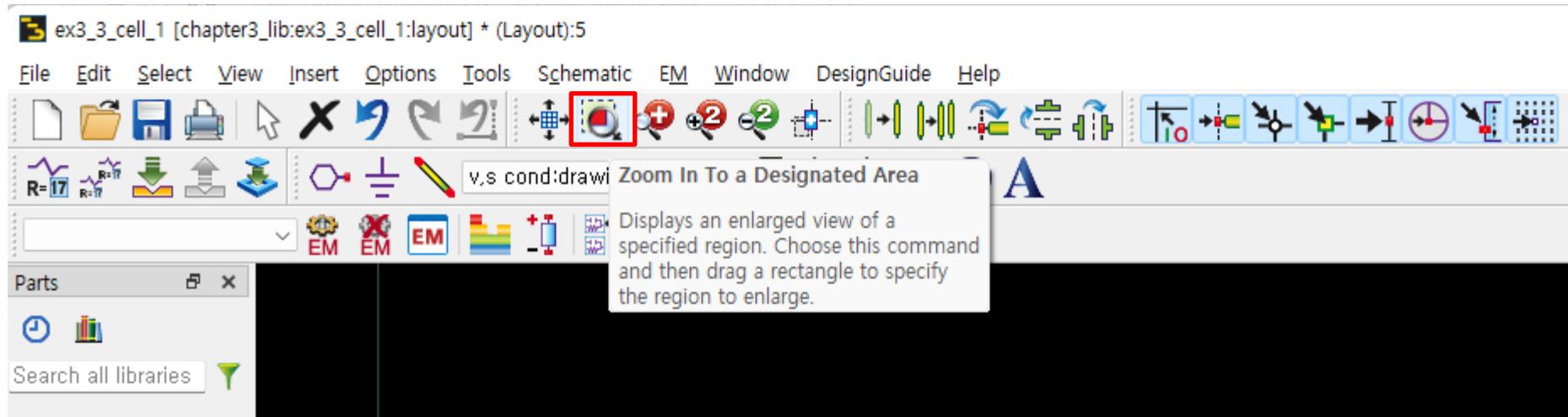
- 앞 장 그림에 보인 "Preferences for Layout" 윈도우 중앙에 있는 "Spacing" 메뉴에서 "Snap Grid Distance (in layout units)*"의 "X"와 "Y" 항목에 "1", "1"으로 설정한다.
- "X"와 "Y"는 Layout Window의 수평축과 수직축을 각각 의미한다.
- "1"로 "Snap Grid Distance (in layout units)*"를 설정하면, ADS Layout을 설계할 때, 모든 선을 "X"와 "Y" 방향으로 정확하게 $1\mu\text{m}$ 씩 증가 또는 감소시킬 수 있다.
- "Snap Grid Per Minor Display Grid"는 "1"로 설정한다.
- "Minor Display Grid" 사이의 거리가 $1\mu\text{m}$ 가 됨을 의미한다.
- "Minor Grid Per Major Display Grid"는 "10"으로 설정한다.
- 큰 점("Major Display Grid") 2개 사이에 작은 점("Minor Grid") 9개가 표시됨을 의미한다.

4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Window 사용법

- "Major Grid"와 "Minor Grid"를 확인하기 위하여 그림에 보인 바와 같이 "Zoom In To a Designated Area" 아이콘을 클릭한다.
- 이 아이콘은 사용자가 원하는 부분 ("Designated Area)을 확대 ("Zoom In")하는 기능을 제공한다.



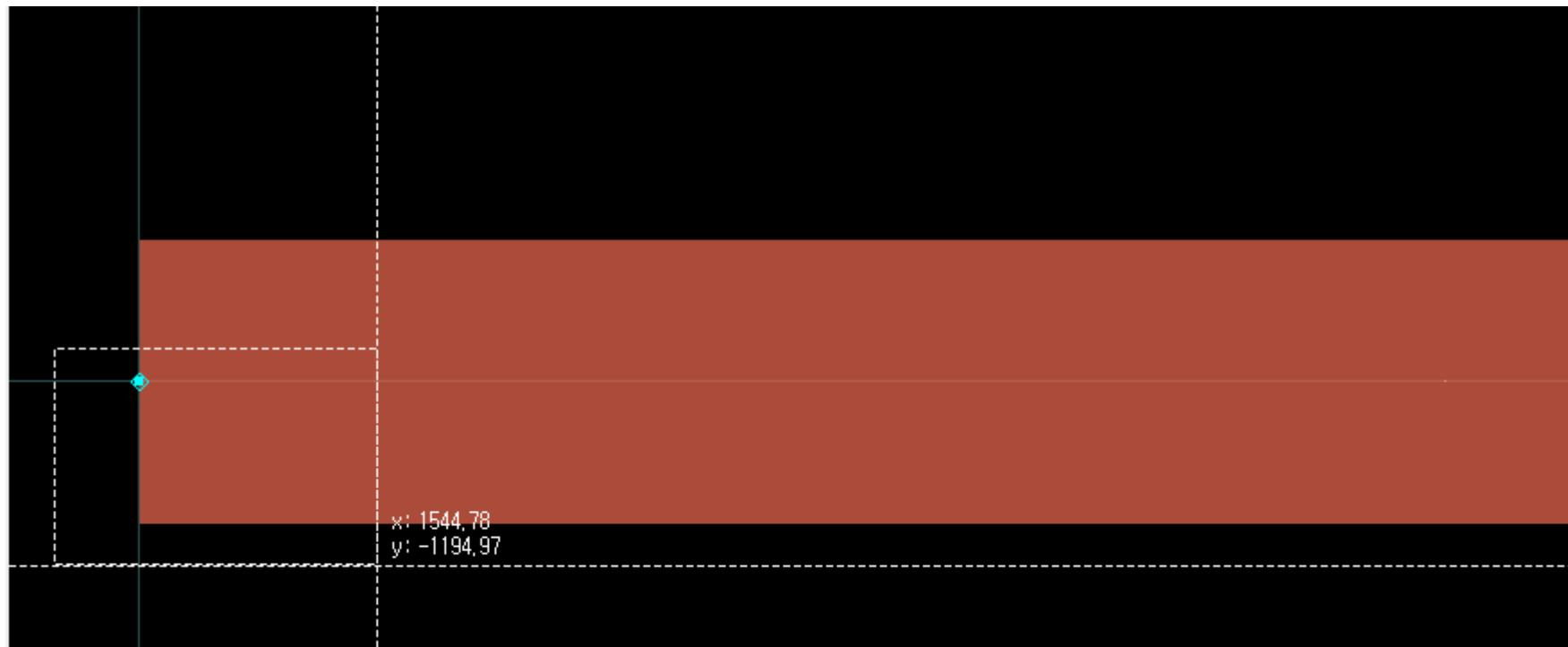
4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 답안

▪ Layout Window 사용법

- 그림에 보인 바와 같이 확대를 원하는 위치 부근의 한 점에서 마우스를 클릭한 후 마우스를 드래그 (drag)하면 점선사각형이 그려진다.



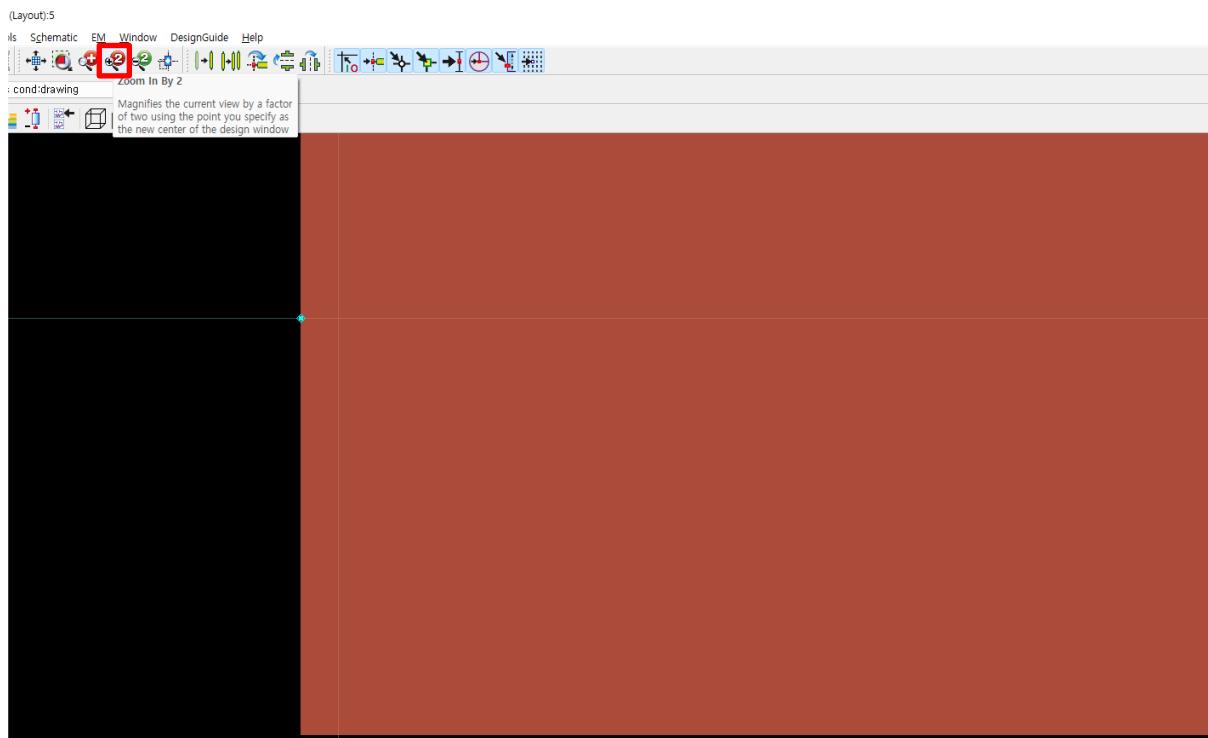
4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 답안

▪ Layout Window 사용법

- 이 상태에서 두번째 마우스를 클릭하면, 그림에 보인 바와 같이 해당 점선 사각형 면적만큼 "Zoom In"됨을 확인할 수 있다.
- 그림과 같이 "Major Grid"가 보일 수도 있고 보이지 않을 수도 있다.
- 만약 "Major Grid"가 보이지 않는다면, "Zoom In To A Designated Area" 아이콘의 우측 두번째 아이콘인 "Zoom In By 2" 아이콘을 한번 이상 "Major Grid"가 보일 때까지 클릭해 주면 "Major Grid"가 화면에 보일 것이다.

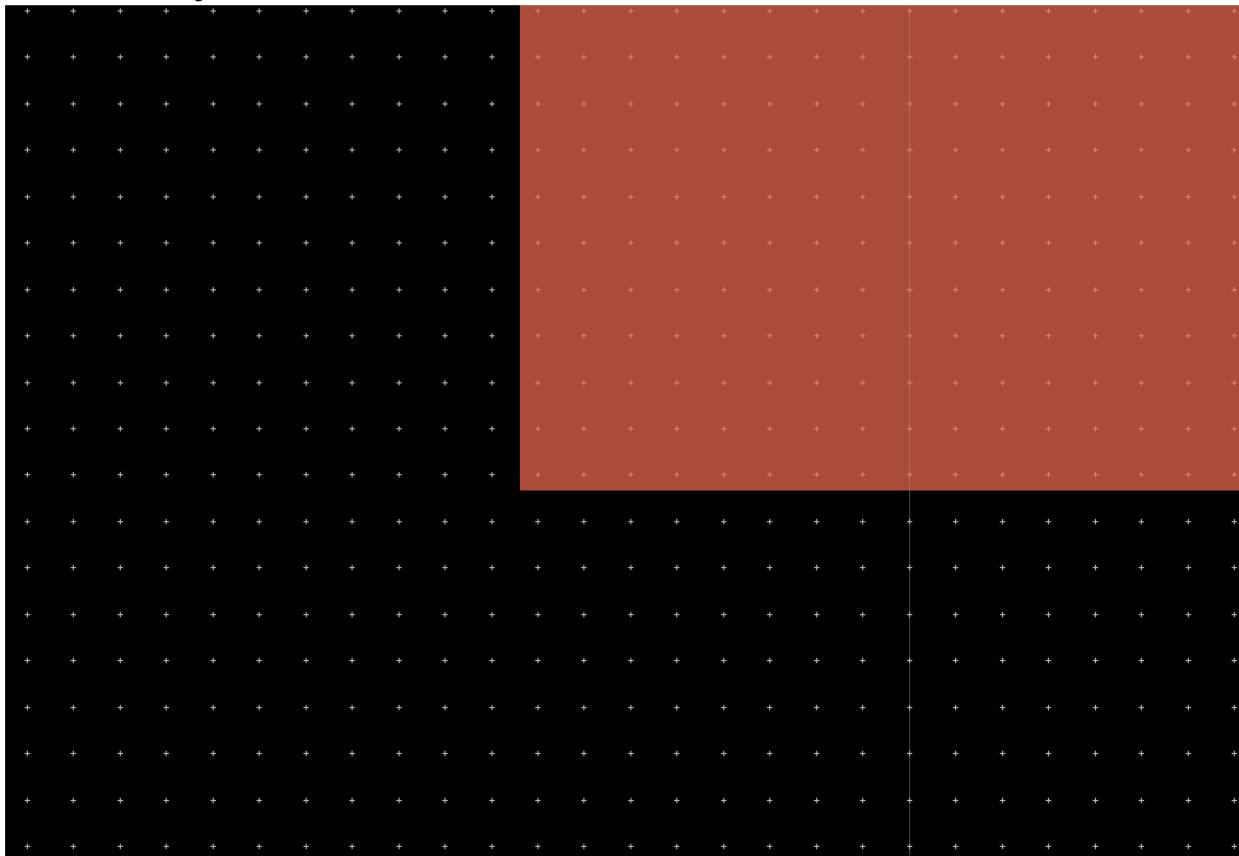


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Window 사용법

- 이 상태에서 "Zoom In To A Designated Area" 아이콘을 이용하여 더욱 "Zoom In"하면 그림에 보인 바와 같이 "Major Grid" 사이에 "Minor Grid"가 보이게 된다.
- "Major Grid"와 "Major Grid" 사이에 작은 점이 9개가 있는 것을 확인할 수 있다.

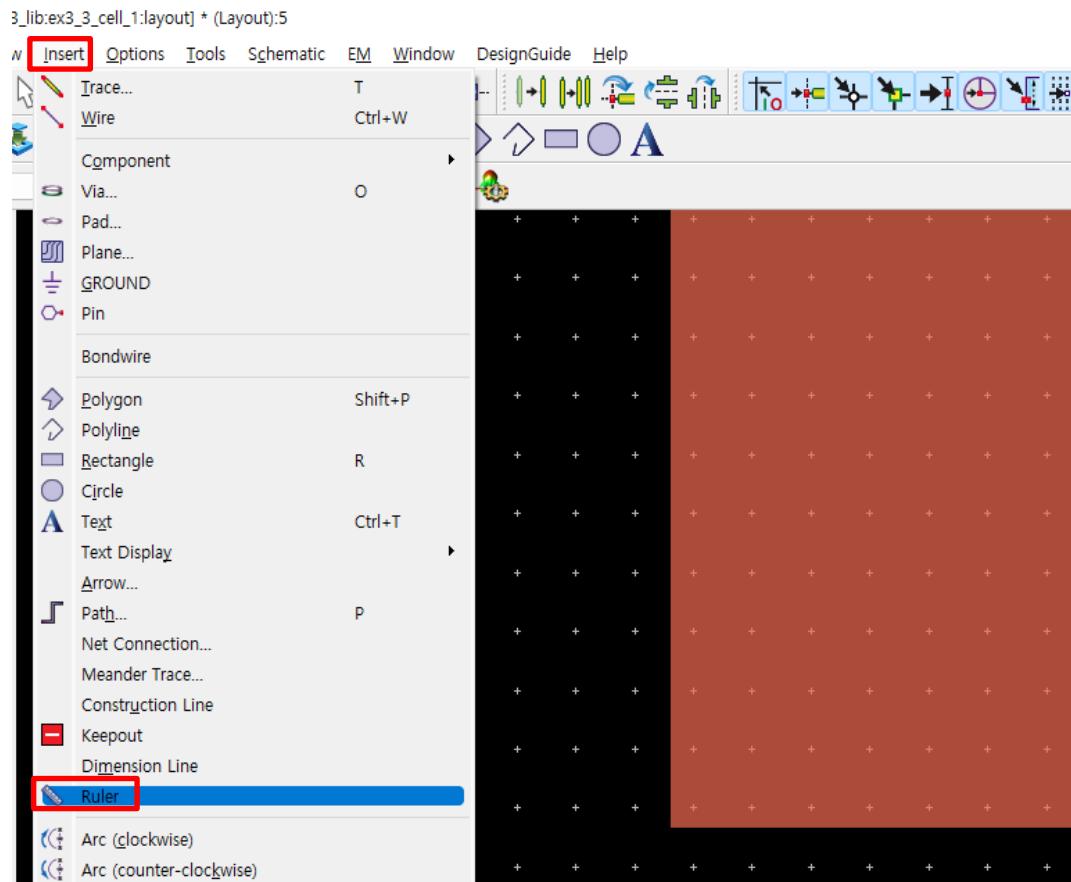


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Window 사용법

- "Major Grid"와 "Minor Grid" 사이의 거리를 측정할 수 있다.
- 그림에 보인 바와 같이, Layout Window의 "Insert" 풀다운 메뉴를 클릭하면 하단에 "Ruler" 메뉴가 있다.



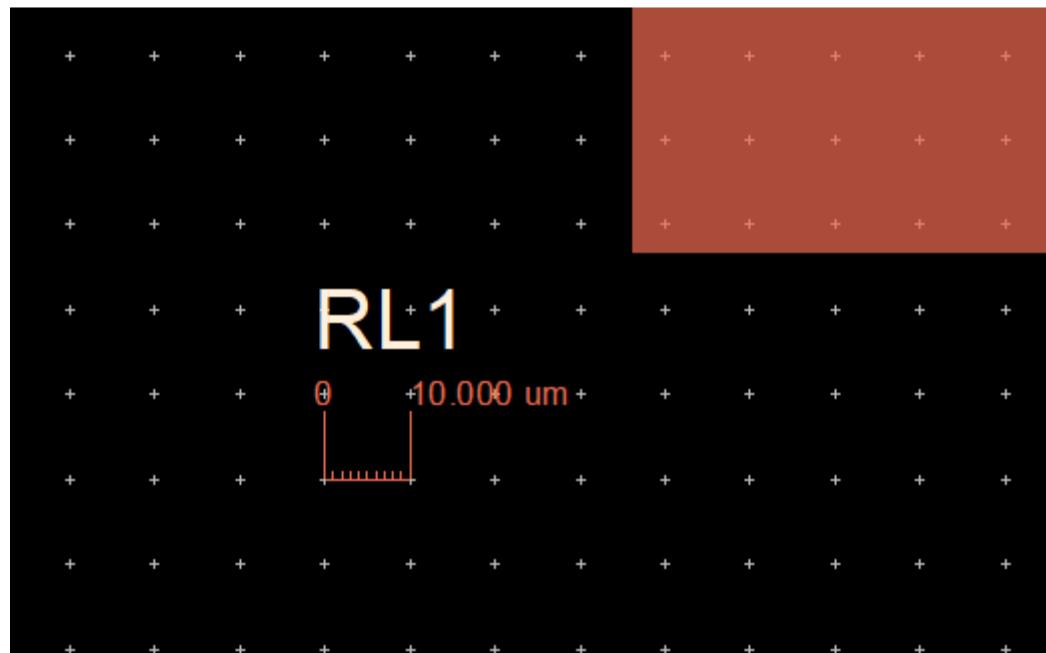
4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 답안

▪ Layout Window 사용법

- 이 "Ruler"를 클릭한 후 "Major Grid"와 "Major Grid" 사이의 거리를 측정하면 그림에 보인 바와 같이 10 μm 임을 확인할 수 있다.
- 따라서, "Minor Grid"와 "Minor Grid" 사이의 거리는 자동적으로 1 μm 가 된다.
- "Minor Grid"와 "Minor Grid" 사이의 거리도 "Ruler"를 이용하여 확인할 수 있다.



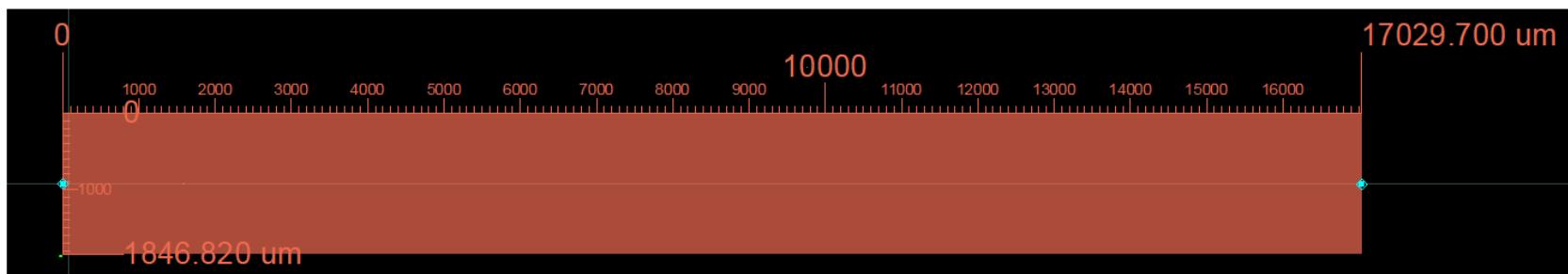
4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

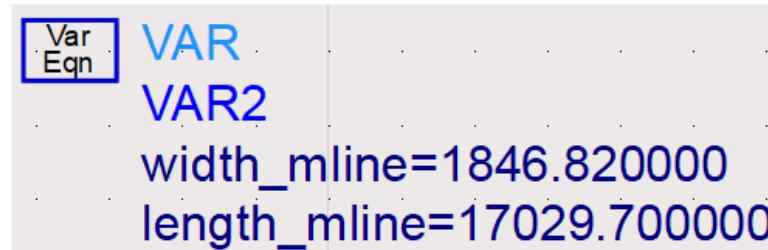
■ 답안

▪ Layout Window 사용법

- "Ruler"를 이용하여 Schematic Window의 "Layout - Generate/Update Layout ..." 메뉴를 이용하여 생성된 Layout Window의 마이크로스트립 라인이 Schematic Window에서 정의된 것과 동일하게 생성되었는지 확인할 수 있다.
- Layout Window의 풀다운 메뉴 "Insert - Ruler"를 선택하여 그림에 보인 바와 같이 "Ruler"를 이용하여 마이크로스트립 라인의 폭과 길이가 숫자로 "1846.820um"와 "17029.700um"로 표시되어 있다.



- 그림에 보인 바와 같이 ADS Schematic에 정의된 마이크로스트립 라인의 폭("width_mline")과 길이 ("length_mline")과 정확하게 일치하는 것을 확인할 수 있다.
- "Ruler"는 마우스로 선택 후 컴퓨터 키보드의 "Delete" 키를 사용하여 지울 수 있다.

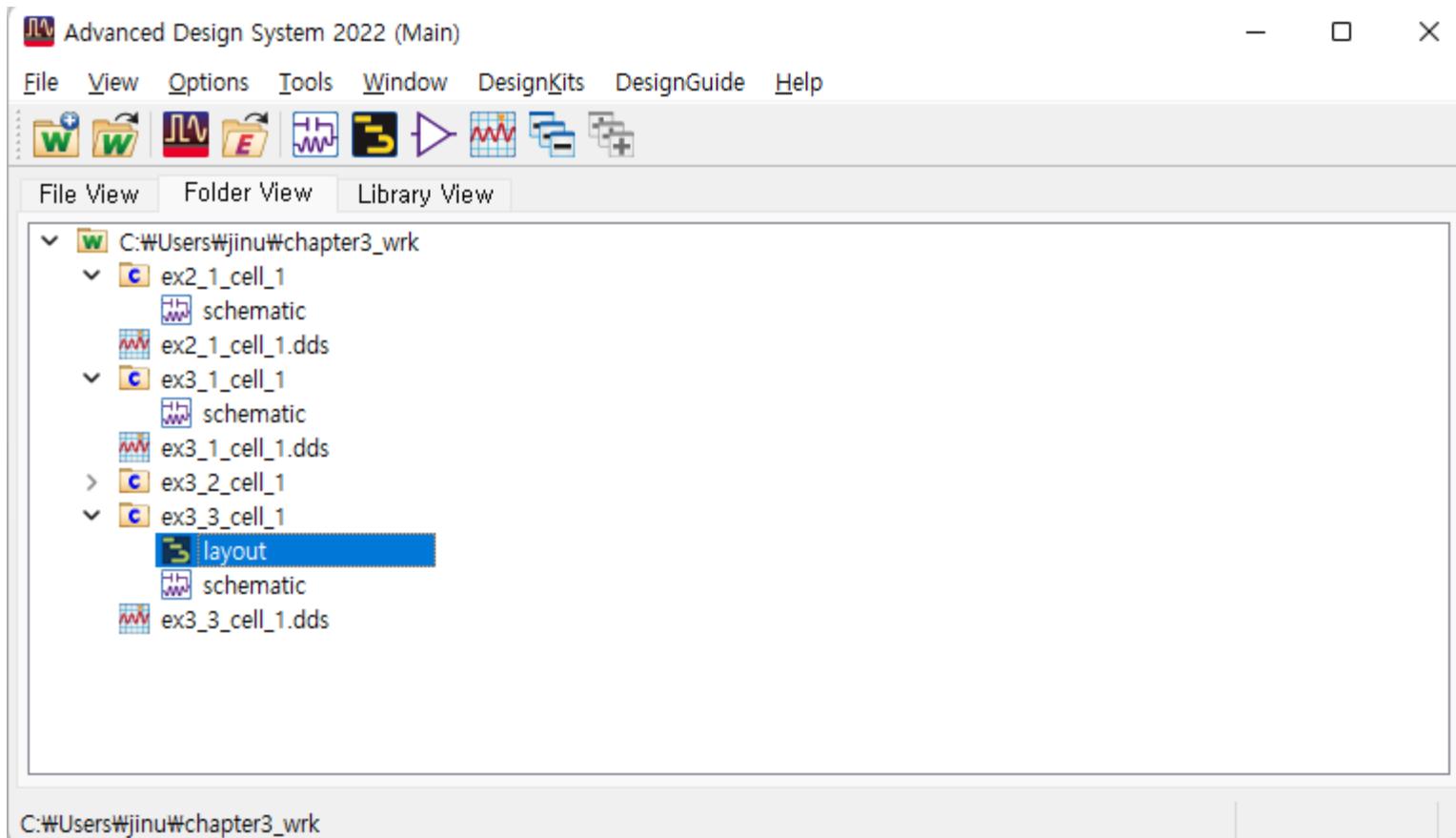


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Window 사용법

- 그림에서 보인 바와 같이 ADS Main Window의 "Folder View" 탭에 보면 "ex3_3_cell_1" cell에 "layout" 항목이 생성되어 있는 것을 확인할 수 있다.

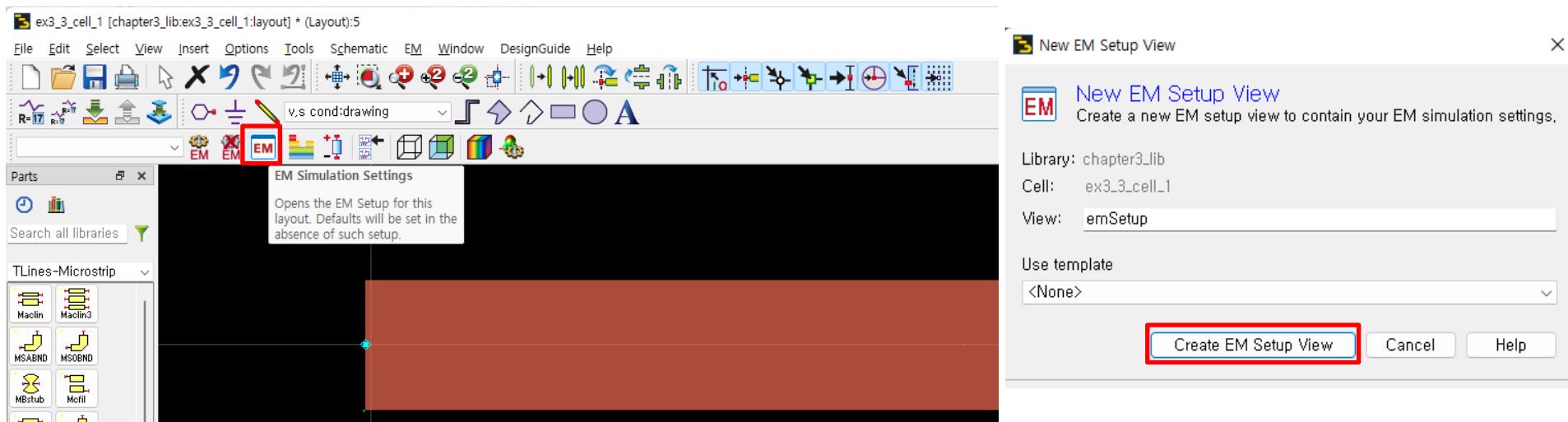


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- EM Simulation Settings
 - 좌측 그림에 보인 바와 같이 Layout Window에 "EM Simulation Settings" 를 클릭하면, 우측 그림에 보인 "New EM Setup View"라는 윈도우가 팝업 된다.

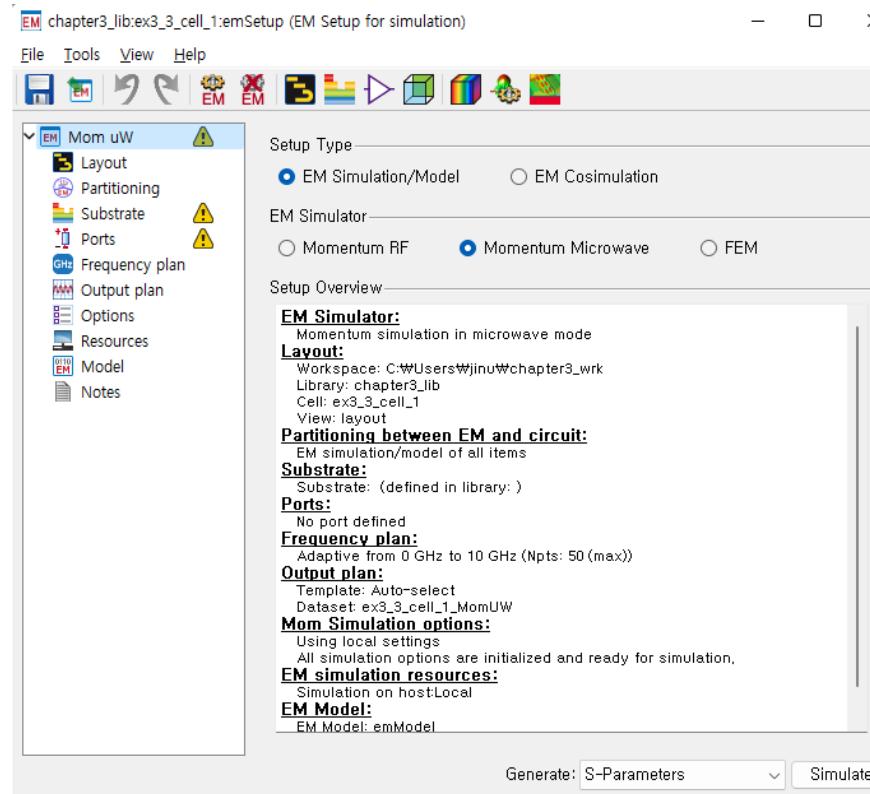


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- EM Simulation Settings
 - "Create EM Setup View"를 클릭하면 그림에 보인 "chapter3_lib:ex3_3_cell_1:emSetup (EM Setup for simulation)"이라는 윈도우가 팝업 된다.
 - 본 강좌에서는 앞으로 이 윈도우를 emSetup 윈도우로 칭한다.

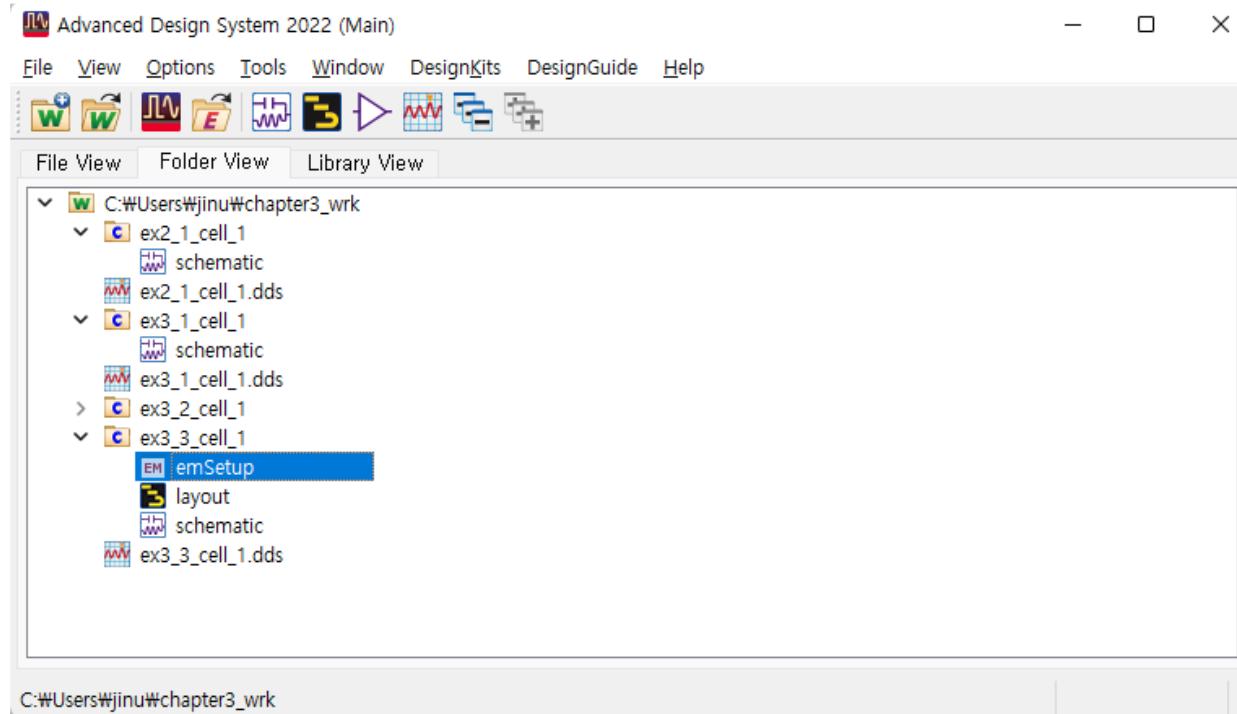


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- EM Simulation Settings
 - 이와 함께 그림에 보인 바와 같이 ADS Main Window의 "ex3_3_cell_1" cell에 emSetup 항목이 생성되어 있는 것을 확인할 수 있다.



4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 답안

▪ Layout Simulation

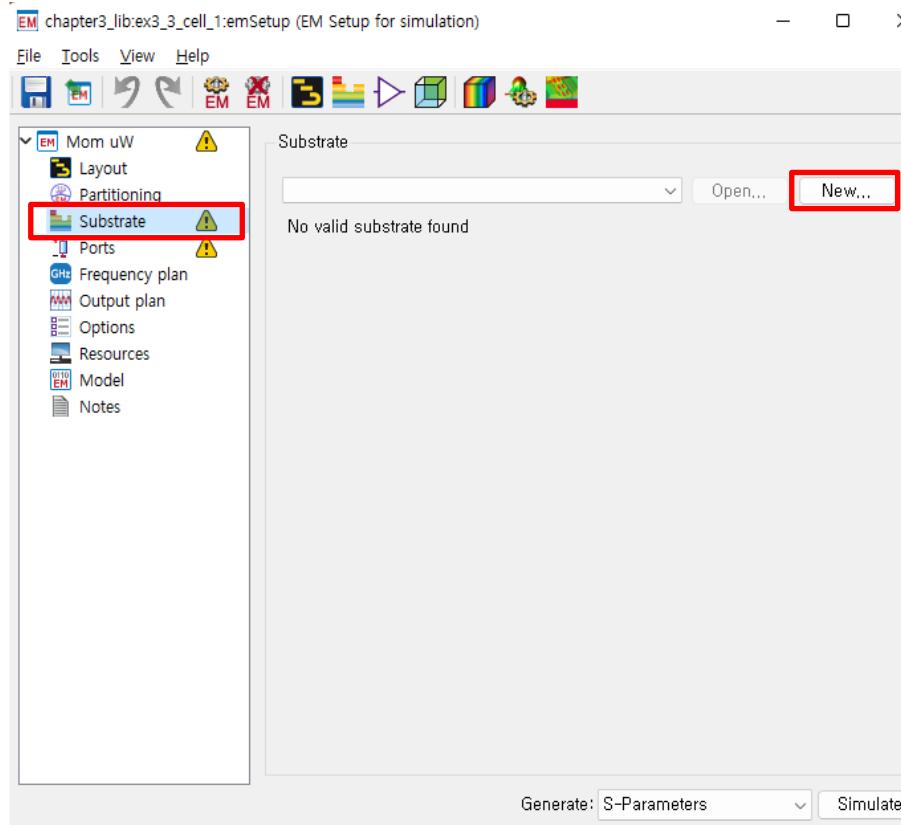
- EM Simulation Settings
 - 사용자는 필요할 경우, ADS Main Window의 emSetup을 더블 클릭하여 emSetup 윈도우를 다시 열 수도 있다.
 - emSetup 윈도우는 Layout Simulation을 실행하기 위하여 필요한 다양한 조건들을 설정하는 윈도우이다.
 - Schematic Simulation의 경우, ADS Schematic을 완성한 후 Schematic Window의 우측 끝에 있는 톱니바퀴 모양의 "Simulate" 아이콘을 클릭하는 것으로 실행된다.
 - 하지만, Layout Simulation은 Schematic Simulation보다 조금 더 복잡한 설정이 필요하다.
 - emSetup 윈도우에서 노란색 바탕의 세모 모양에 느낌표가 표시되어 있는 항목은 해당 항목의 설정에 오류가 있다는 표시이다.
 - 오류를 해결하여 오류 표시를 제거하지 않으면 Layout Simulation은 실행되지 않는다.
 - 다음과 같이 오류를 해결한다.

4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 그림에 보인 바와 같이 emSetup 윈도우의 "Substrate"를 선택하면, "No valid substrate found"라는 메시지와 함께 "Substrate" 메뉴가 비어 있는 것을 확인할 수 있다.
 - "Substrate"를 정의하기 위하여 우측의 "New ..." 버튼을 클릭하여 새로운 기판을 정의한다.

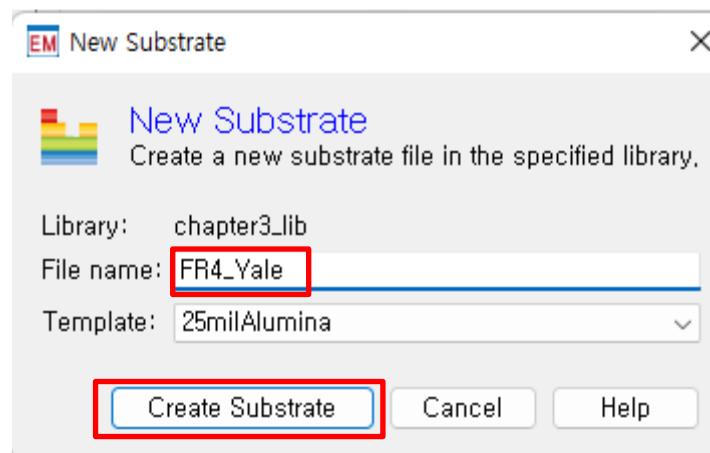


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - "New ..." 버튼을 클릭하면 그림에 보인 바와 같이 "New Substrate" 윈도우가 팝업 된다.
 - "File name:"은 "FR4_Yale" (또는 사용자의 편의에 따라 다른 이름을 선택해도 된다)로 설정하고 "Template:" 풀다운 메뉴에서 이미 선택된 default 설정인 "25milAlumina"를 유지한다.

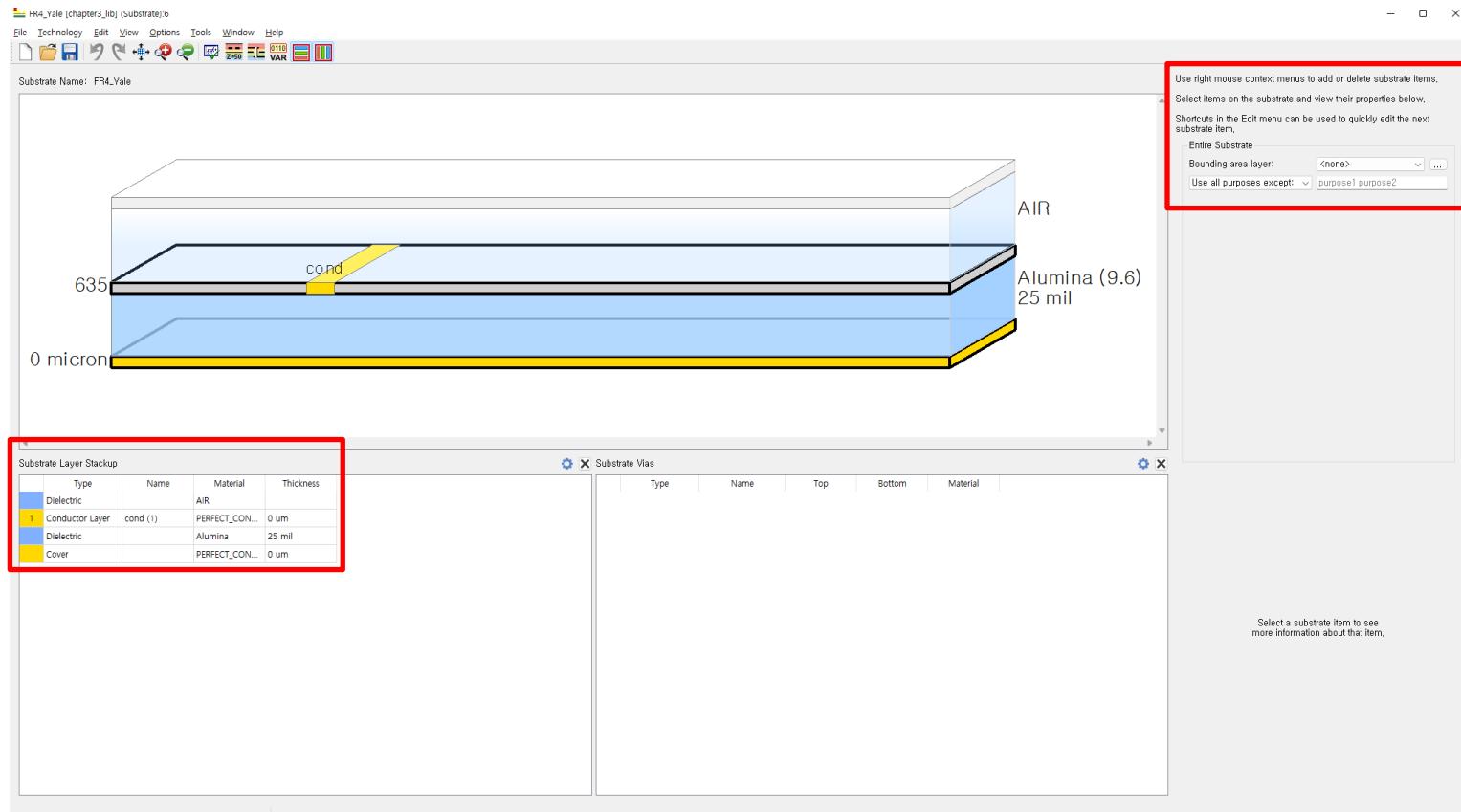


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - "Create Substrate" 버튼을 클릭하면, 그림에 보인 바와 같이 "FR4_Yale [ex2_1_lib](Substrate)" 윈도우가 팝업된다.
 - 본 강좌에서는 앞으로 이 윈도우를 Substrate 윈도우로 칭한다.



4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 좌측 그림에 보인 바와 같이 앞장의 그림에 표시된 "Substrate Layer Stackup" 표에 있는 "Cover" 항목을 선택하면, 앞장의 그림의 우측의 적색 박스에 표시된 내용이 우측 그림에 보인 바와 같이 바뀐다.

Substrate Layer Stackup				
Type	Name	Material	Thickness	
Dielectric		AIR		
1	Conductor Layer	cond (1)	PERFECT_CON...	0 um
Dielectric		Alumina	25 mil	
Cover		PERFECT_CON...	0 um	

Use right mouse context menus to add or delete substrate items.

Select items on the substrate and view their properties below.

Shortcuts in the Edit menu can be used to quickly edit the next substrate item.

Interface

Cover
 Strip plane
 377 Ohm Termination

Material:

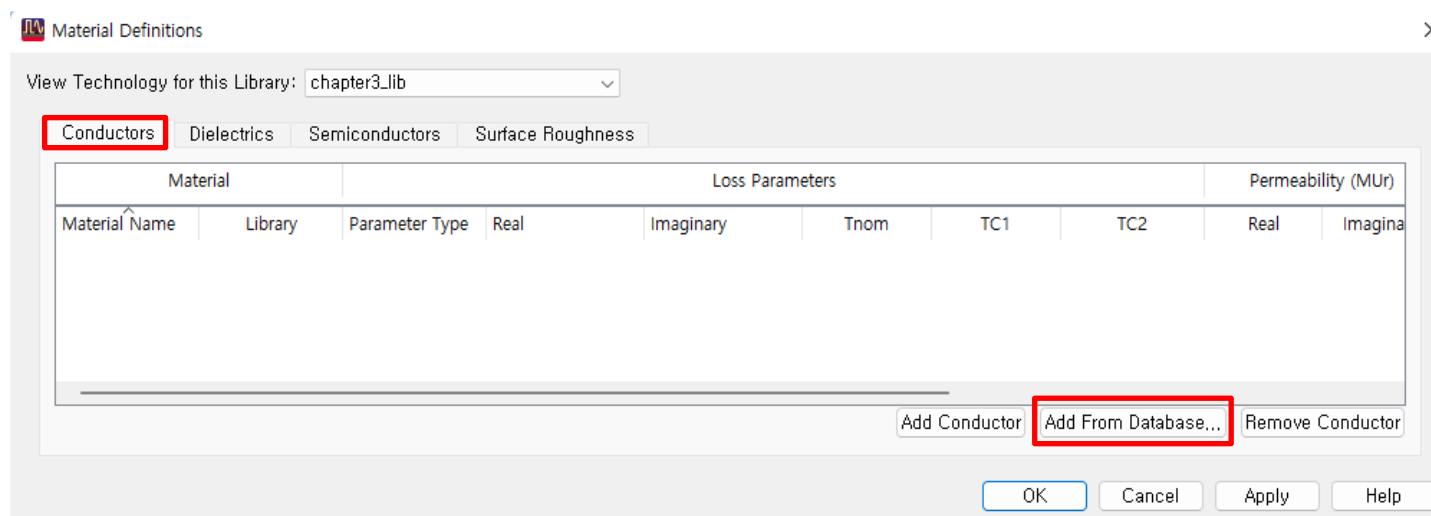
Thickness:

4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 앞장 우측 그림에 보인 바와 같이 하단의 "Material" 메뉴의 우측에 있는 "..." 버튼을 클릭하면, "Material Definitions" 윈도우가 그림과 같이 팝업된다.
 - "Material Definitions"에는 "Conductors" 탭이 선택되어 있는 것을 확인할 수 있다.
 - 그림에 표시되어 있는 우측 하단의 "Add From Database..." 버튼을 클릭한다.

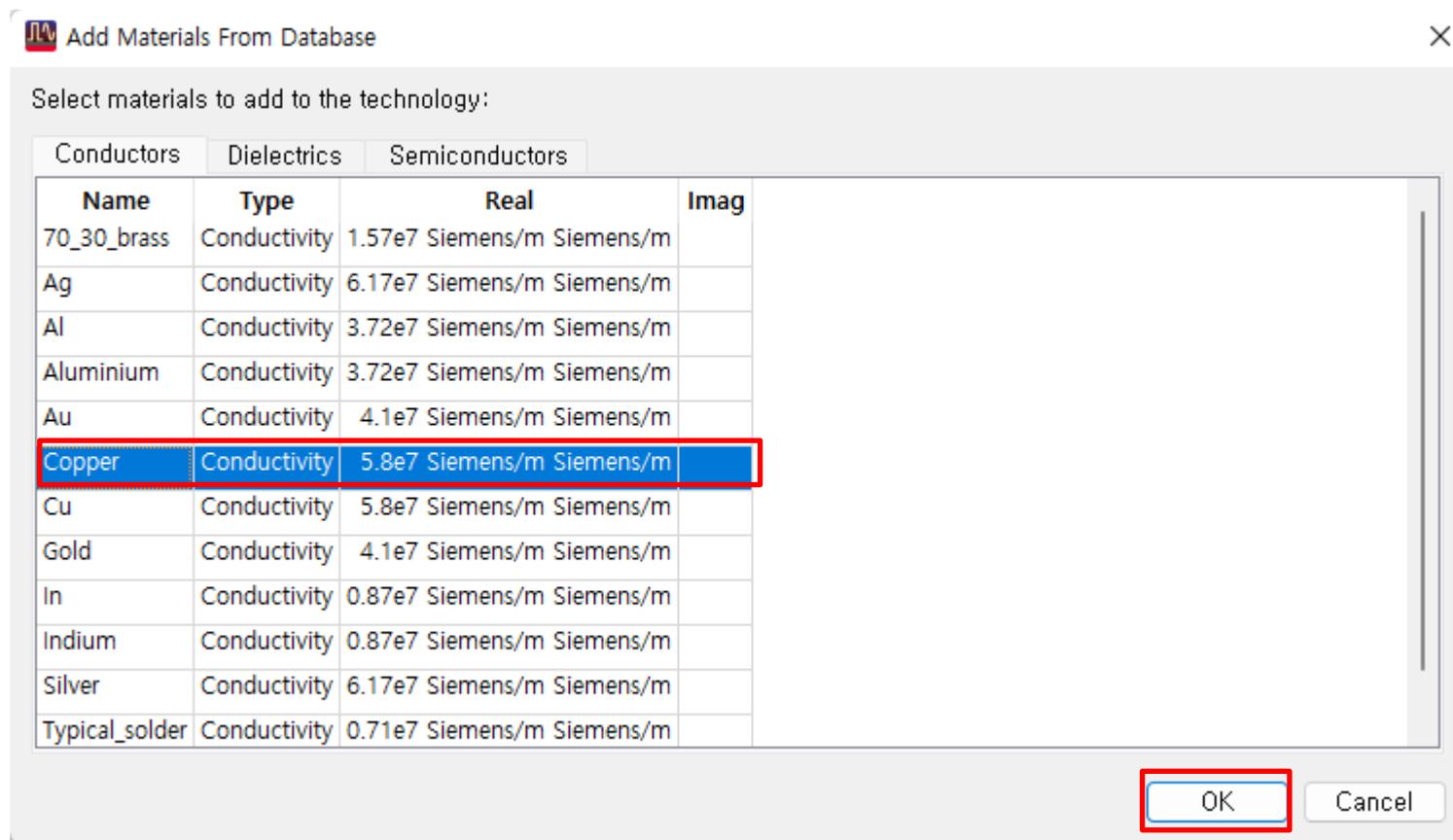


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 그림에 보인 바와 같이 "Copper"를 선택하고 "OK" 버튼을 누르면, "Material Definitions" 윈도우에 "Copper"가 추가되어 있음을 확인할 수 있다.

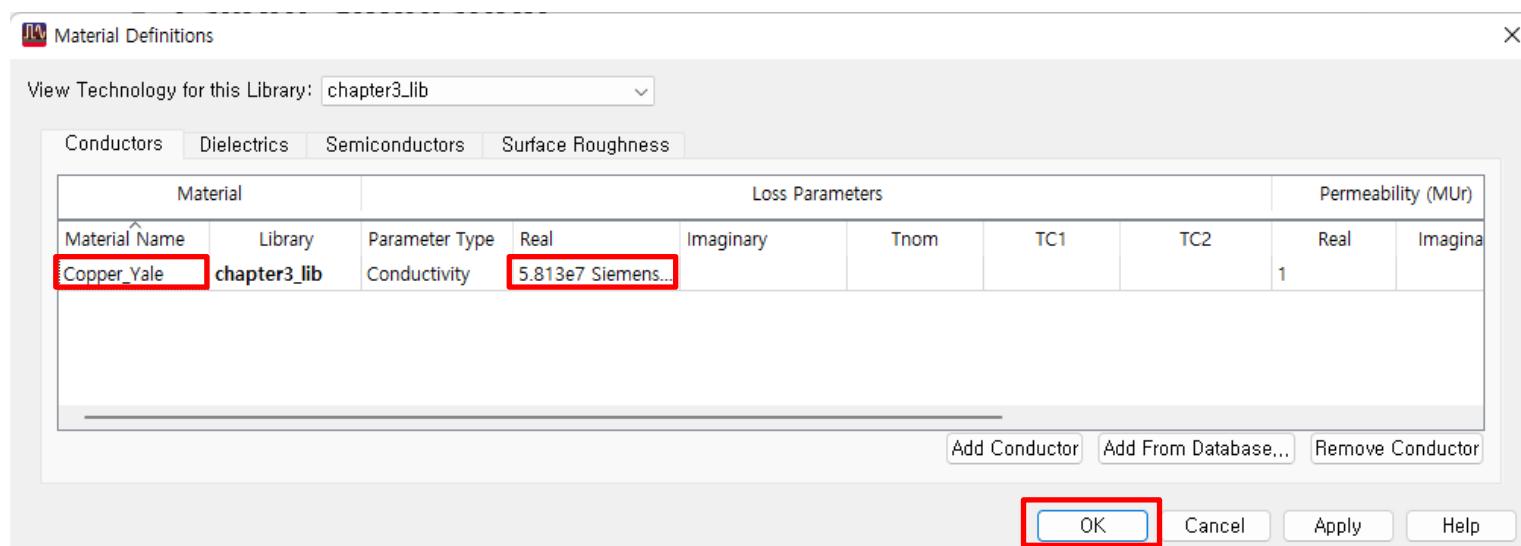


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 그림에 보인 바와 같이 "Material Name"을 "Copper_Yale"로 변경하고 "Loss Parameters"의 "Real" 항목을 "5.813e7"로 변경한다.
 - 나머지 항목들은 default 값으로 유지한 채 "OK" 버튼을 클릭한다.

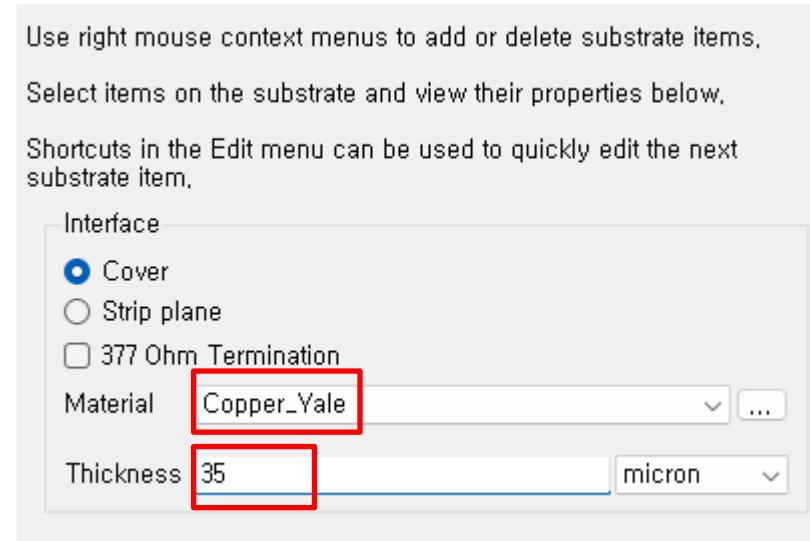
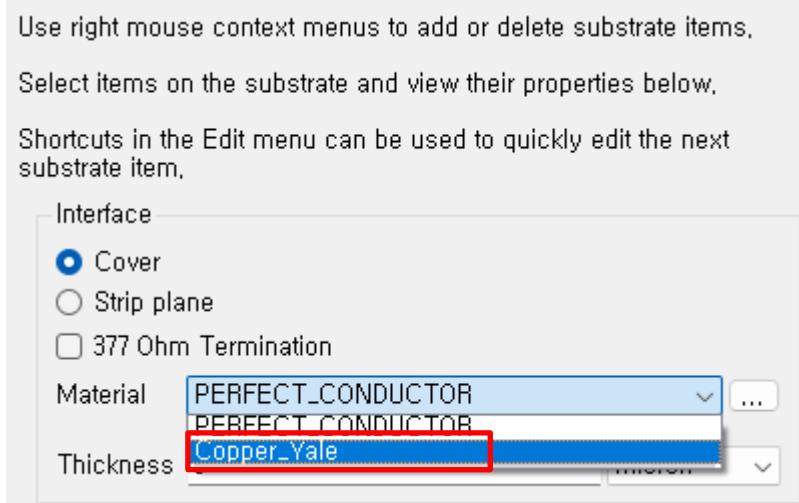


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 이제 "Substrate Layer Stackup" 메뉴에 있는 "Cover" 항목을 선택할 때 그림과 같이 "Copper_Yale"을 선택할 수 있다.
 - 그리고, "Thickness"는 "35 micron"으로 설정한다.



4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 같은 방법으로 "Substrate Layer Stackup" 메뉴에 있는 "Conductor Layer"를 선택한다.

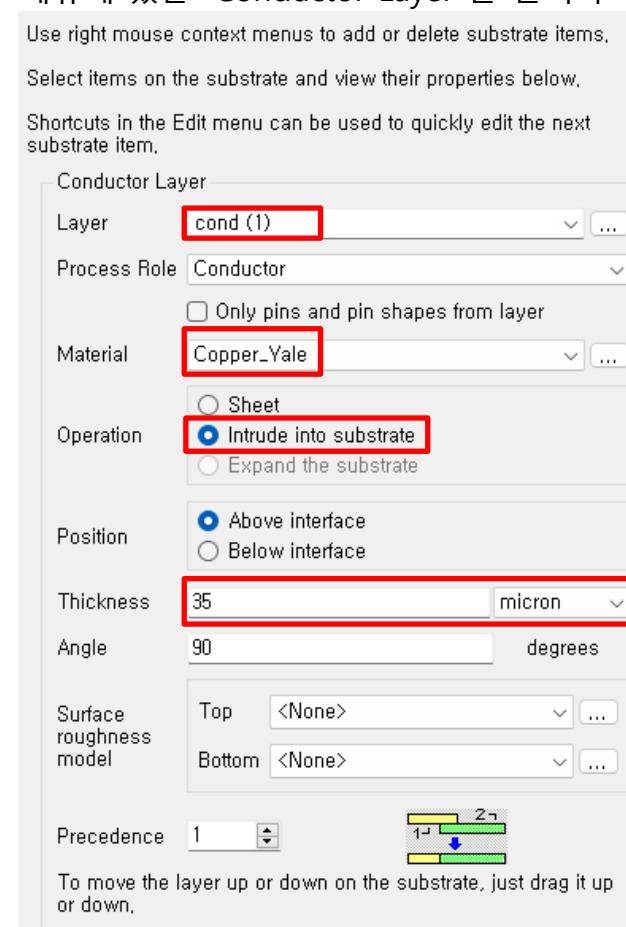
Substrate Layer Stackup				
	Type	Name	Material	Thickness
	Dielectric		AIR	
1	Conductor Layer	cond (1)	PERFECT_CON...	0 um
	Dielectric		Alumina	25 mil
	Cover		Copper_Yale	35 um

4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 같은 방법으로 "Substrate Layer Stackup" 메뉴에 있는 "Conductor Layer"를 선택하여 그림에 보인 바와 같이 설정한다.
 - 이로써 기판의 도체 설정을 마친다.
 - 설정을 마치면 반드시 저장한다.



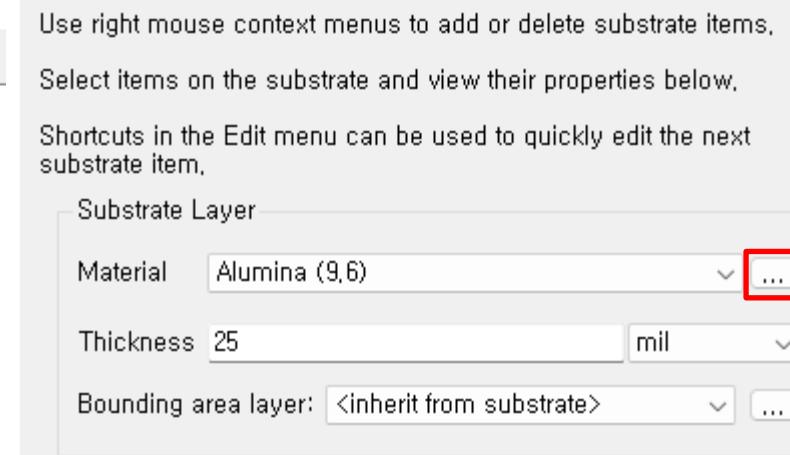
4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 이제, 기판의 유전체("Dielectric")을 설정할 차례이다.
 - "Substrate Layer Stackup" 표의 "Dielectric"을 선택하면 Substrate 윈도우의 우측 내용이 그림에 보인 바와 같이 바뀐다.

Substrate Layer Stackup				
	Type	Name	Material	Thickness
	Dielectric		AIR	
1	Conductor Layer	cond (1)	Copper_Yale	35 um
	Dielectric		Alumina	25 mil
	Cover		Copper_Yale	35 um

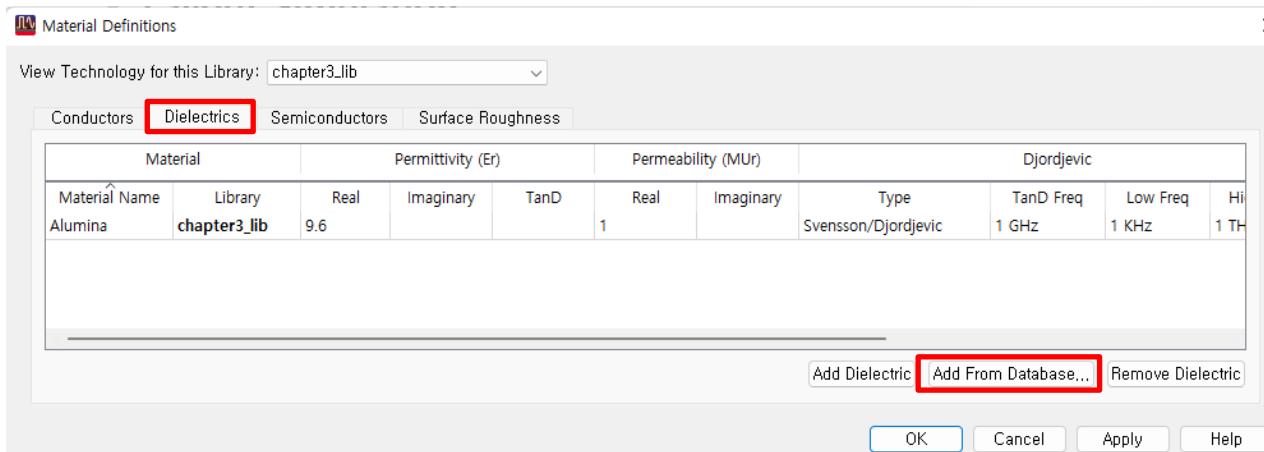


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 앞 장 그림의 "Material" 우측에 있는 "..." 버튼을 클릭하면 하단 그림에 보인 바와 같이 "Material Definitions" 윈도우가 팝업되는데, 이번에는 "Dielectric" 탭이 선택되어 있는 것을 확인할 수 있다.

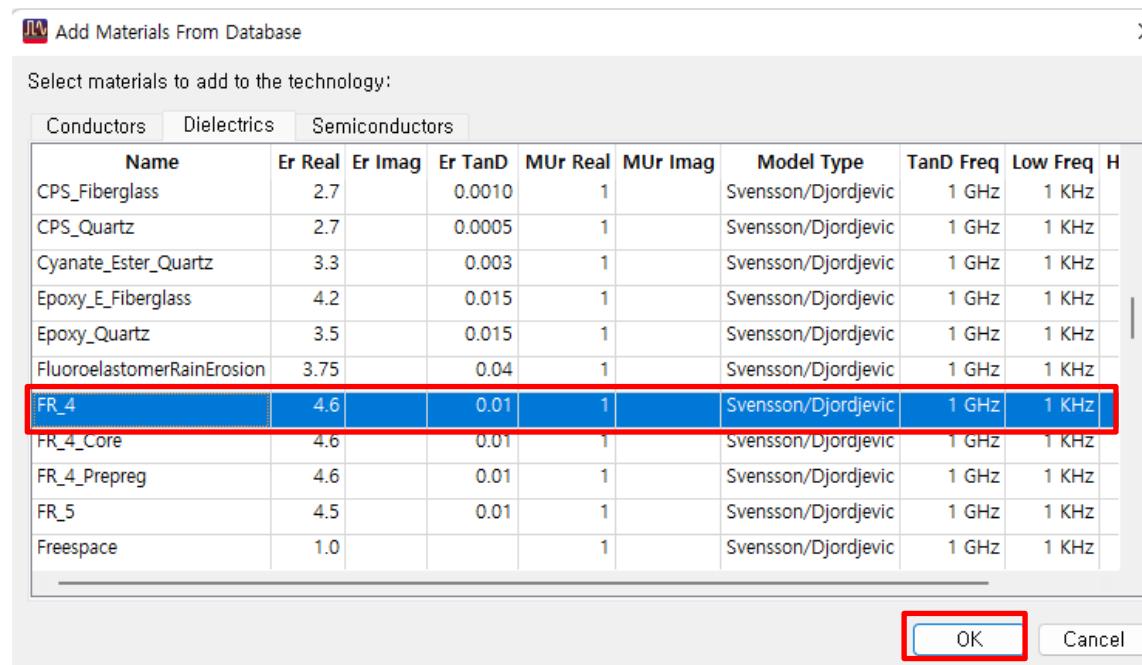


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 앞 장 그림의 하단에 보인 바와 같이 "Material Definitions" 윈도우의 "Add From Database ..." 버튼을 클릭하면, 그림에 보인 바와 같이 "FR_4"를 찾을 수 있다.
 - "Add From Database ..." 하단의 "OK" 버튼을 클릭하면 "Material Definitions" 윈도우에 "FR_4"가 추가되어 있는 것을 확인할 수 있다.

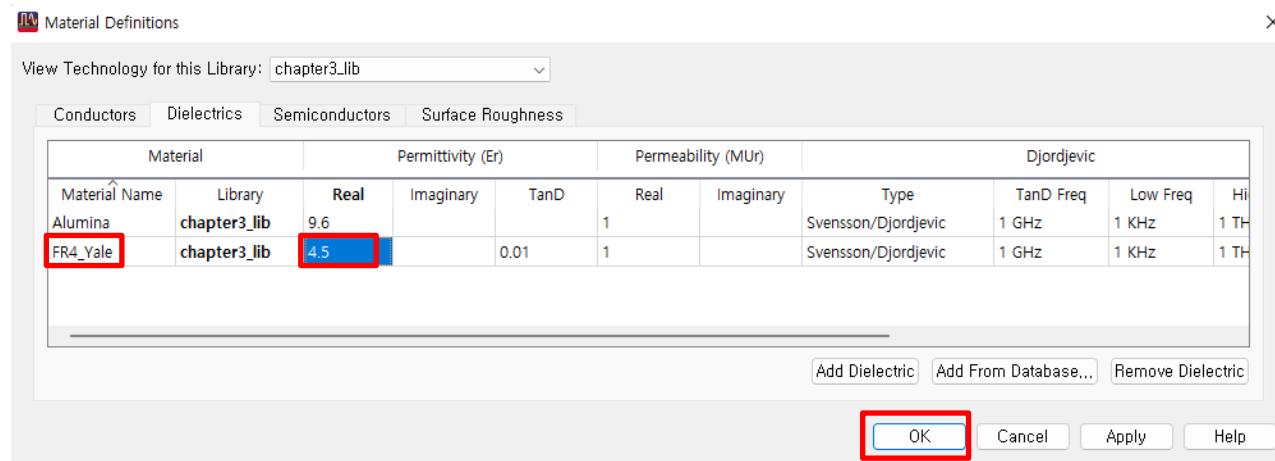


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 그림에 보인 바와 같이, "Material Name"과 "Permittivity(Er)"의 "Real" 항목을 각각 "FR4_Yale"과 "4.5"로 변경하고 "OK" 버튼을 클릭한다.

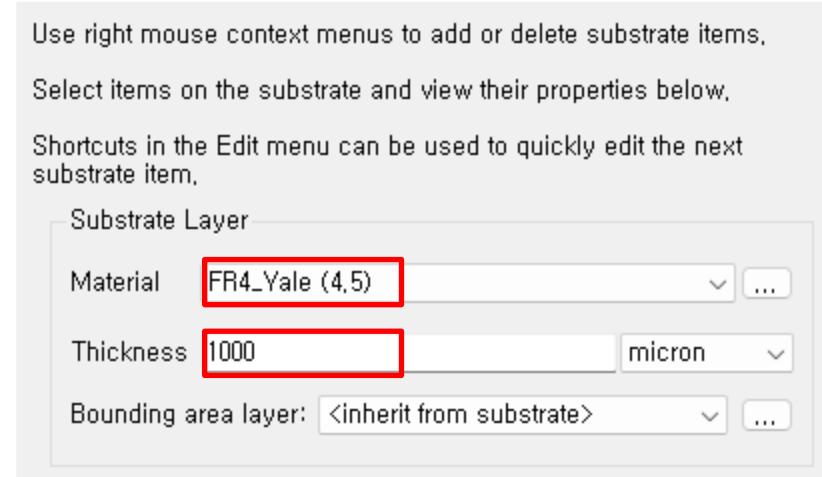
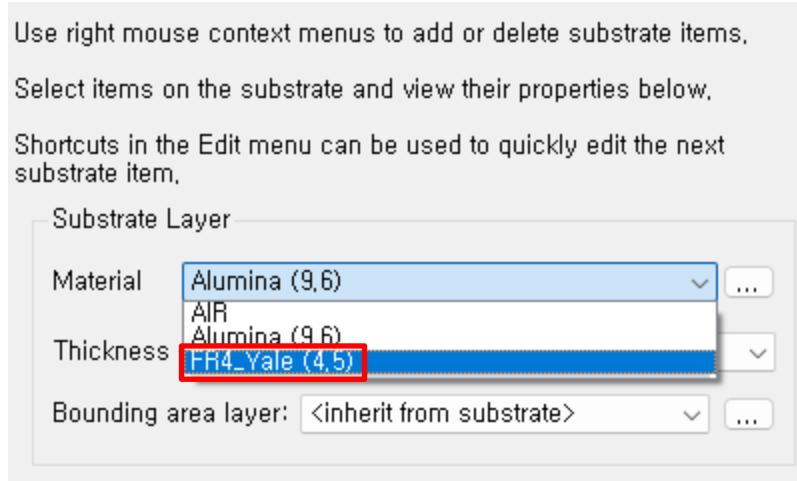


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 아래 "Substrate Layer Stackup" 표에 있는 "Dielectric" 항목을 선택할 때 Substrate Layer Stackup 표에서, 그림과 같이 "FR4_Yale"를 선택할 수 있다.
 - 그리고, "Thickness"는 "1000 micron"으로 설정한다.



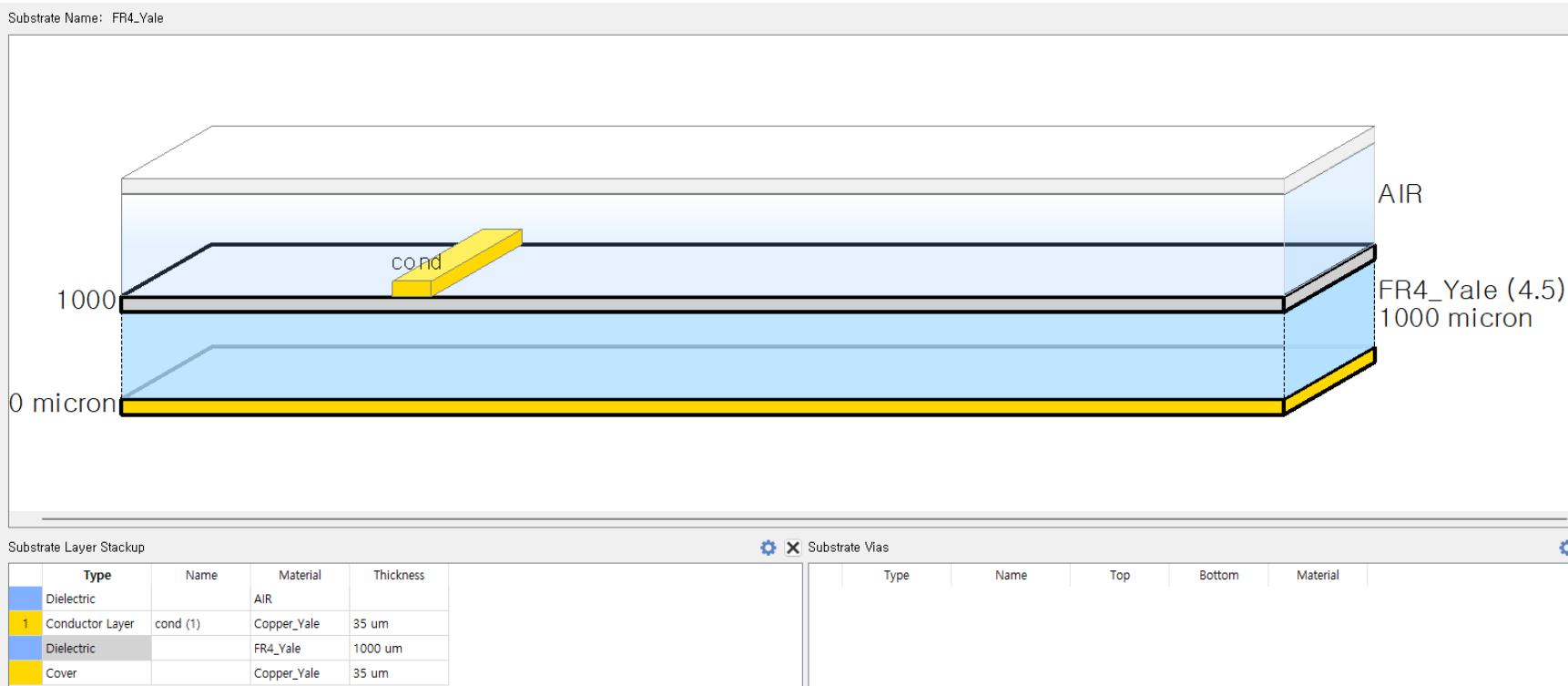
4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 이 과정이 모두 끝나면 그림에 각각 보인 바와 같이 기판의 3D 모형과 기판의 층별 물질과 조건이 변경되어 있음을 확인할 수 있다.
 - 마지막으로 Substrate 윈도우의 저장 아이콘을 클릭하여 저장 후 이 윈도우를 닫는다.

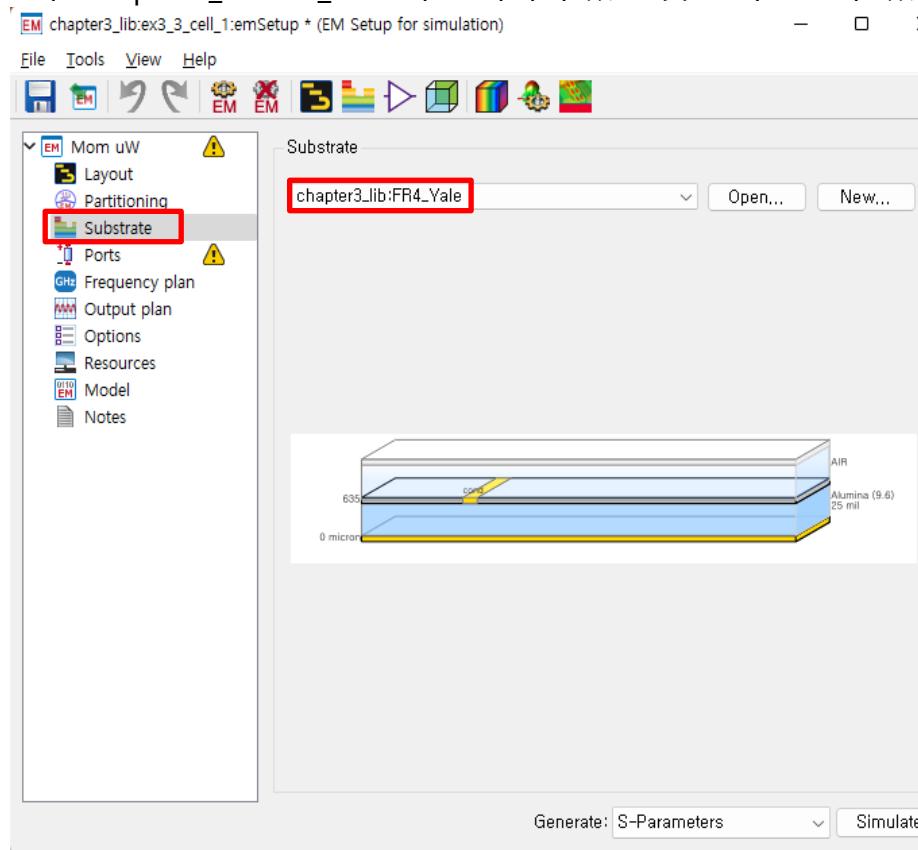


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - emSetup 윈도우를 확인해보면, 그림에 보인 바와 같이 "Substrate" 항목에 노란색 세모 느낌표 경고 표시가 사라진 것을 확인할 수 있다.
 - 그리고, "Substrate"에 "chapter3_lib:FR4_Yale"이 선택되어 있는 것도 확인할 수 있다.

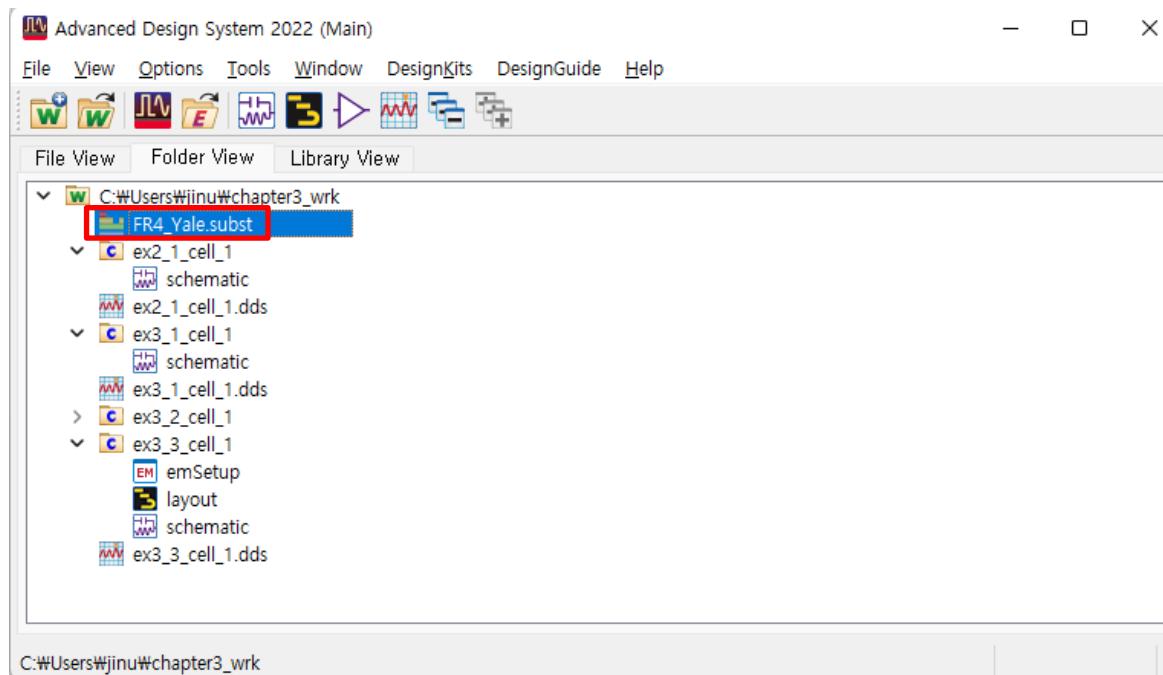


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 기판의 정의: "Substrate"
 - 이 "Substrate"는 그림에 보인 바와 같이 ADS Main Window에 "FR4_Yale.subst"라는 파일로 생성되어 있음을 확인할 수 있다.
 - 사용자의 필요에 따라 ADS Main Window에서 "FR4_Yale.subst"를 더블 클릭하면 "FR4_Yale [chapter3_lib] (Substrate)" 윈도우를 열고 편집도 가능하다.

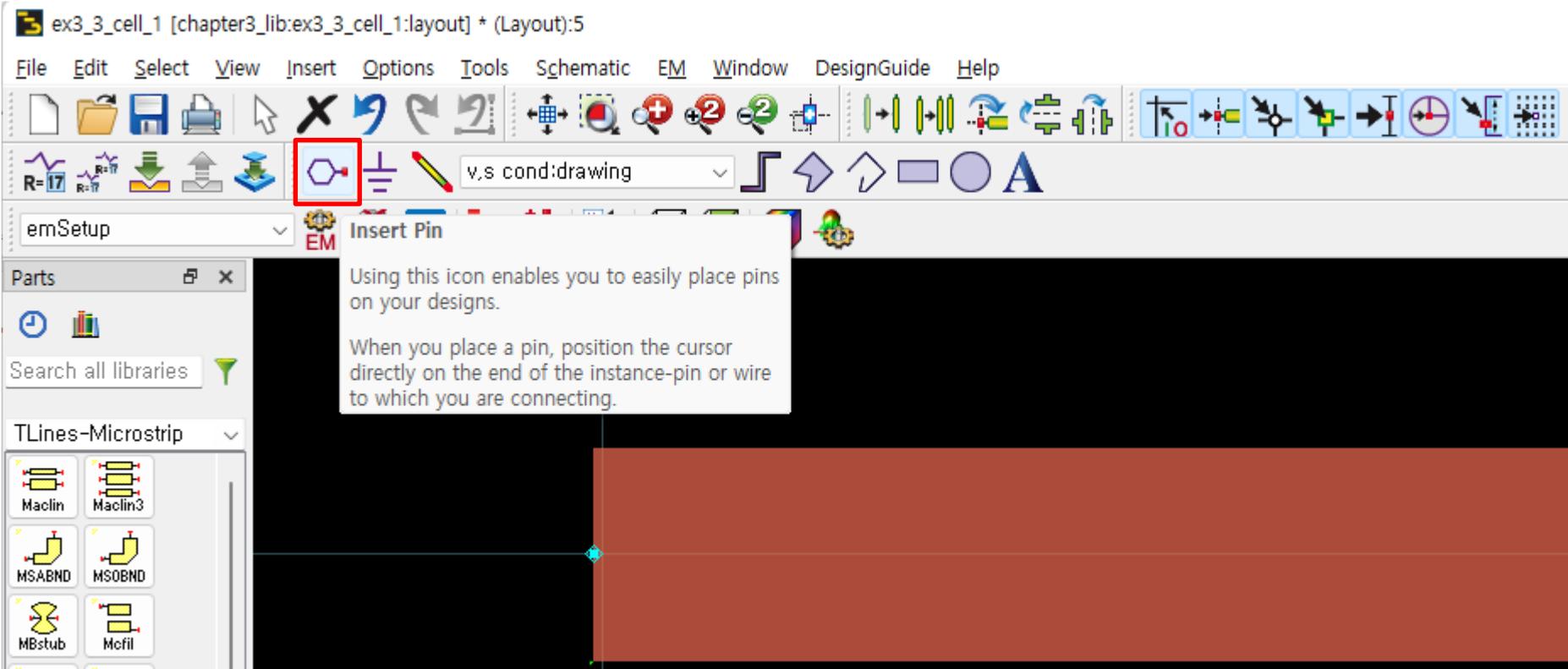


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 포트의 정의 : "Ports"
 - 포트를 정의하기 전에 emSetup 윈도우는 일단 닫는다.
 - 포트를 정의하기 위하여, 마이크로스트립 라인의 입출력단에 "Pin"을 먼저 정의해야 한다.
 - 그림에 보인 바와 같이 Layout Window에서 "Insert Pin" 아이콘을 클릭한다.

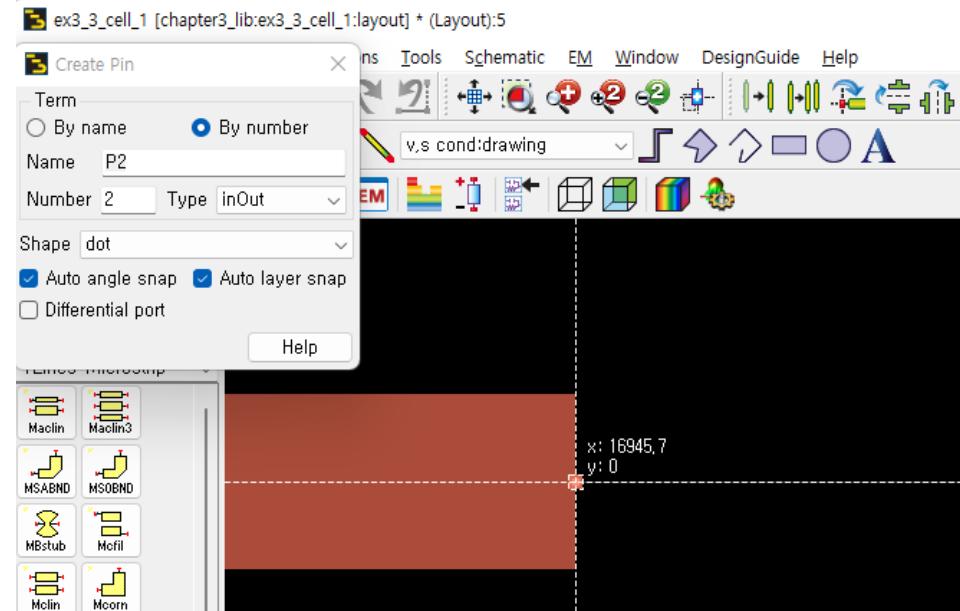
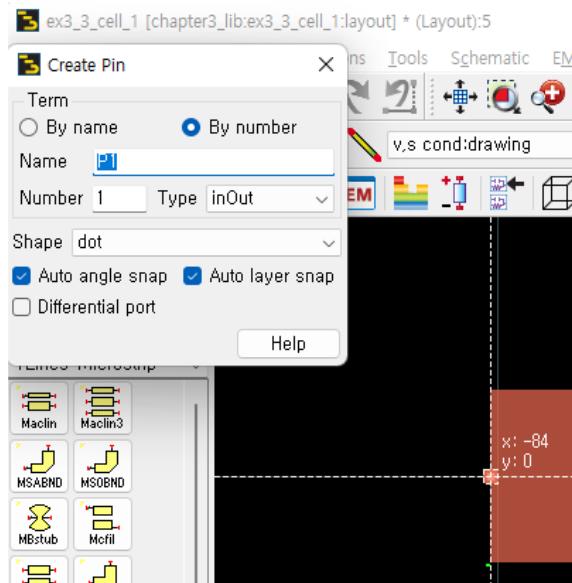


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 포트의 정의 : "Ports"
 - 좌측 그림에 보인 바와 같이 "Create Pin" 윈도우가 팝업되고, Layout Window에 열십자 점선 중앙에 작은 적색 사각형이 보인다.
 - 이 적색 사각형을 마이크로스트립 라인의 입출력이 있는 작은 옥색(cyan) 마름모 모양 내부에 있는 사각형을 클릭 한다.
 - 우측 그림에 보인 바와 같이 "Pin"이 설정된 마이크로스트립 입력단의 옥색 마름모 모양이 사라지고, 옥색 사각형만 남아 있는 것을 확인할 수 있다.
 - 같은 방법으로 마이크로스트립 출력 단에도 "Pin"을 설정하고, "Create Pin" 윈도우를 닫는다.

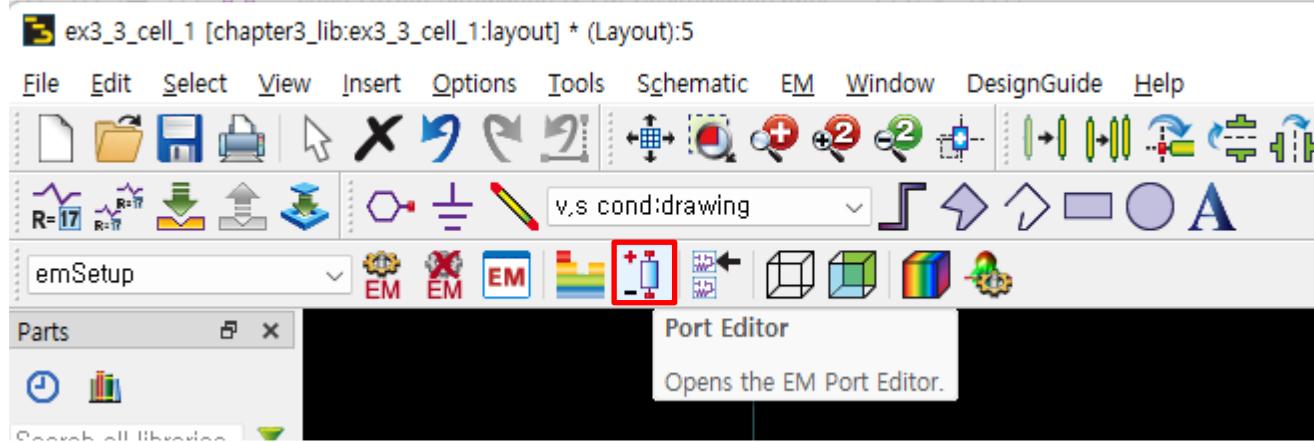


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 포트의 정의 : "Ports"
 - 그림에 보인 바와 같이 "Port Editor" 아이콘을 클릭하면 "Port Editor" 윈도우가 팝업된다.

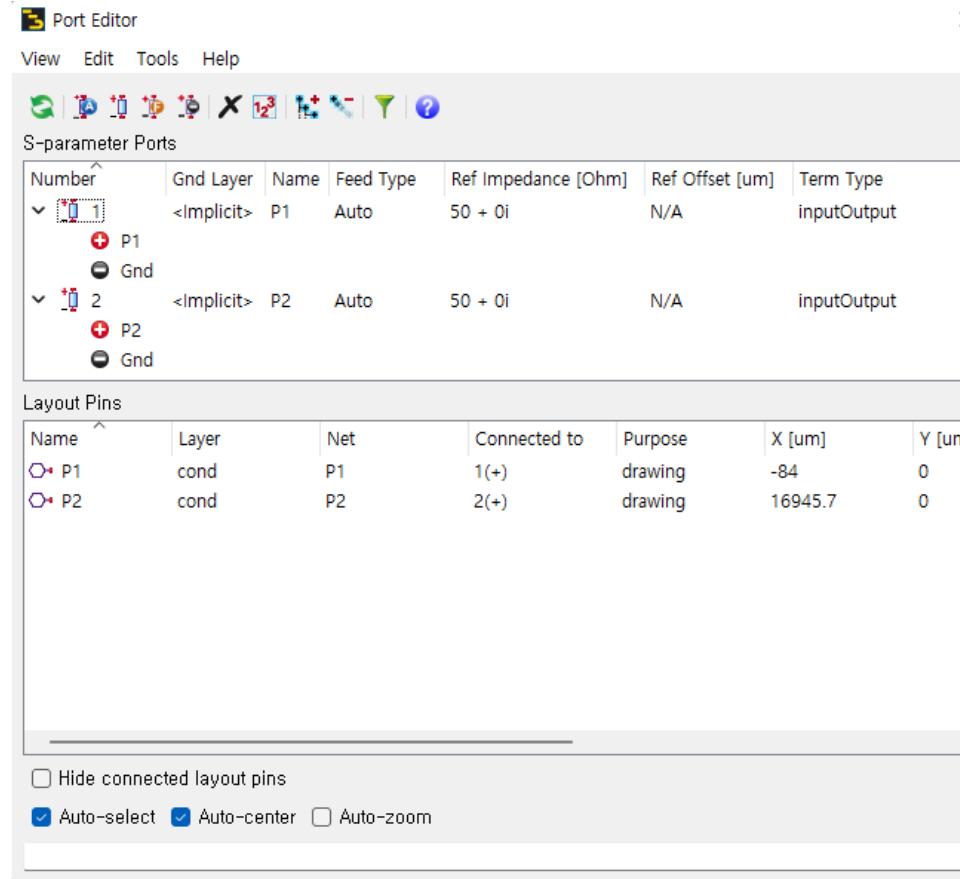


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 포트의 정의 : "Ports"
 - 그림에 보인 바와 같이 "Port Editor" 아이콘을 클릭하면 "Port Editor" 윈도우가 팝업된다.

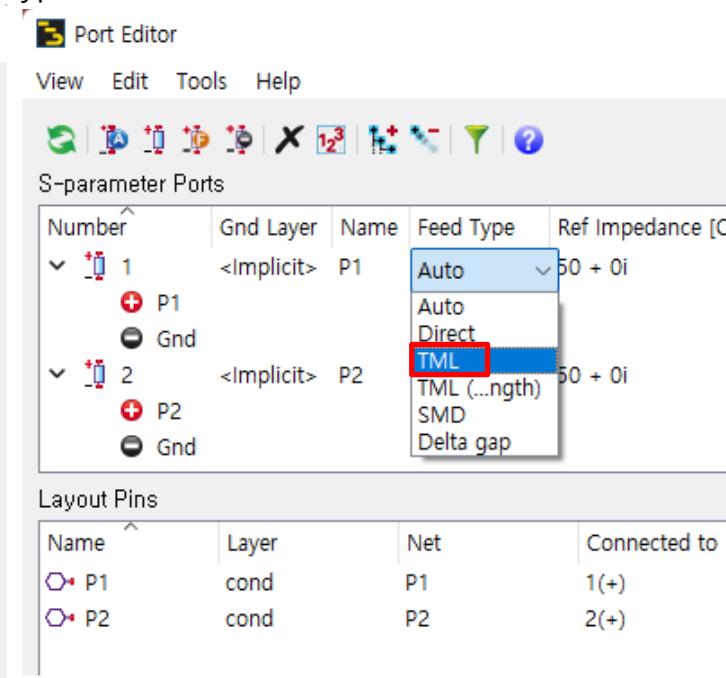
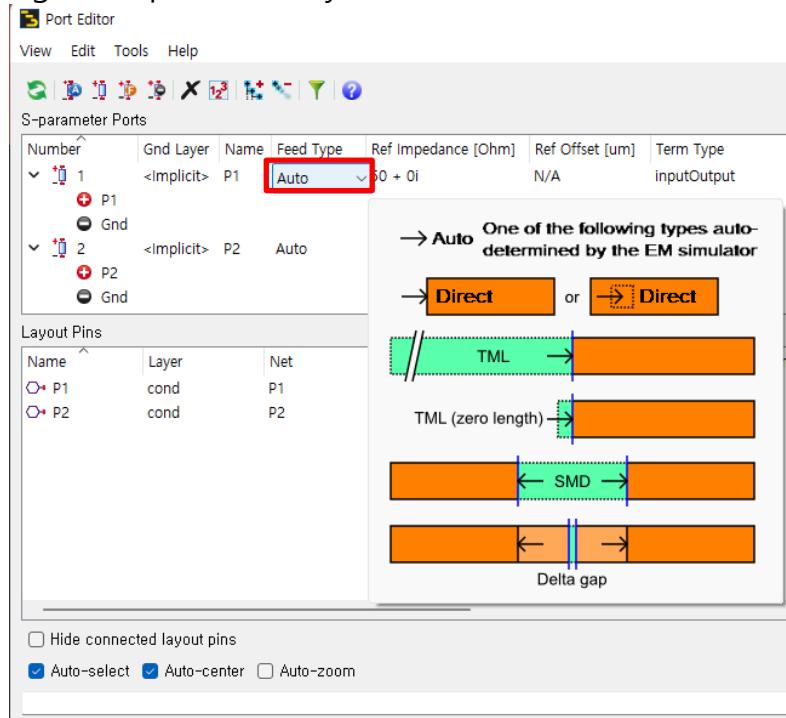


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 포트의 정의 : "Ports"
 - 좌측 그림에 보인 바와 같이 "Port Editor"의 메뉴 중 "Feed Type - Auto"에 마우스 커서를 올려 놓으면 내용 안내 윈도우가 팝업 된다.
 - "Feed Type" 메뉴 밑의 "Auto"를 클릭하면 우측 그림에 보인 바와 같이 다양한 "Feed Type" 선택 항목이 풀다운 메뉴로 보인다.
 - 무한히 넓은 접지 평면 위에 있는 전기적으로 긴 전송 선로 ("electrically long transmission line with an infinite ground plane")를 Layout Simulation 하기 위한 "Feed Type"은 "TML"이다.

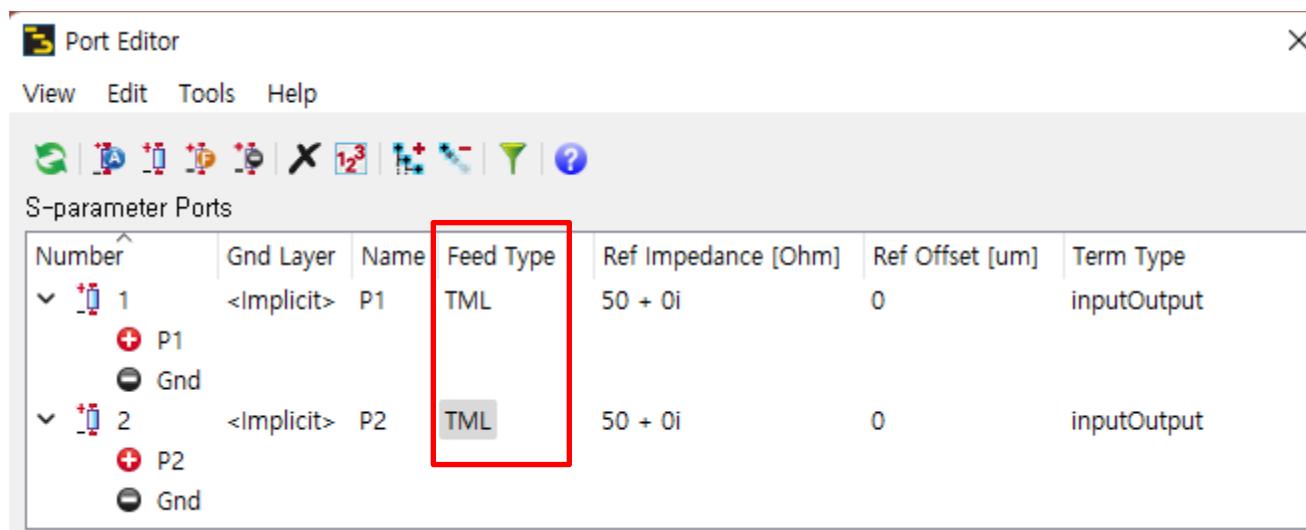


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 포트의 정의 : "Ports"
 - 이 문제에서 전송선로의 길이, $\ell = 90^\circ$ 이므로 전기적으로 긴 전송선로이다.
 - 왜냐하면, 전기적으로 짧은 전송선로는 통상적으로 $\ell < \lambda/10$ 를 만족해야 한다.
 - 그런데, 이 문제의 전송선로의 길이, $\ell = 90^\circ = \lambda/4 > \lambda/10$ 이므로 전기적으로 긴 전송선로이다.
 - 따라서, 앞서 설명한 것처럼 마이크로스트립 라인의 입출력 포트의 "Feed Type"은 모두 앞 장의 그림에 보인 것과 같이 "TML"로 설정한다.

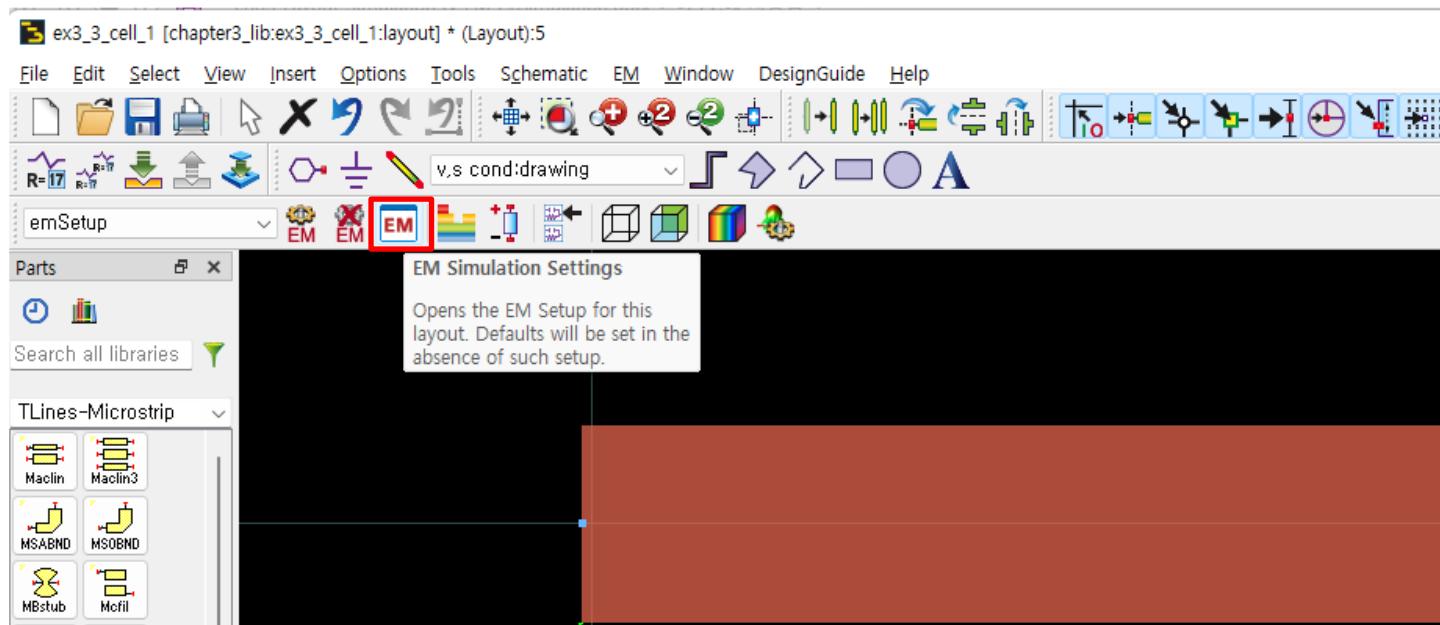


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 포트의 정의 : "Ports"
 - 이 문제에서 전송선로의 길이, $\ell = 90^\circ$ 이므로 전기적으로 긴 전송선로이다.
 - 왜냐하면, 전기적으로 짧은 전송선로는 통상적으로 $\ell < \lambda/10$ 를 만족해야 한다.
 - 그런데, 이 문제의 전송선로의 길이, $\ell = 90^\circ = \lambda/4 > \lambda/10$ 이므로 전기적으로 긴 전송선로이다.
 - 따라서, 앞서 설명한 것처럼 마이크로스트립 라인의 입출력 포트의 "Feed Type"은 모두 앞 장의 그림에 보인 것과 같이 "TML"로 설정한다.
 - 이 과정이 끝나면 "Port Editor" 윈도우를 닫는다.
 - 그림에 표시한 것처럼 Layout Window의 "EM Simulation Settings" 아이콘을 클릭하여 emSetup 윈도우를 연다.

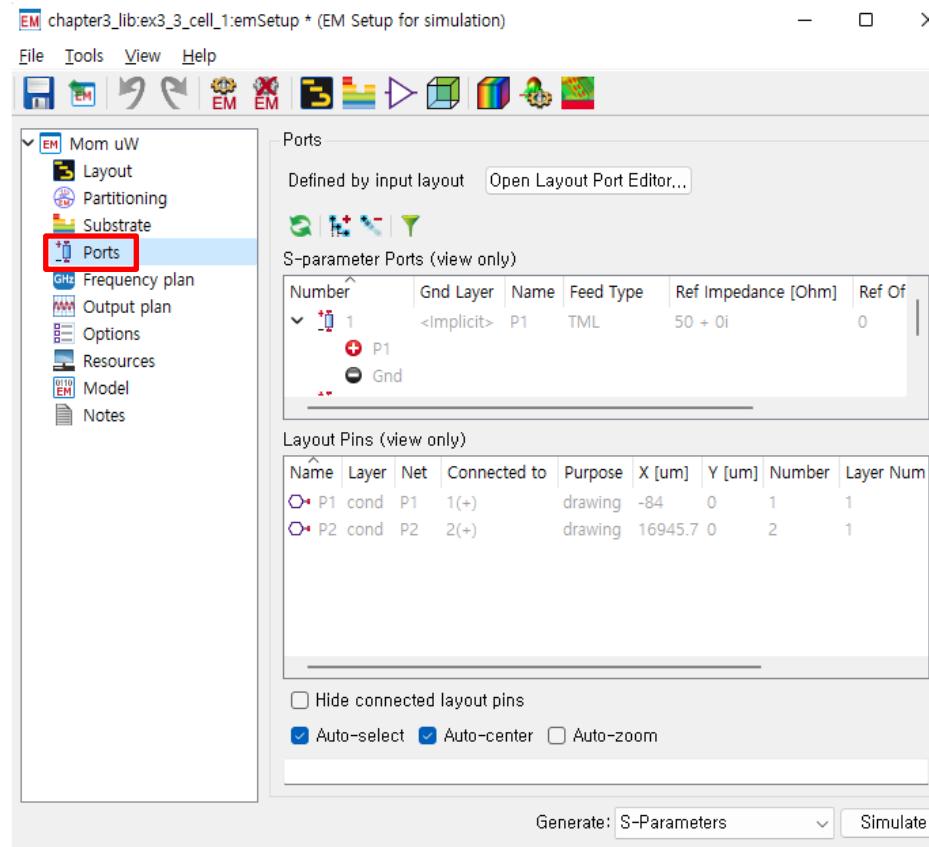


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 포트의 정의 : "Ports"
 - 그림에서 확인할 수 있듯이, emSetup 윈도우에 더 이상 노란 세모 모양의 느낌표가 있는 경고 표시는 볼 수 없다.
 - 이제, Layout Simulation을 실행할 수 있는 조건이 거의 갖춰진 것이다.

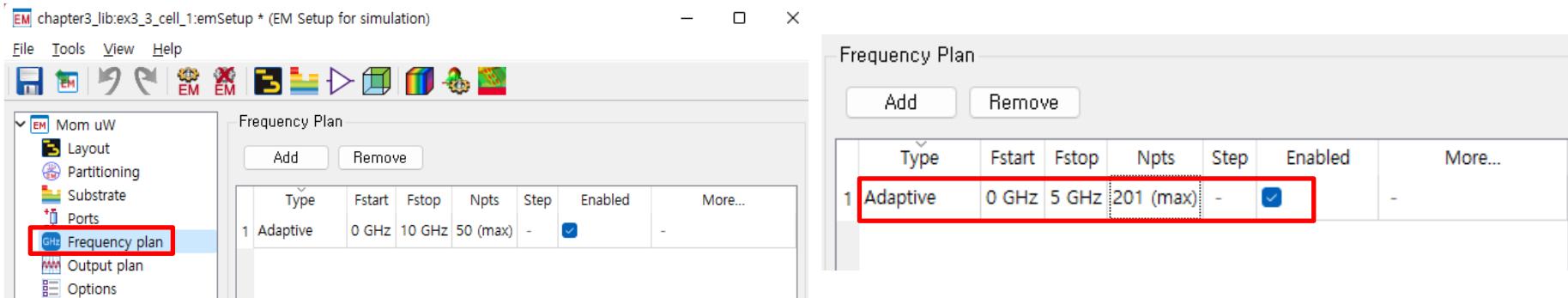


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 주파수 계획: "Frequency plan"
 - Schematic Simulation에서 주파수 스윕 ("frequency sweep") 범위를 지정했던 것처럼 Layout Simulation에서도 그림에 보인 바와 같이 주파수 범위를 정하여 시뮬레이션한다.
 - emSetup 윈도우를 생성할 때 기본 값으로, "Fstart" = 0 GHz, "Fstop" = 10 GHz, "Npts" = 50으로 설정되어 있다.
 - 이 값을 그림에 보인 바와 같이 설정한다.
 - "Npts"는 0~5 GHz 범위를 몇개로 나눌 지 설정하는 값이다.
 - "Npts" 값이 크면 클수록 Layout Simulation의 연산량은 증가한다.
 - "Frequency Plan" "Type"은 기본 값인 "Adaptive"로 설정한다.

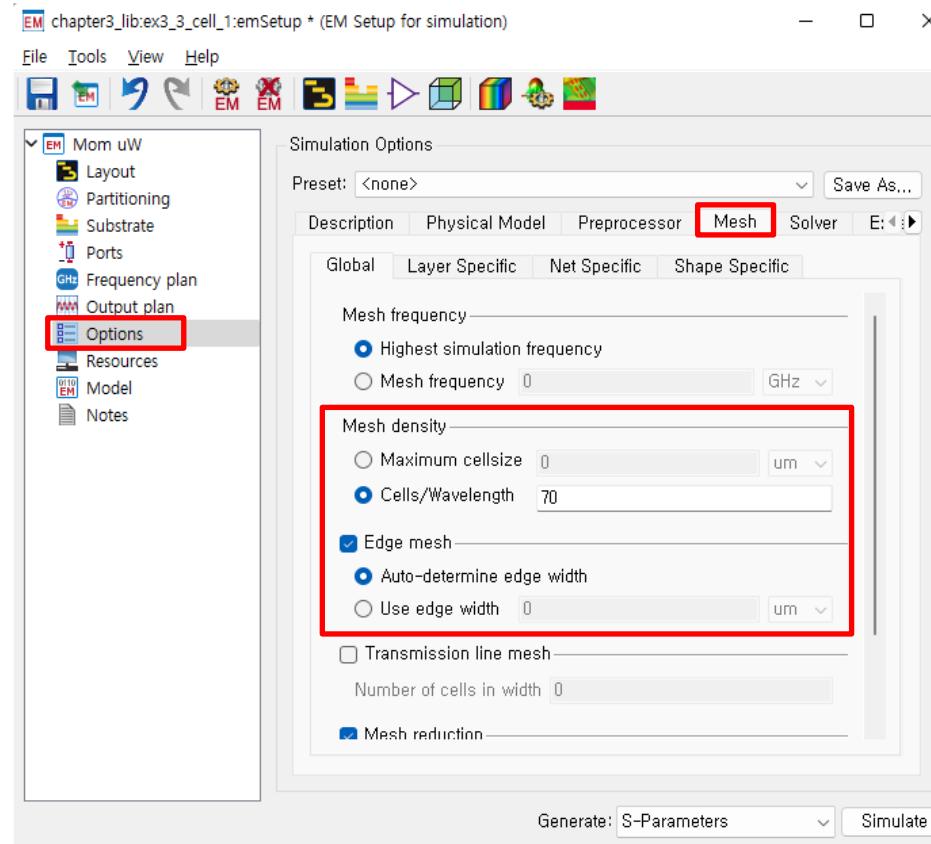


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- 선택 사항: "Options"
 - 그림에 보인 바와 같이 선택 사항 ("Option")의 "Mesh" 탭의 "Global" 탭에서 "Mesh density"는 70 Cells/wavelength로 설정하고, "Edge mesh"를 체크하여 "Auto-determine edge width"를 선택한다.

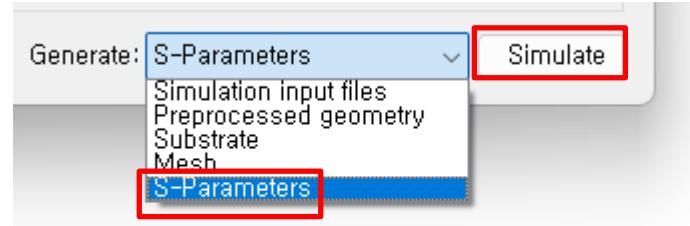


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- Layout Simulation: "Simulate"
 - 마지막으로 그림에 보인 바와 같이 emSetup 윈도우 우측 하단에 있는 풀다운 메뉴에서 "Generate: S-Parameters"를 선택하고 "Simulate" 버튼을 클릭한다.

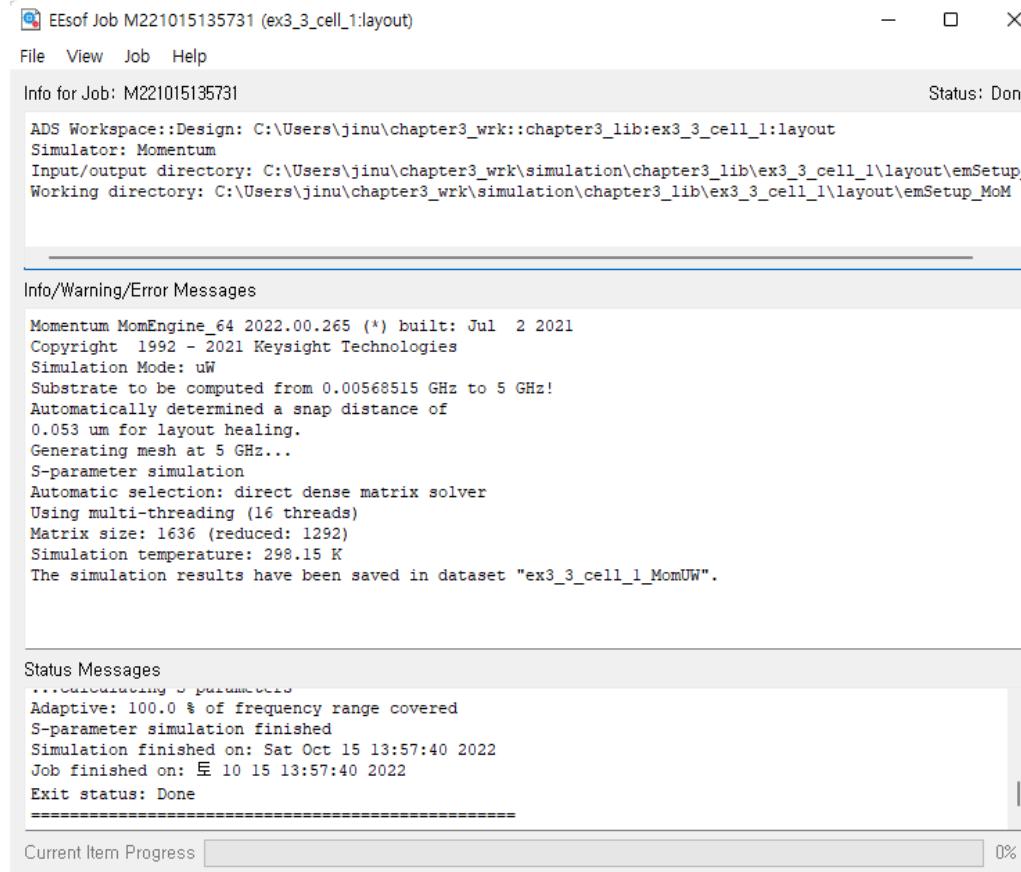


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- Layout Simulation: "Simulate"
 - 앞 장의 그림에 보인 "Simulate" 버튼을 클릭하면, "Design Save Info" 윈도우와 "EEsof Job" 윈도우가 동시에 자동 팝업 된다.



4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 답안

▪ Layout Simulation

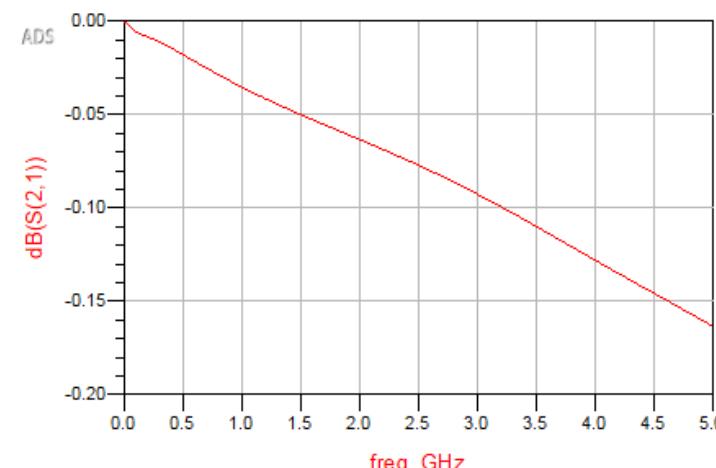
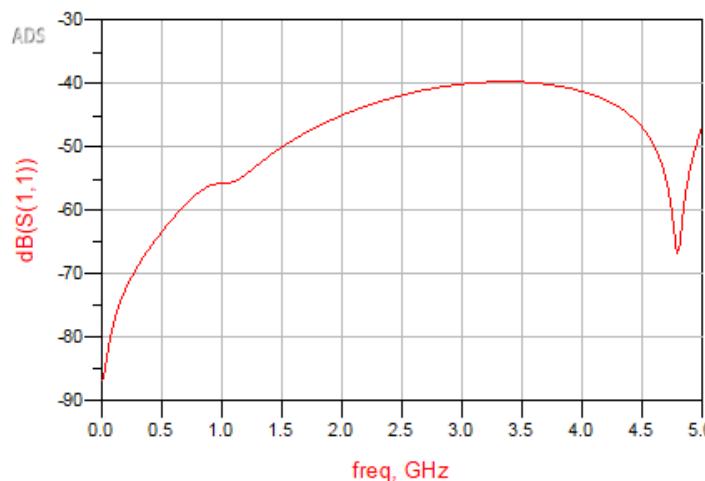
- Layout Simulation: "Simulate"
 - "Design Save Info" 윈도우는 Layout Window에서 최종 Layout Design을 저장하지 않고 Layout Simulation을 실행하면 Layout Simulation 결과와 Layout design 사이의 불일치가 발생할 수 있음을 경고하는 창이다.
 - ADS는 모든 시뮬레이션 실행 직전에 저장되지 않은 설계 사항이 있는 경우 자동 저장을 지원한다.
 - "Design Save Info" 윈도우에 안내되어 있는 것처럼 ADS Main Window의 풀다운 메뉴중 "Option - Preferences ... "를 클릭하여 "Save all design when simulation starts"를 체크할 것을 권한다.
 - "EEsof Job" 윈도우는 세가지 영역 - " Info for Job: Mxxxxxxxxxxxxx", "Info/Warning/Error Messages", "Status Messages" 이 있다.
 - "Info for Job: Mxxxxxxxxxxxxx" 영역은 시뮬레이션의 입출력 경로를 보여준다.
 - "Info/Warning/Error Messages" 영역은 시뮬레이션이 진행하는 동안 "Warning" 또는 "Error"가 발생하는 경우 관련 내용을 안내하는 영역이다.
 - "Warning"은 시뮬레이션이 진행되기는 하지만 결과에 문제점을 내포할 수 있음을 안내해준다.
 - "Error"가 발생하면 보통 시뮬레이션은 정지된다.
 - "Status Messages" 영역은 주파수 스윕 내용을 알려주며, 시뮬레이션의 시작과 종료 시각을 확인할 수 있다.
 - Layout Simulation의 경우 Layout Design의 구조와 컴퓨터의 성능에 따라 매우 긴 시뮬레이션 시간이 필요한 경우 많다.
 - 따라서, 시뮬레이션 시간을 확인하는 기능은 매우 필요한 기능이며, "Status Messages" 영역에서 파악할 수 있다.
 - 시뮬레이션이 문제없이 종료되면, "Status Messages" 영역의 마지막에 "Exit status: Done" 이라는 메시지와 함께 Layout Simulation이 정상적으로 종료된다.

4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- Layout Simulation vs. Schematic Simulation
 - Layout Simulation이 정상적으로 종료되면 "ex3_3_cell_1"의 Layout Simulation 결과가 저장 (ADS Main Window 의 "File View" 탭에서 현재 Workspace의 하위 폴더 중 "Data" 폴더에 "ex3_3_cell_1 MomUW.ds"와 "ex3_3_cell_1 MomUW_a.ds"로 저장됨)되고, "Data Display" 윈도우 파일인 "ex3_3_cell_1.dds"가 그림에 보인 바와 같이 팝업 된다.
 - Schematic Simulation 결과 그래프가 그려진 이 파일에, Layout Simulation 결과가 자동으로 업데이트 되어 표시 된다.
 - Schematic Simulation이 수행된 후 $S(1, 1)$ 과 $S(2, 1)$ 의 크기의 주파수 특성을 확인하기 때문에, Layout Simulation 이 수행된 후 $S(1, 1)$ 과 $S(2, 1)$ 의 크기로 해당 그래프들이 자동 업데이트 되는 것이다.
 - 그림의 $S(2, 1)$ 그래프를 선택하여 더블 클릭하면 "Plot Traces & Attributes" 윈도우가 팝업 된다.

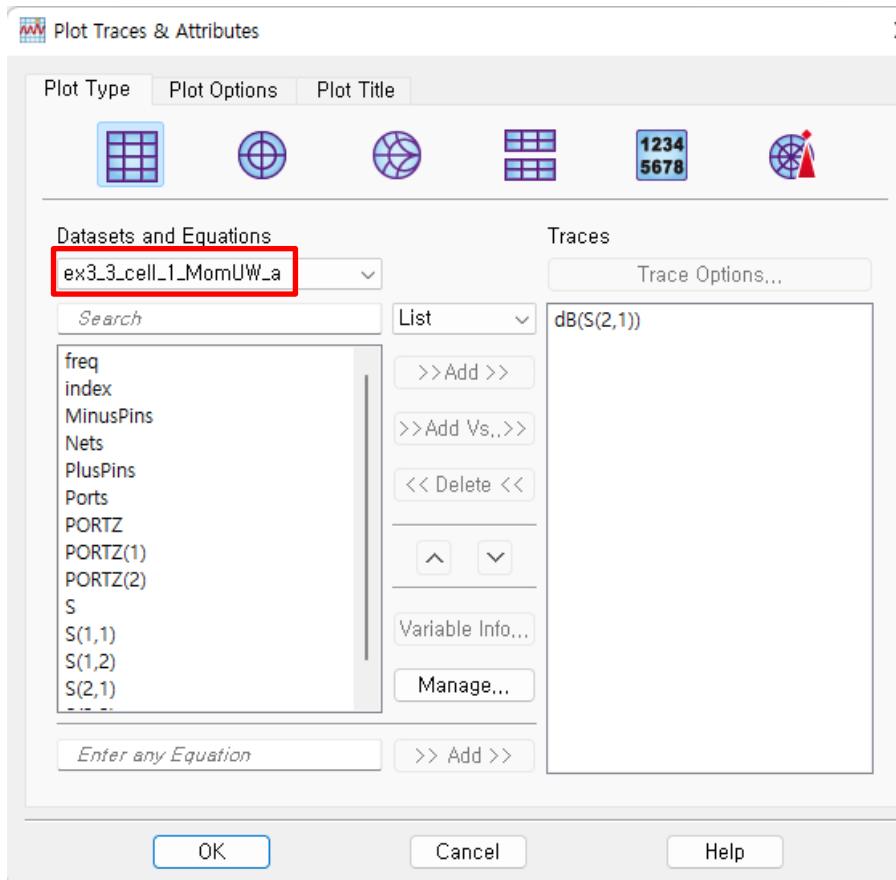


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- Layout Simulation vs. Schematic Simulation
 - 그림에 보인 바와 같이 "Datasets and Equations" 메뉴에 "ex3_3_cell_1_MomUW_a"로 현재 dataset이 표시되어 있는 것을 확인할 수 있다.

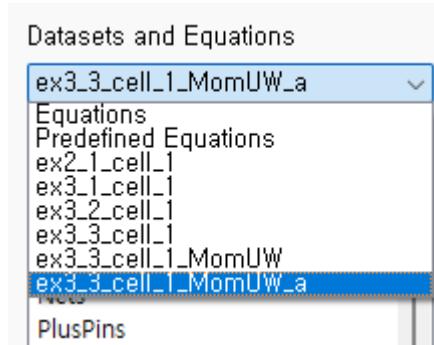


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- Layout Simulation vs. Schematic Simulation
 - 그림에 보인 바와 같이 "Datasets and Equations" 메뉴에서 "ex3_3_cell_1"은 Schematic Simulation 결과가 저장되어 있는 dataset이다.
 - 따라서 "ex3_3_cell_1_MomUW_a"에 저장된 Layout Simulation 결과와 직접 비교할 수 있다.

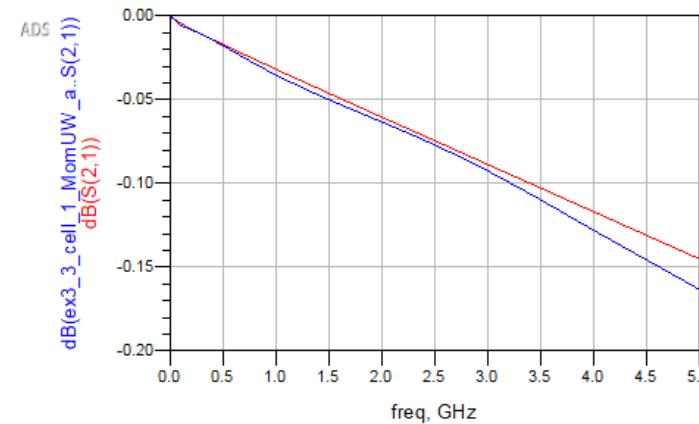
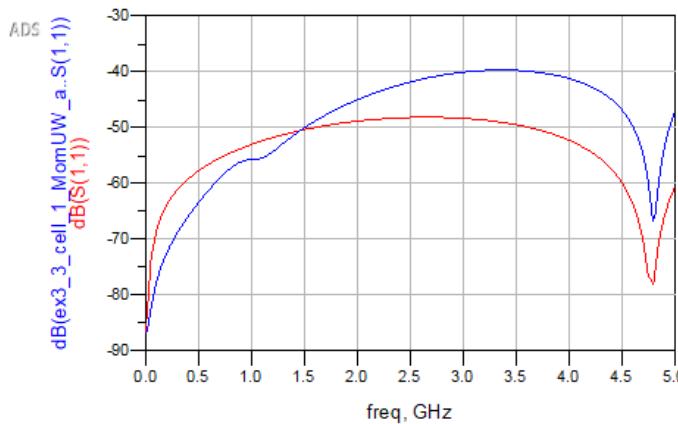


4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

■ 답안

▪ Layout Simulation

- Layout Simulation vs. Schematic Simulation
 - 그림에 각각 보인 바와 같이 Schematic Simulation과 Layout Simulation의 반사 계수 ($S_{11} = S(1, 1)$)과 전송 계수 ($S_{21}=S(2, 1)$)의 크기 결과를 비교하여 볼 수 있다.



4. Layout Simulation vs. Schematic Simulation: 마이크로스트립 라인

IT COOKBOOK

■ 답안

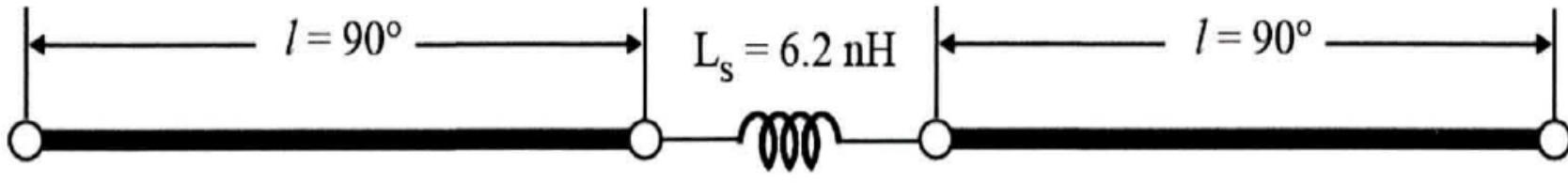
▪ Layout Simulation

- Layout Simulation vs. Schematic Simulation
 - S11에 대한 Layout Simulation과 Schematic Simulation 결과를 비교해보면, Layout Simulation의 경우 주파수가 증가하면 S11의 크기가 증가하는 것을 볼 수 있다.
 - S21의 크기도 Schematic Simulation의 결과는 선형적으로 감소하지만, Layout Simulation의 결과는 주파수가 증가할수록 감소폭이 증가하는 현상을 관찰할 수 있다.
 - 마이크로스트립 전송 선로를 제작하여 측정하면, Layout Simulation 결과와 유사한 결과를 얻게 된다.
 - Layout Simulation이 실제 회로 성능에 가까운 결과를 얻게 되는 것이다.
 - 즉, Schematic Simulation보다 Layout Simulation 이 실제 회로 성능을 좀 더 실질적으로 예측할 수 있다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 문제

- Coilcraft(인덕터 제조사) 칩 인덕터 (chip inductor) 0805HP 시리즈 6.2nH를 아래 그림과 같이 50Ω 마이크로스트립 라인에 직렬로 연결하여 인덕터의 S-parameter를 0~10GHz 사이에서 계산하려고 한다.
- 마이크로스트립 라인의 전기적 길이는 10GHz에서 주어진 길이이고 FR4 기판을 사용하여 회로를 설계하며 해석하려고 한다.
- Schematic Simulation과 EM Cosimulation을 수행하여 결과 값과 비교하시오.



$$Z_0 = 50 \Omega$$

$$Z_0 = 50 \Omega$$

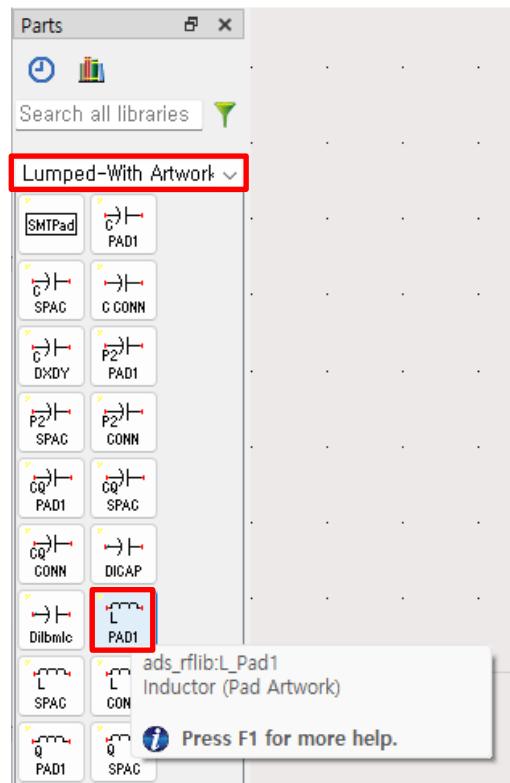


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Schematic Simulation

- ADS Main Window에서 "New Schematic Window" 아이콘을 클릭하여 "ex3_4_cell_1"이라는 이름으로 cell을 생성하고 ADS Schematic을 작성한다.
- 인덕터를 PCB에 실장하기 위한 인덕터 패드를 ADS Layout에 생성하기 위하여 그림에 보인바와 같이 "Parts" 윈도우에서 "Lumped-With Artwork" palette를 선택한다.
- "Lumped-With Artwork" palette에서 "ads-rflib:L_Pad1" 회로소자를 ADS Schematic에 배치한다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Schematic Simulation

- 그림에 보인 바와 같이 이 인덕터는 패드 사이즈 규격 ("W", "S", "L1")을 ADS Schematic에 명시하도록 되어 있다.

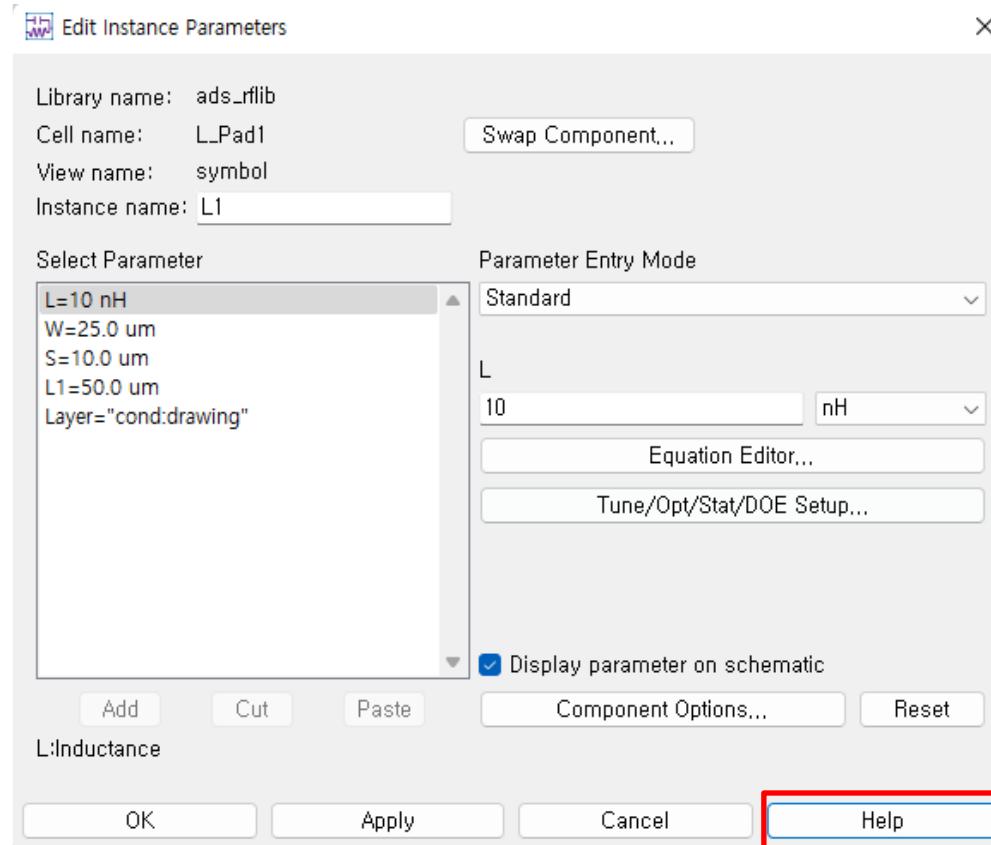


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Schematic Simulation

- "W", "S", "L1"에 대한 정의를 확인하는 방법은 다음과 같다.
- "L_Pad1" instance를 더블 클릭하면, 그림에 보인 바와 같이 회로 부품의 규격을 편집할 수 있는 "Edit Instance Parameters" 윈도우가 열린다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Schematic Simulation

- 앞 장의 그림 우측 하단의 "Help" 버튼을 클릭하면 그림에 보인 바와 같이 "L_Pad1(Inductor (Pad Artwork))"에 대한 ADS 규격 문서 윈도우가 팝업 된다.

L_Pad1 (Inductor (Pad Artwork))

Lumped inductor based on empirical model(Pad Artwork).

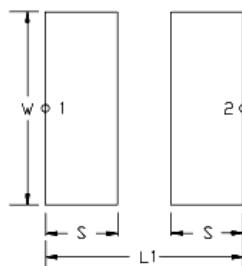
Symbol



Parameters

Name	Description	Units	Default
L	Inductance	nH	1.0
W	(ADS Layout option) Width of pad	mil	25.0
S	(ADS Layout option) Spacing	mil	10.0
L1	(ADS Layout option) Length	mil	50.0

- This component's artwork is composed of two rectangular pads with pins on the outer edges, as shown:



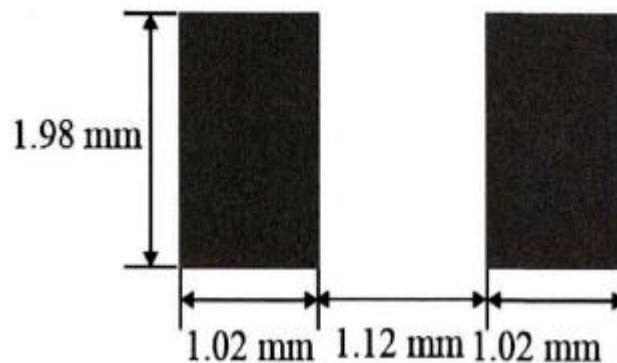
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ Schematic Simulation

- 앞 장의 그림 하단에서 확인할 수 있듯이 "W", "S", "L1"에 대한 정의가 명시되어 있음을 확인할 수 있다.
- 이 문제에서 지정한 Coilcraft 사의 0805HP 시리즈의 data sheet를 찾아보면, 그림에 보인 바와 같이 칩 인덕터의 패드 크기 (pad size)가 주어져 있다.
- 인덕터 제조사의 data sheet에는 "Recommended Land Pattern"으로 명시되어 있다.



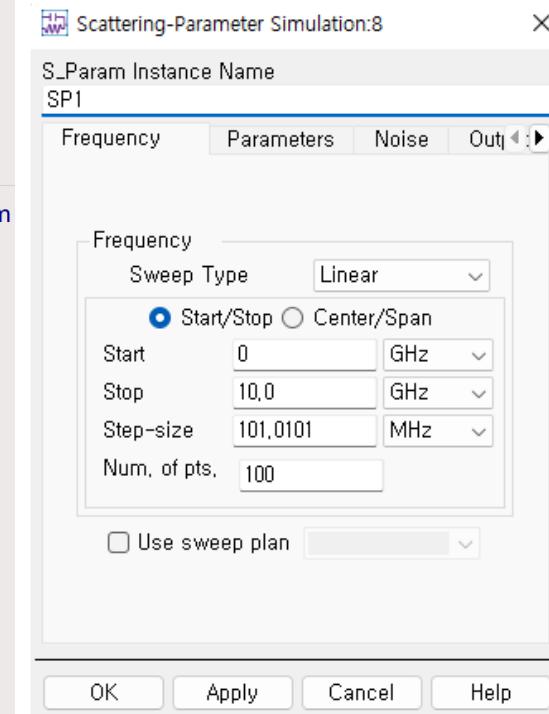
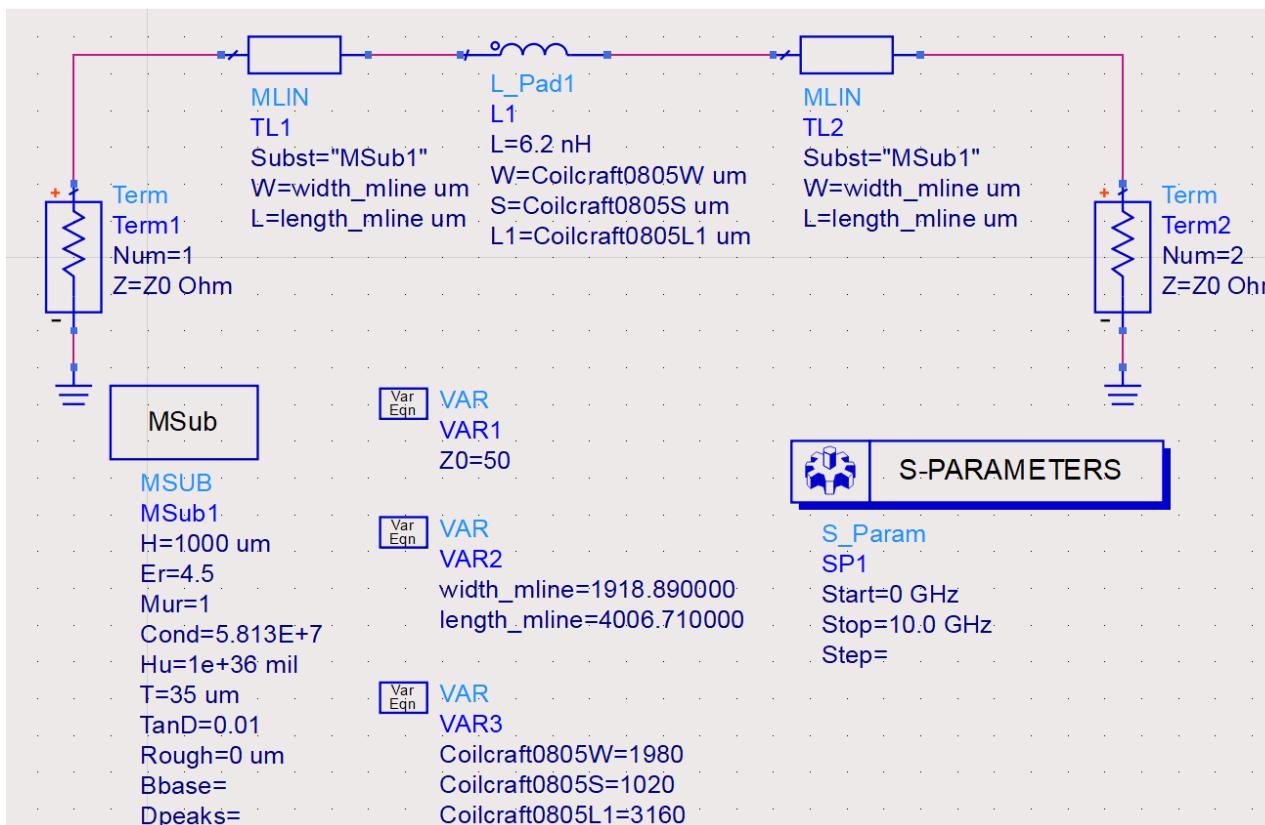
- $w = 1980\mu\text{m}$, $S = 1020\mu\text{m}$, $L1 = 3160\mu\text{m}$ 으로 설정한다.
- 인덕터 제조사가 제공한 패드 사이즈의 단위는 mm이므로, μm 로 환산하였다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Schematic Simulation

- ADS Main Window에서 "New Schematic Window" 아이콘을 클릭하여 "ex3_4_cell_1"이라는 이름으로 cell을 생성하고 ADS Schematic을 작성한다.
- 인덕터 제조사가 추천하는 인덕터 패드 사이즈가 적용된 ADS Layout을 생성하기 위하여 그림에 보인 바와 같은 ADS Schematic을 작성한다.

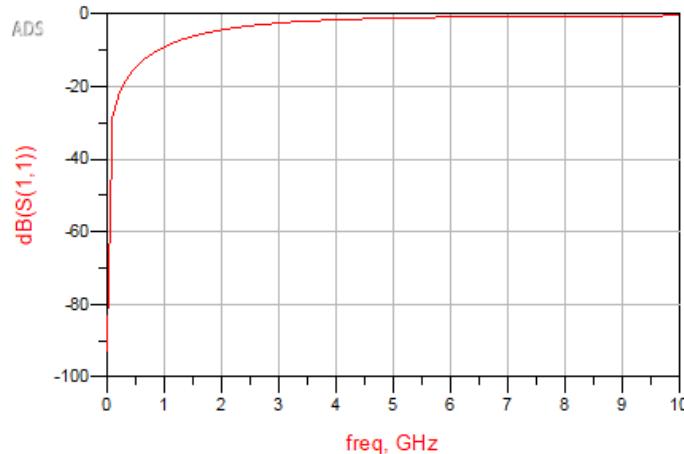


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Schematic Simulation

- ADS Schematic에 대한 Schematic Simulation을 실행하여 S-parameter를 그림에 보인 바와 같이 확인할 수 있다.



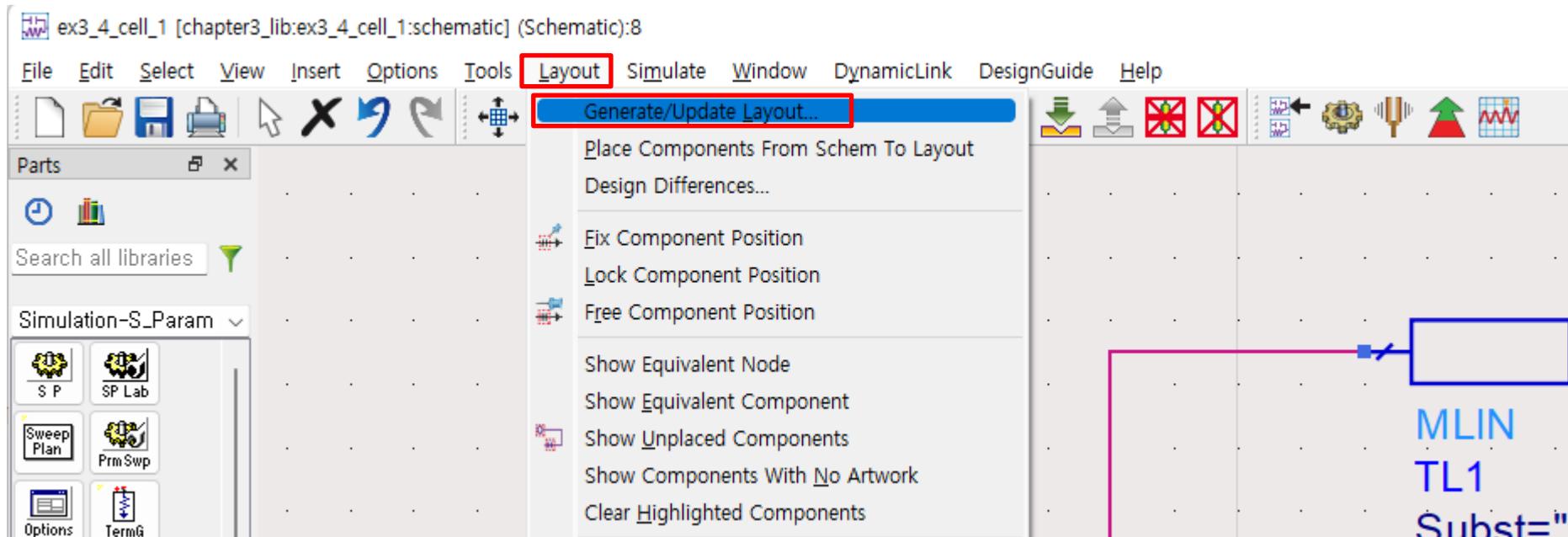
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ ADS Layout 생성

- Schematic Window의 풀다운 메뉴 중 "Layout - Generate/Update Layout ..." 을 클릭하여, Layout Window를 생성한다.

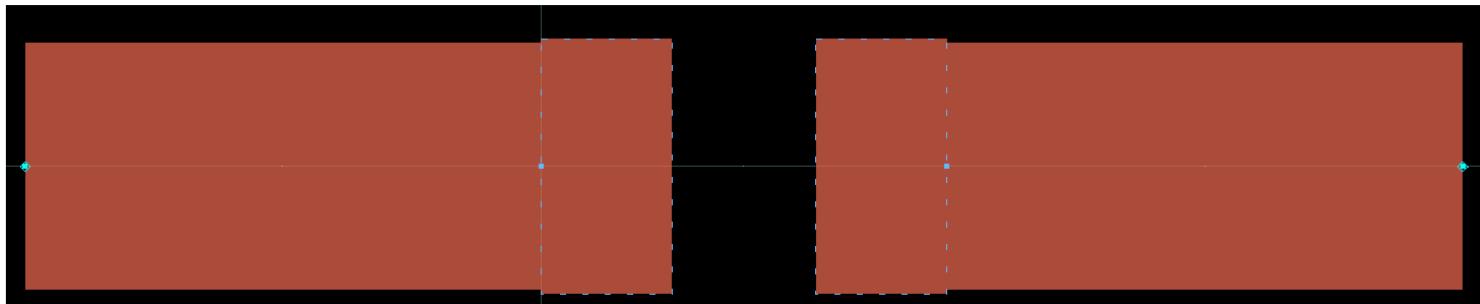


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

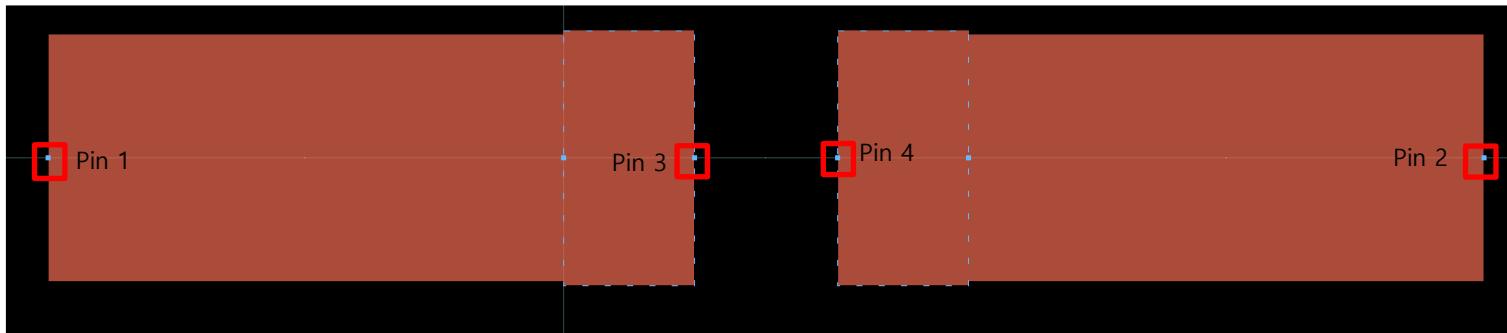
■ 해답

▪ ADS Layout 생성

- ADS Schematic에 대한 레이아웃을 생성하면 그림과 같다.



- 그림과 같이 생성된 레이아웃의 옥색 점에 각각 "Pin"을 할당한다.
- 아래 그림에 보인 바와 같이 입력 마이크로스트립 라인(레이아웃의 가장 왼쪽 옥색 점)에 Pin 1, 출력 마이크로스트립 라인 (레이아웃의 오른쪽 옥색)에 Pin 2, 인덕터 입력의 우측 끝에 Pin 3, 인덕터 출력 끝에 Pin 4를 할당한다.



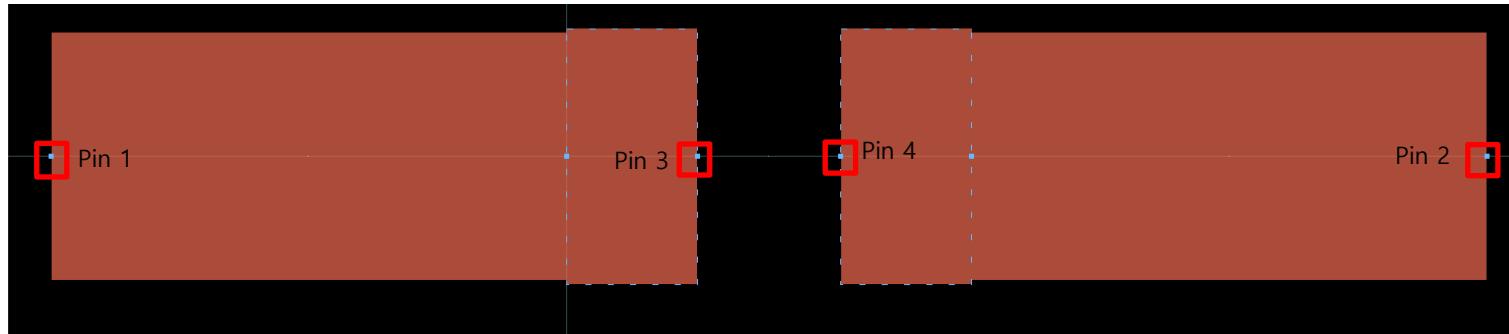
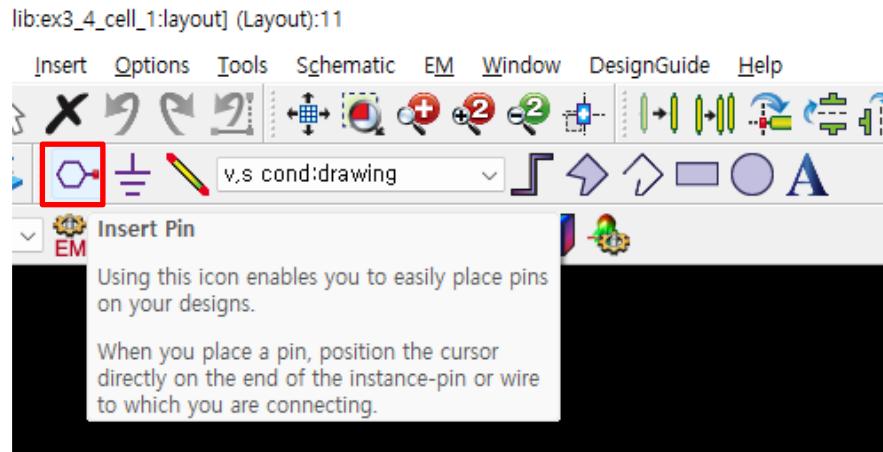
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ ADS Layout 생성

- 핀 할당을 위해 Insert Pin 아이콘을 클릭하고 하단의 그림처럼 핀을 할당한다.

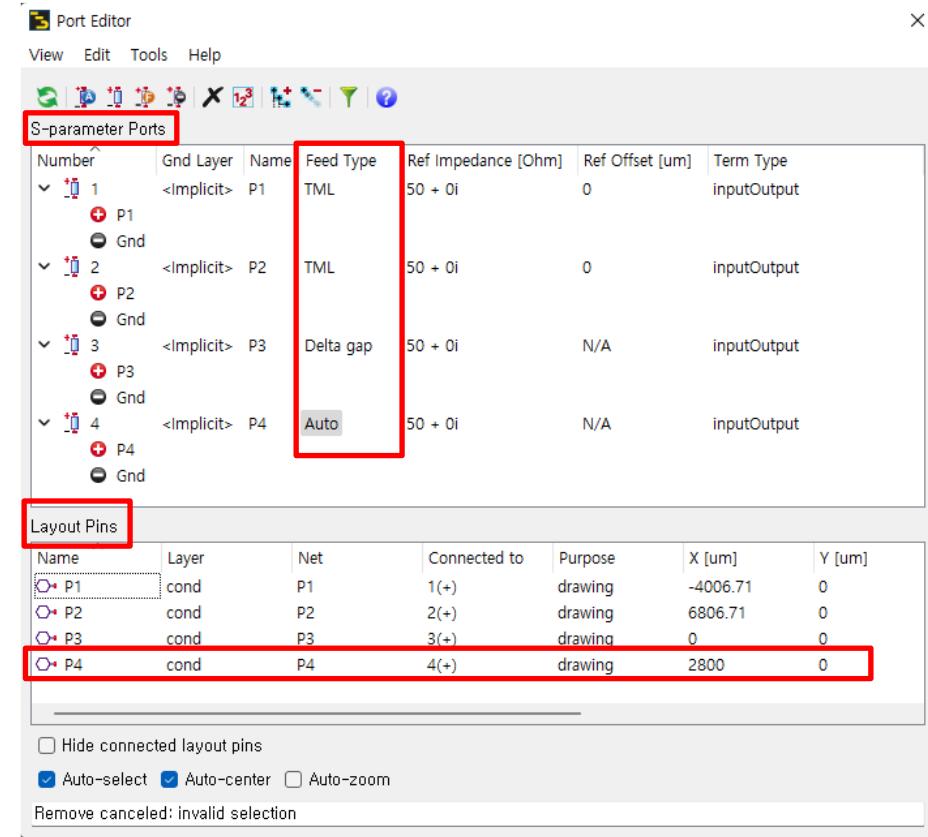
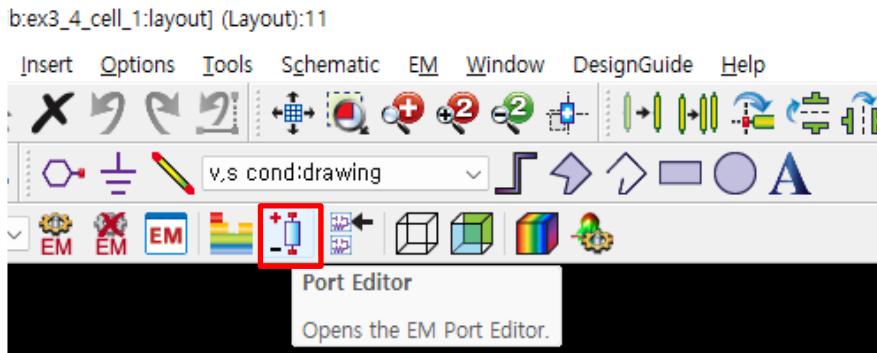


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ ADS Layout 생성

- Layout Window의 "Port Editor" 아이콘을 클릭하면, 그림에 보인 바와 같이 "Port Editor" 윈도우가 팝업된다.
- 총 4개의 포트가 설정되어 있는 것을 확인할 수 있다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ ADS Layout 생성

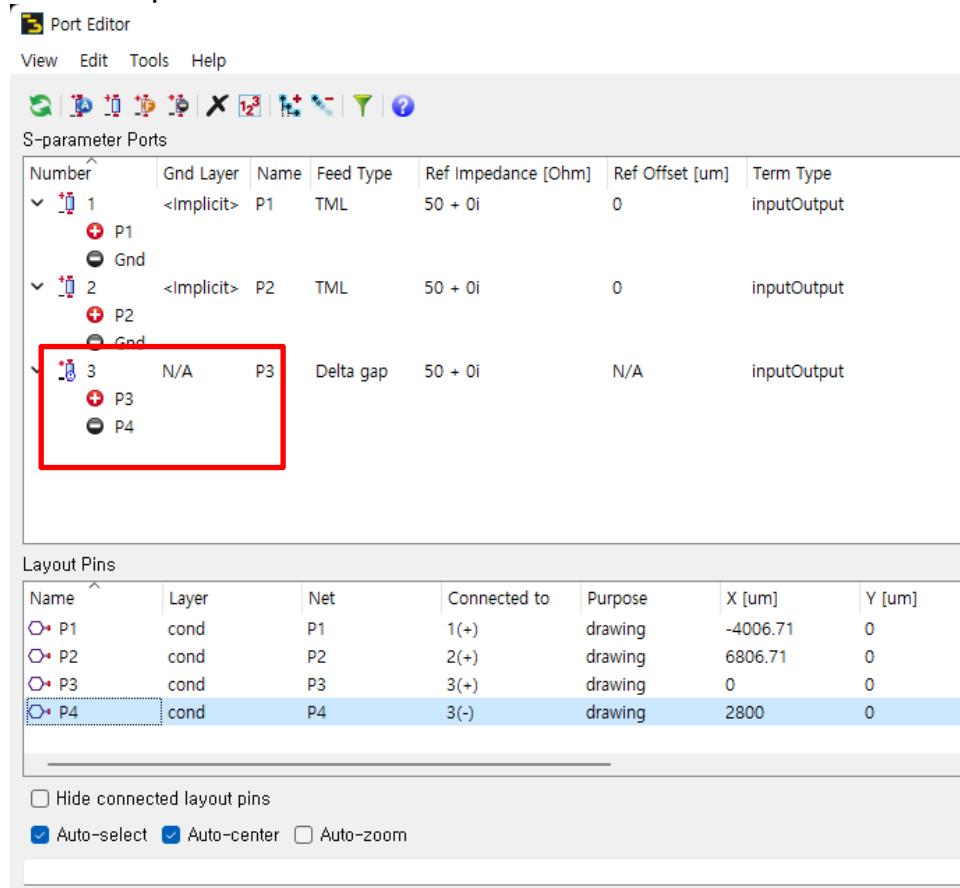
- 앞 장의 그림에 보인 바와 같이 "Port Editor" 윈도우에서 port별로 "Feed Type"을 설정한다.
- "Delta gap"은 PCB에 조립되는 surface mount device (SMD)의 기생 소자(parasitic element)를 Layout Simulation 결과에 포함하게 하는 설정이다.
- 이 문제의 인덕터는 입출력 패드가 FR4 기판 위에 있으므로 FR4 기판의 접지면(ground plane)과 입출력 패드 사이의 기생 소자가 발생하게 된다.
- 따라서, 인덕터 패드에 "Delta gap" 포트를 설정해야 올바른 시뮬레이션 결과를 얻을 수 있다.
- "Delta gap"으로 설정된 포트는 "Gnd Layer"를 "<implicit>" 으로 설정하면 안된다.
- "Delta gap"으로 "Feed Type" 이 설정된 포트는 입력단 (+)과 출력단 (-)이 짹지워져야 한다.
- 이 문제의 경우 Pin 3과 Pin 4가 각각 인덕터의 입출력 포트로 설정되어 있으므로, Port3을 입력단 (+)으로 설정하고, Port 4를 출력단(-)로 정하면 된다.
- Port를 출력단(-)로 설정하는 방법은 간단하다. 앞 장의 그림에 보인 바와 같이 "Port Editor" 윈도우 하단에 있는"Layout Pins" 영역에서 "P4"를 마우스로 클릭하면 하늘색으로 해당 줄이 하이라이트된다.
- "P4"의 마우스 클릭 상태를 유지한 채 상단의 "S-parameter Ports" 영역에 있는 "+P3" 항목 밑의 "- Gnd" 위로 끌어올려 떨어뜨린다("dragged and dropped").

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ ADS Layout 생성

- 그림에 보인 바와 같이 "S-parameter Ports" 영역의 Port 4는 사라지고 Port 3의 "-Gnd"가 "-P4"로 바뀐 것을 확인할 수 있다.
- Port 3의 "Gnd Layer"도 "<implicit>"에서 "N/A"로 바뀌어 있는 것을 확인할 수 있다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ ADS Layout 생성

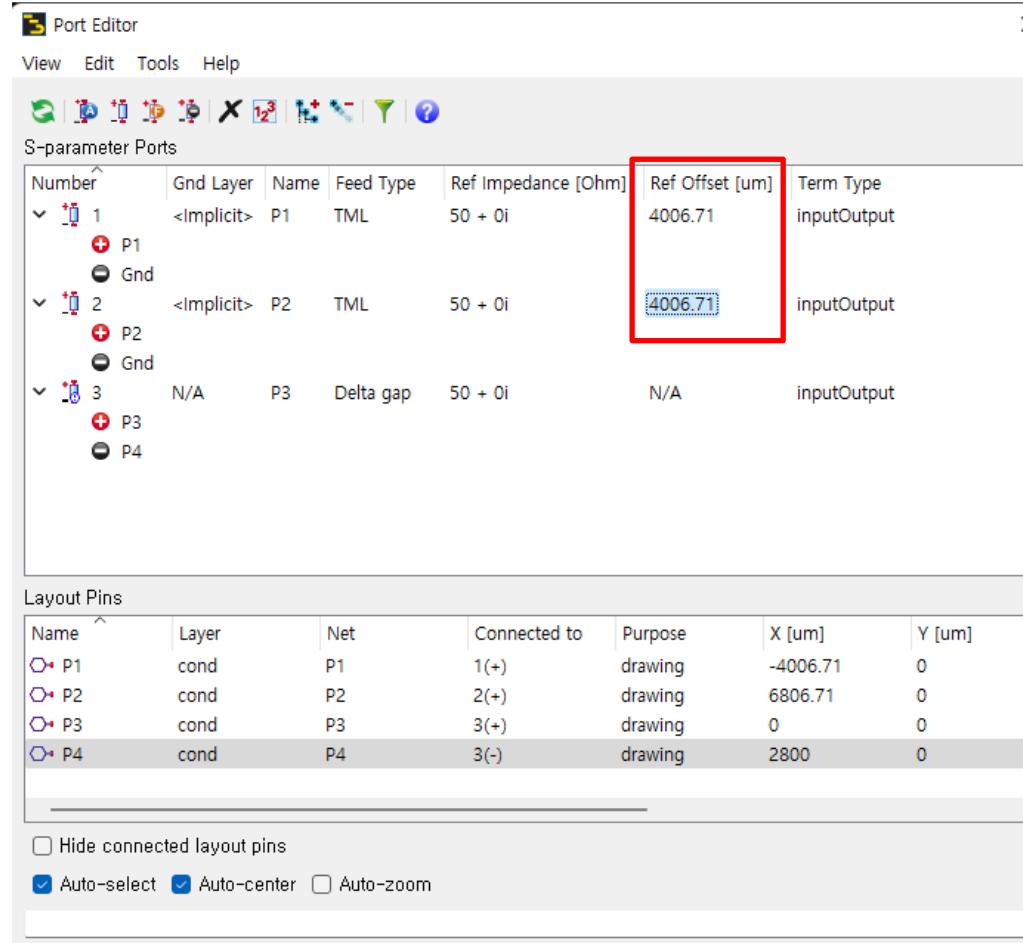
- 한 가지 더 변경해야 하는 사항은 앞 장의 그림에 보인 "Port Editor" 윈도우 우측 상단에 있는 "Ref Offset [um]" 메뉴이다.
- 이 문제에서 구해야 하는 S-parameter는 인덕터의 S-parameter이다.
- 하지만, 앞에서 그린 ADS Layout은 입출력 마이크로스트립 라인 - 입출력 전송 선로를 급전선 (feedline)이라 함 - 이 포함되어 있다.
- 이 ADS Layout에 대한 시뮬레이션을 수행하면 구해지는 S-parameter는 급전선과 인덕터의 S-parameter가 혼합된 S-parameter이다.
- 급전선의 S-parameter를 Layout Simulation의 결과로부터 '제거' (영어로 de-embedding이라고 표현함)하기 위하여 Layout Simulation의 기준면 (reference plane)을 인덕터 입출력단으로 옮겨야 한다.
- 이것은 회로망 분석기(network analyzer)를 사용하여 회로의 성능을 측정하기 전에 회로망 분석기 를 calibration 과정을 거쳐 기준면을 설정하는 것과 같다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ ADS Layout 생성

- 다음 그림 우측 상단에 보인 바와 같이 "Ref Offset [um]"에 마이크로스트립 라인의 물리적 길이를 입력한다.



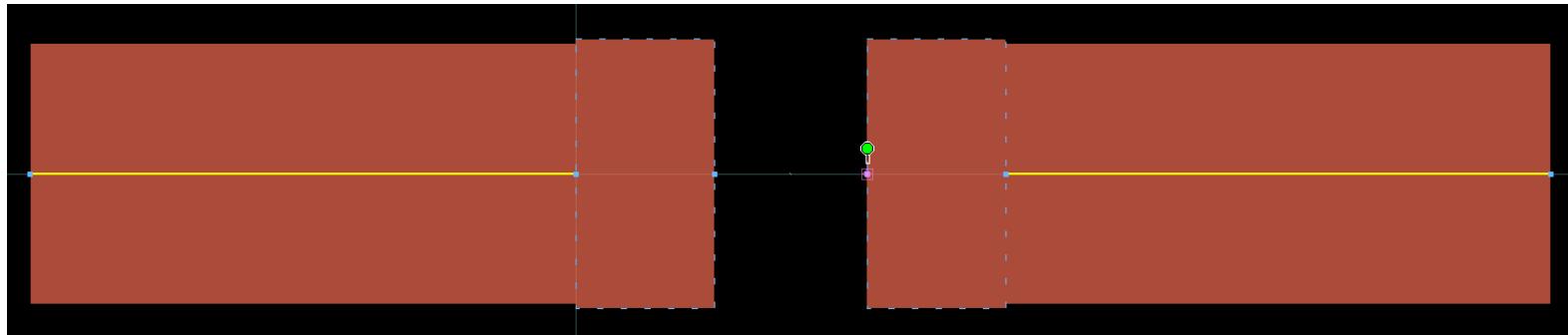
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ ADS Layout 생성

- "Ref Offset[um]"을 입력하고 ADS Layout을 확인해보면 그림에 보인 바와 같이 마이크로스트립 라인 위에 노란색 선이 표시되어 있는 것을 수 있다.
- 이와 같이 "Ref Offset[um]"을 설정하면 Layout Simulation으로 계산되는 S-parameter는 인덕터의 입출력단 사이에서의 S-parameter가 되는 것이다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

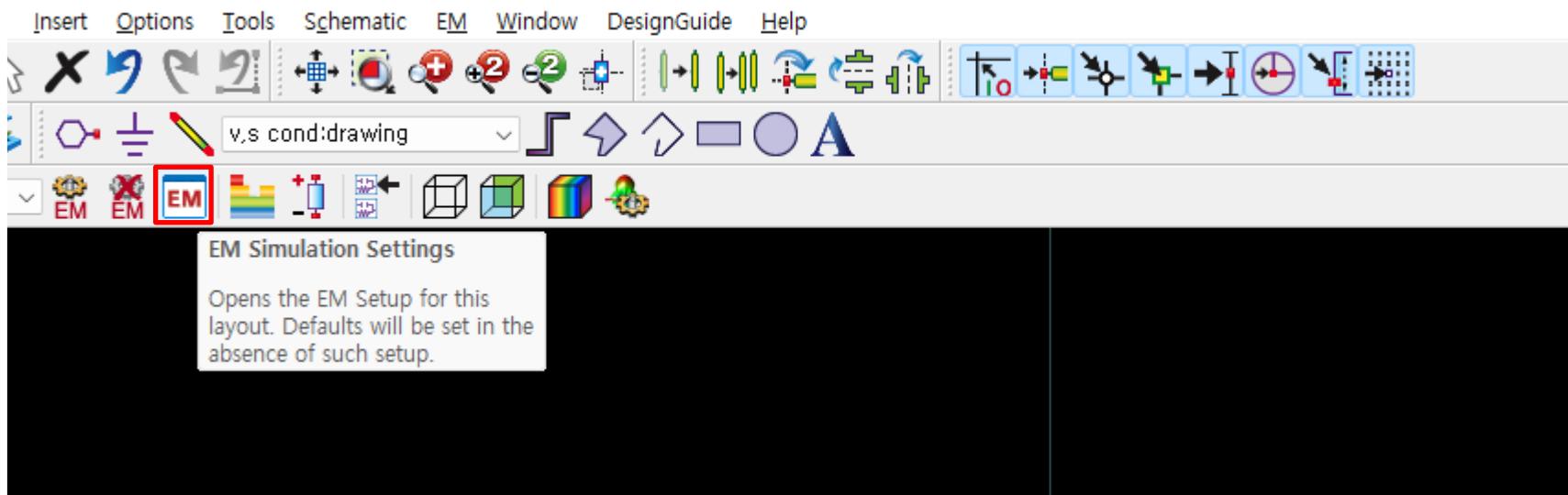
IT COOKBOOK

■ 해답

▪ ADS Layout 생성

- 이제 Layout Window에서 "EM Simulation Settings" 아이콘을 클릭하여 "ex3_4_cell_1" cell을 위한 "ex3_4_cell_1:emSetup"을 생성한다.

lib:ex3_4_cell_1:layout] * (Layout):11



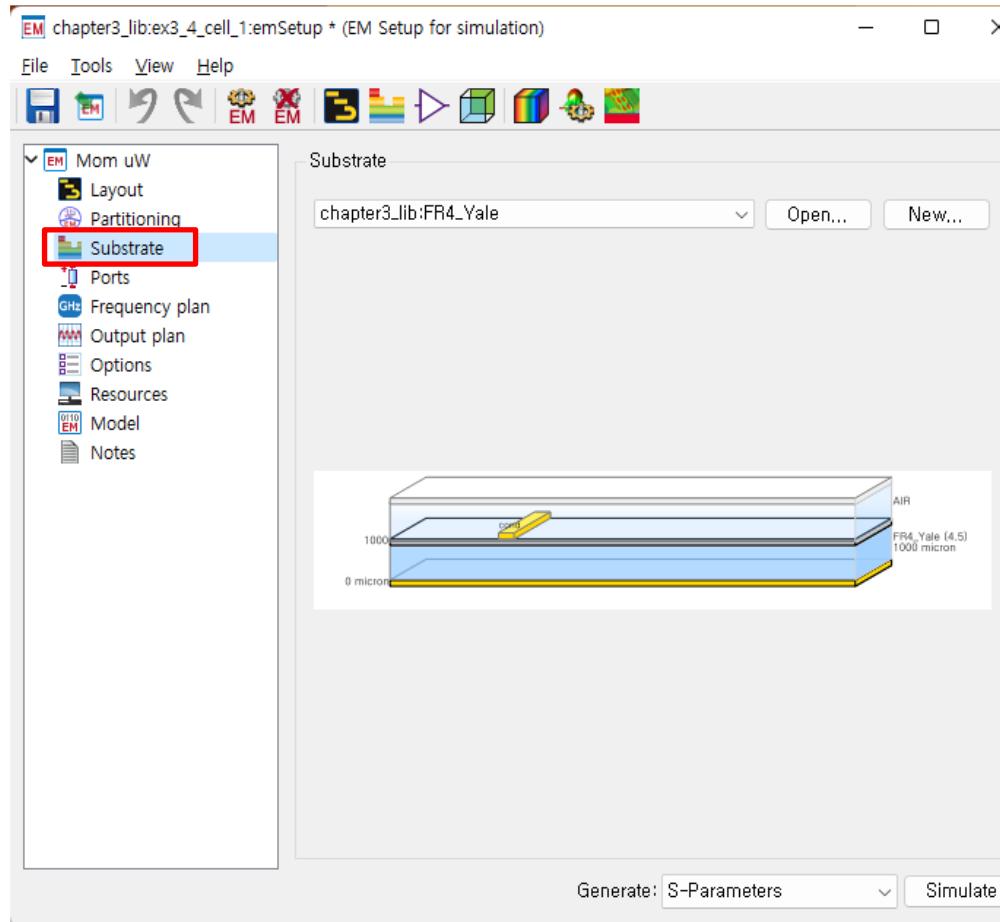
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ ADS Layout 생성

- “ex3_4_cell_1:emSetup”에서 “Substrate”는 “FR4_Yale” 기판으로 설정되어 있고, “Ports”도 설정이 끝났기 때문에 노란색 느낌표 경고 표시가 없는 emSetup 윈도우를 확인할 수 있다.

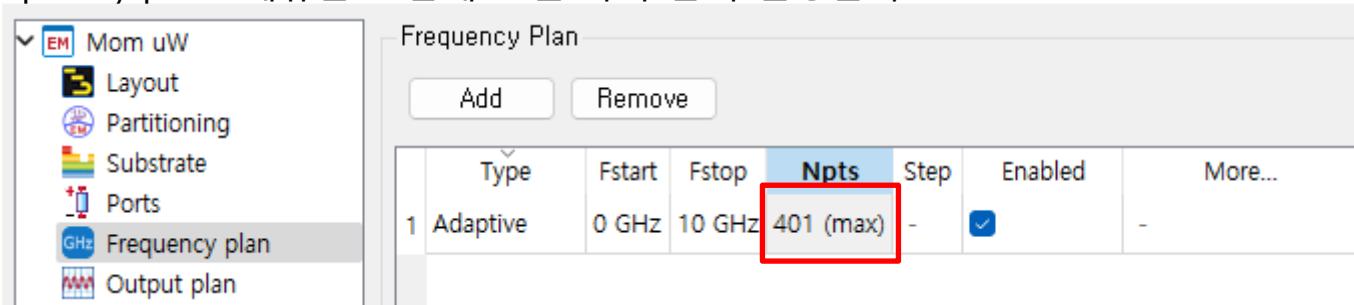


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ ADS Layout 생성

- “Frequency plan” 메뉴는 그림에 보인 바와 같이 설정한다.



•

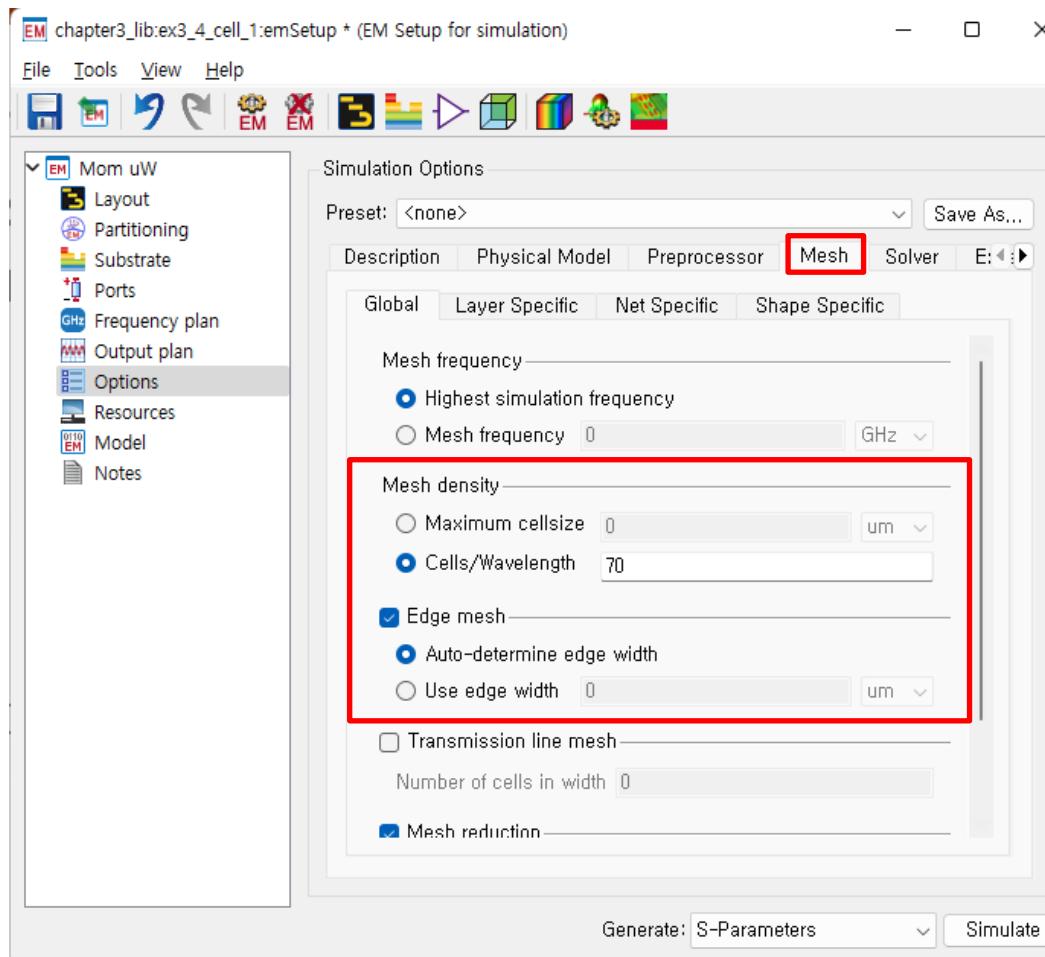
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ ADS Layout 생성

- 그리고, "Options" 메뉴에서 "Mesh" 탭의 "Global" 탭을 아래 그림에 보인 바와 같이 설정한다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ EM Cosimulation

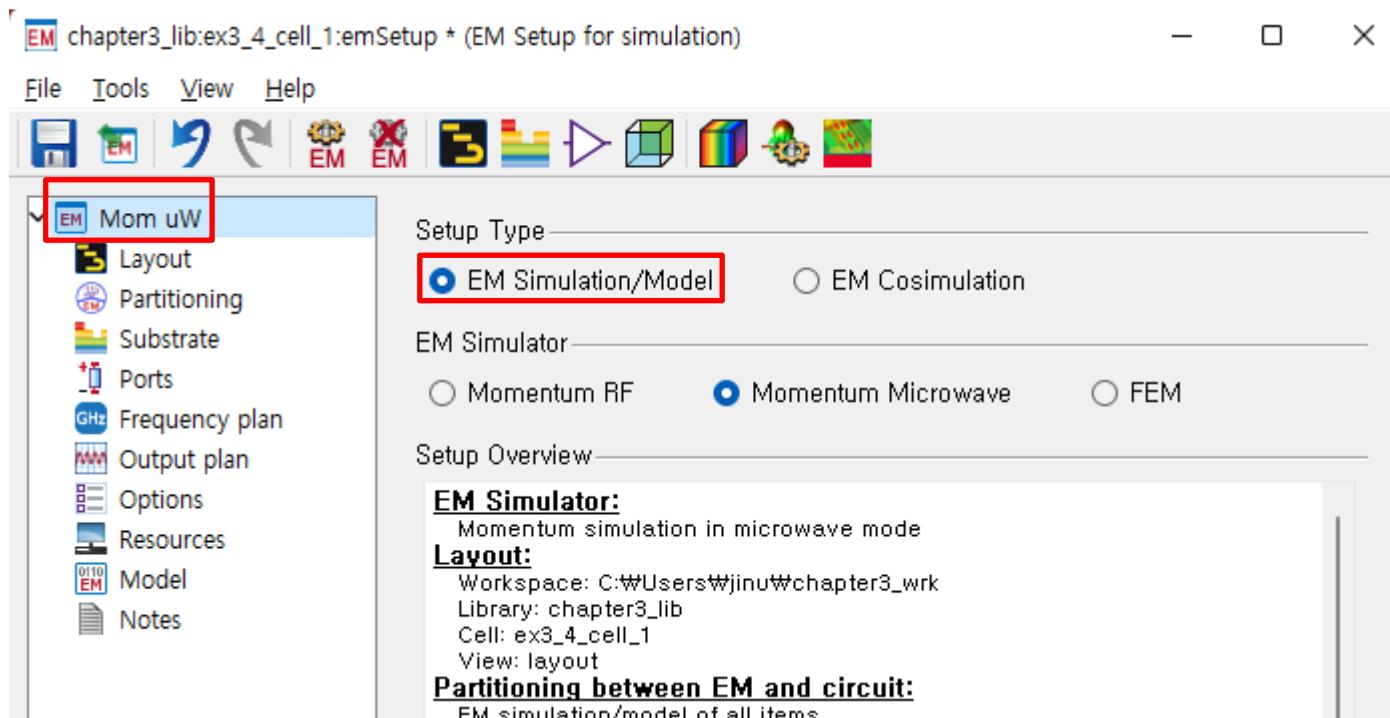
- ADS Layout을 완성하였지만, 이 ADS Layout은 입출력 마이크로스트립 라인과 인덕터 패드만 포함되어 있다.
- ADS Layout을 사용하여 Layout Simulation을 수행하는 것은 무의미하다.
- 왜냐하면, 인덕터의 입출력 패드 사이가 개방 회로(open circuit)이므로 회로적으로 아무런 의미가 없기 때문이다.
- Layout Window에서는 Schematic Window처럼 회로 부품을 배치할 수 없다.
- 이와 같은 문제를 해결하기 위하여 ADS 에서는 EM Cosimulation 기능을 지원한다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation

- 그림에 보인 바와 같이 emSetup 윈도우의 최상단 항목 "Mom uW"을 클릭하면 "Setup Type"에 default 값이 "EM Simulation/Model"로 설정되어 있다

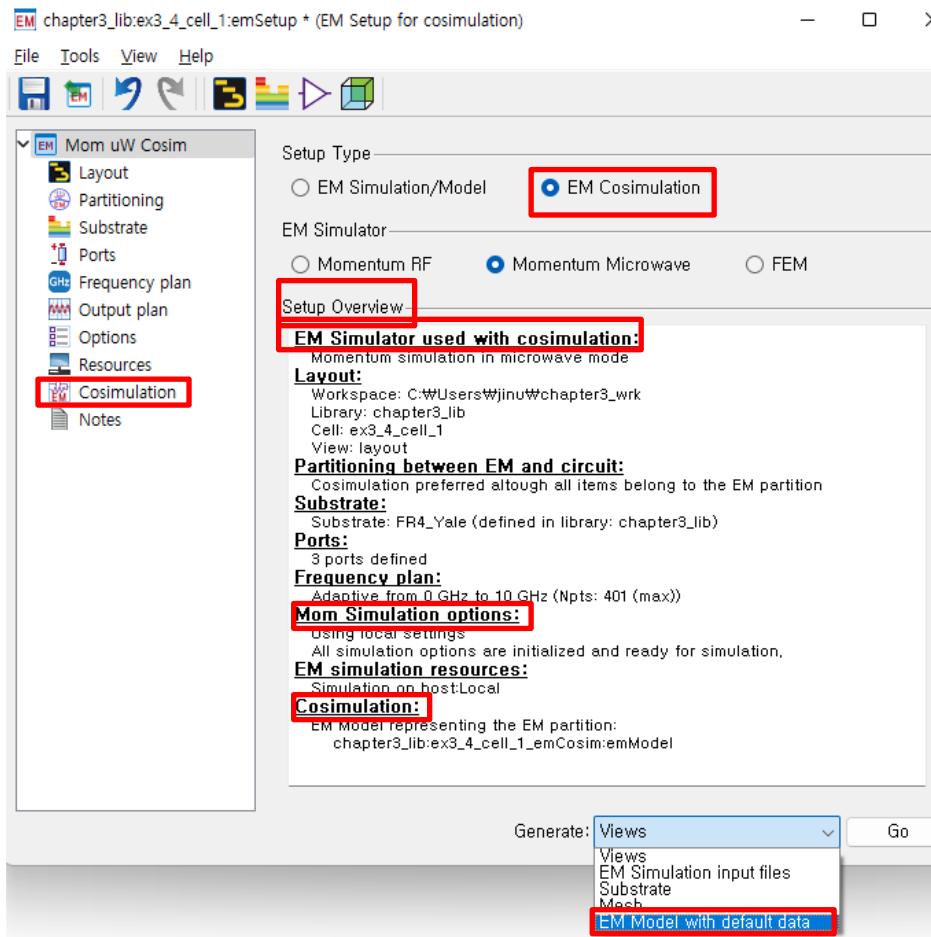


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation

- “Setup Type”을 그림에 보인 바와 같이 “EMCosimulation”로 선택하면 왼쪽의 최상단 항목이 “Mom uW Cosim”로 변경되어 있는 것을 확인할 수 있다.



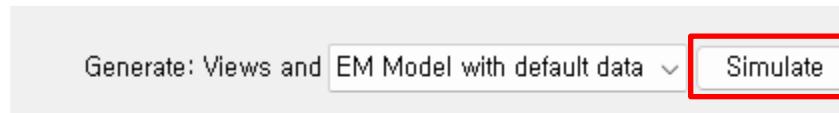
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ EM Cosimulation

- 그리고 "Resources" 메뉴 밑에 있던 "Model" 메뉴도 Cosimulation으로 자동 변경되어 있는 것도 확인할 수 있다.
- "Setup Overview" 영역의 일부 항목도 자동 변경된다.
- 앞 장의 그림에 보인 바와 같이 emSetup 윈도우의 하단에 "Generate" 다운 메뉴에서 "EM Model with default data"를 선택한다.
- 이 선택과 함께 emSetup 윈도우의 하단은 그림에 보인 바와 같이 변경된다.
- 이제 그림의 우측에는 "Simulate" 버튼을 클릭한다.

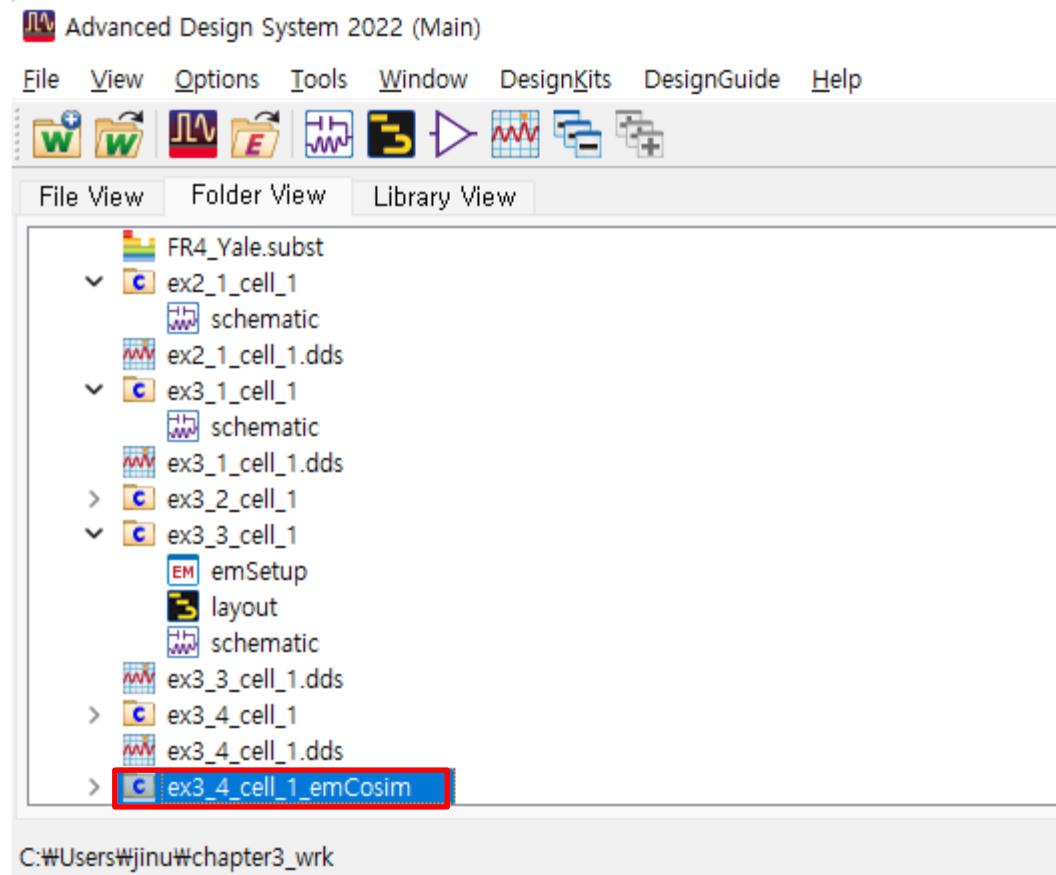


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation

- EM Cosimulation이 종료되면, ADS Main Window에 EM Cosimulation 결과가 저장된 "ex3_4_cell_1_emCosim" cell이 자동 생성되어 있는 것을 그림에서 보인 바와 같이 확인할 수 있다.

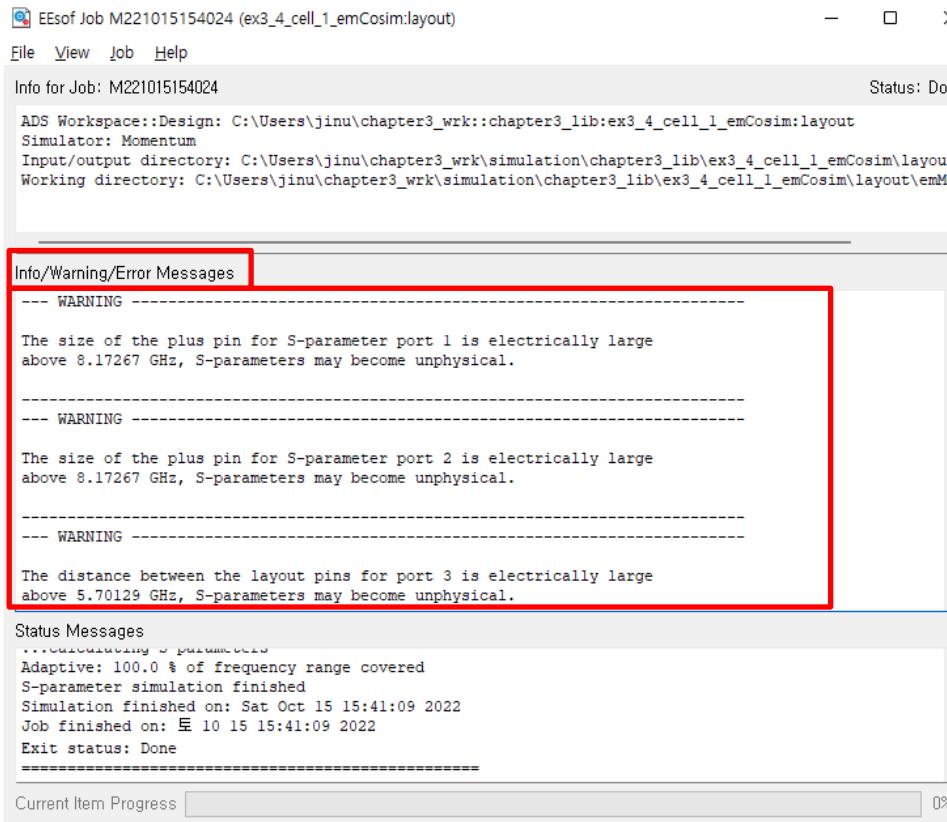


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation

- EM Cosimulation이 진행되는 동안 그림에 보인 바와 같이 "EEsof Job" 윈도우의 "Info/Warning/Error Messages" 메뉴에 "WARNING" 메시지가 발생하는 것을 확인할 수 있다.
- 이 "WARNING" 메시지는 마이크로스트립 라인의 폭과 인덕터 패드의 폭이 "Frequency plan"의 특정 주파수 이상에서 파장(λ)의 10%를 초과하기 때문에 발생한다.



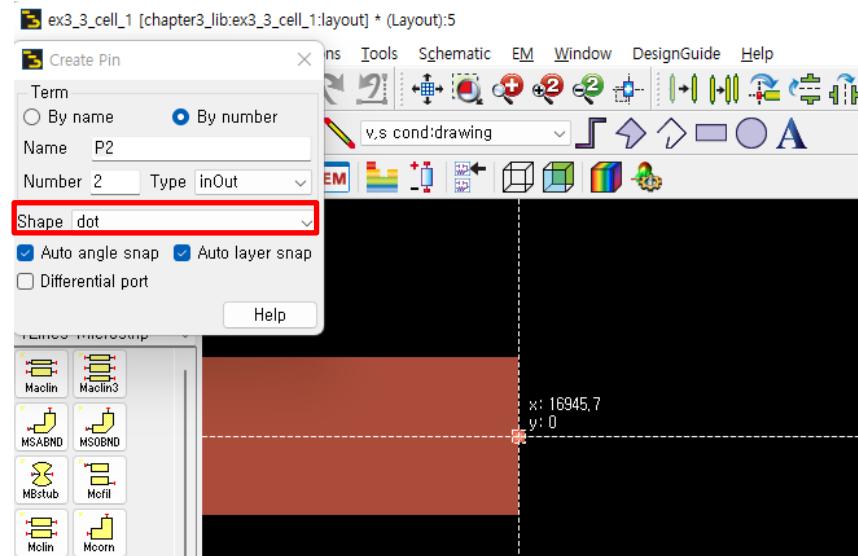
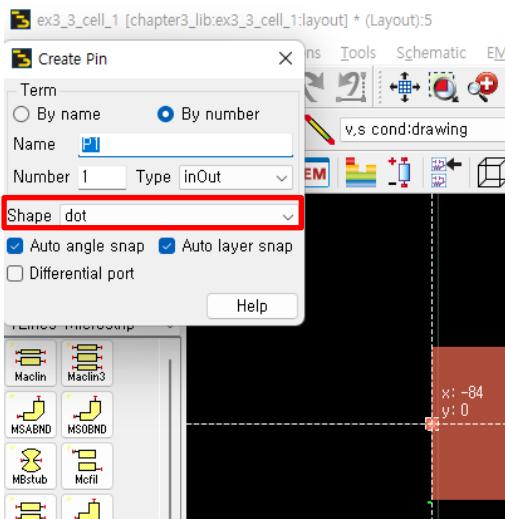
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ EM Cosimulation

- 앞에서 보인인 "Pin" 정의 과정을 아래 그림에 다시 보였다.



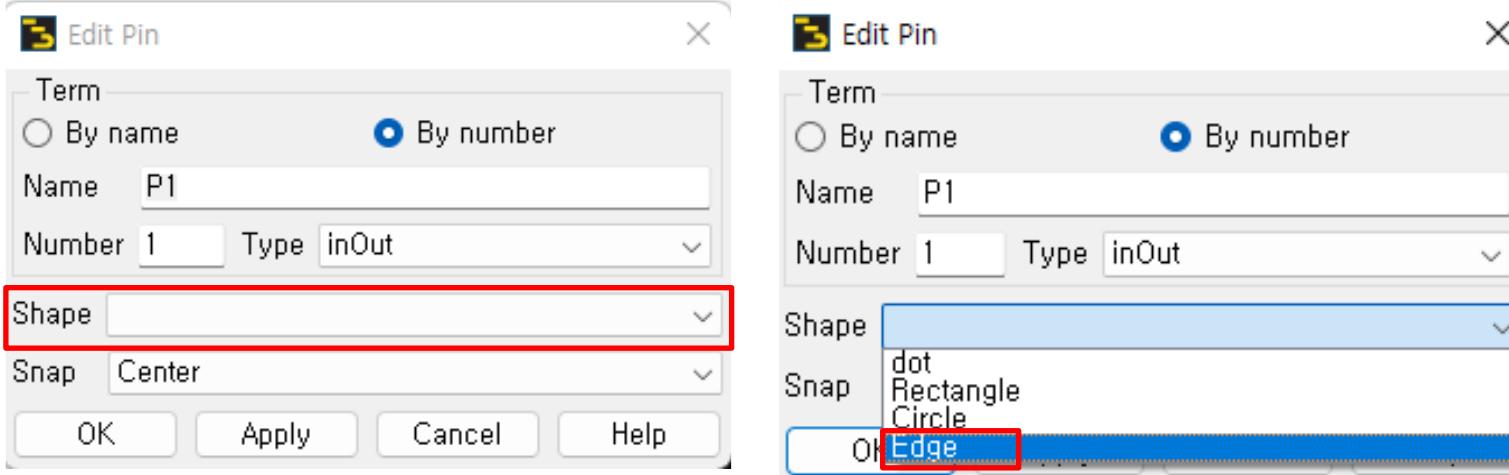
- 그림에 보인 바와 같이 "Pin"의 "Shape"은 "dot"으로 설정되어 있다.
- "Pin"을 최초로 할 때는 Layout Window에서 "Pin" 모양이 default 설정 값인 "dot" 설정되고, conductor layout의 edge에 배치하면 자동으로 해당 edge 길이 전체에 대하여 "edge pin"으로 설정된다.
- 이 edge 길이가 특정 주파수 이상에서 파장(λ)의 10%를 초과했기 때문에 그림에 보인 "WARNING" 메시지가 발생한 것이다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation

- 이 문제를 해결하기 위하여 Layout Window를 열고 그림에 보인 바와 이 "pin"의 조건을 편집한다.
- 편집이 필요한 "Pin"을 더블 클릭하면 아래와 같이 "Edit Pin" 윈도우가 팝업 된다.



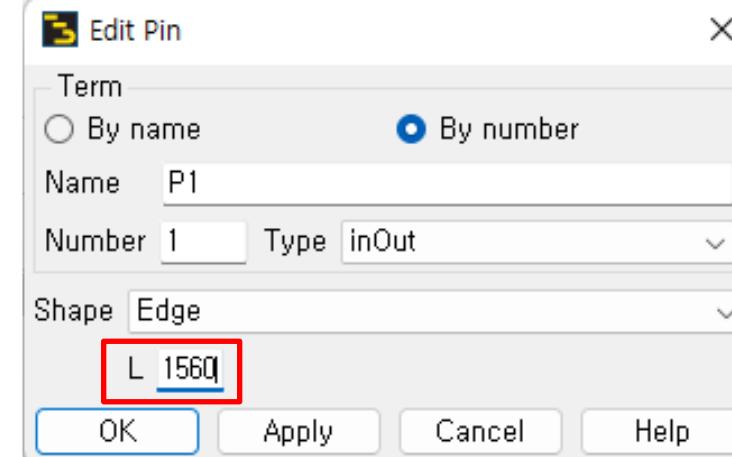
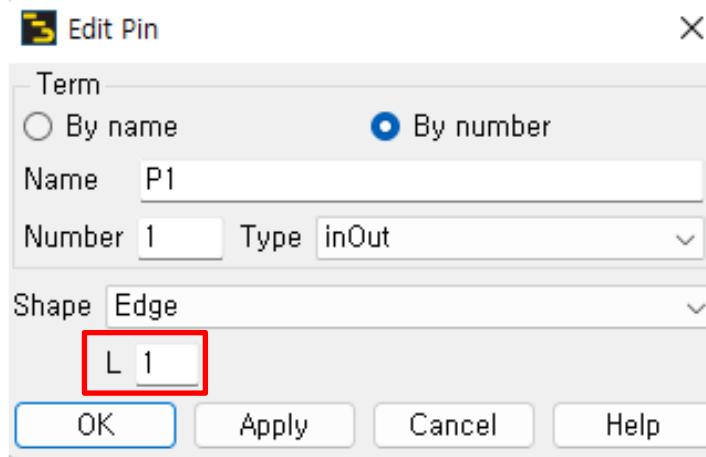
- 좌측 그림에 보인 바와 같이 "Shape" 메뉴가 빈 칸으로 보이는 것을 확인할 수 있다.
- 풀 다운 메뉴를 내려보면 "Edge" 항목이 있는 것을 볼 수 있다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation

- 앞 장의 우측 그림에 보인 바와 같이 "Edge"를 선택하면, 다음 그림에 보인 바와 같이 "L" 항목이 보인다.
- "Edge" Pin의 길이 ("Length")를 설정할 수 있다.
- 길이의 단위는 Layout Window의 "Option – Preferences ..." 윈도우의 "Units/Scale"탭에서 설정된 "Length" 항목에 지정되어 있음을 확인할 수 있다.
- 본 강좌에서는 별 다른 언급이 없는 한 길이의 단위를 um로 지정하여 사용하고 있다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ EM Cosimulation

- "Edge pin"의 길이는 이 문제의 최대 주파수인 10GHz에서의 파장(λ)의 10%를 초과하지 않으면서 "WARNING" 메시지가 발생하지 않는 길이로 정한다.
- 대개 9.7% 정도가 되도록 정한다.
- 마이크로스트립 라인의 λ 를 계산할 때 주의가 필요하다.
- TEM 모드를 지원하는 전송 선로의 λ 는 다음의 식으로 계산된다.

$$\lambda = \frac{c}{\sqrt{\epsilon_r}}$$

- 식에서 $c = 1/\sqrt{(\mu_0 \epsilon_0)}$ (광속: speed of light), ϵ_r 은 전송 선로 매질의 유전 상수, f 는 주파수이다.
- 하지만, 마이크로스트립 라인은 quasi-TEM 모드를 지원하는 전송 선로이다.
- 따라서 λ 를 구하는 식에서, ϵ_r 대신 유효 유전 상수 (effective dielectric constant, ϵ_{eff})를 사용해야 한다.
- 따라서, 마이크로스트립 라인의 파장은 위 식을 수정한 다음 식으로 계산한다.

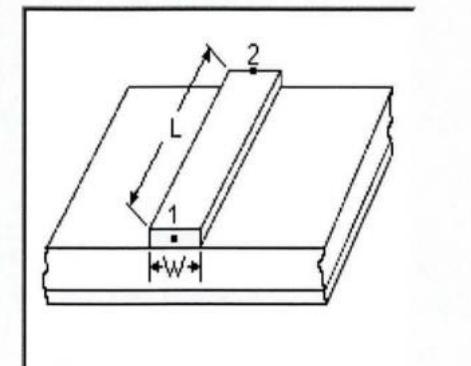
$$\lambda = \frac{c}{\sqrt{\epsilon_{eff}}}$$

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation

- ϵ_{eff} 는 그림에 보인 바와 같이 Linecalc 윈도우의 우측에 있는 "Calculated Results" 메뉴의 "K_eff'값이다.



Calculated Results

K_Eff = 3.499

A_DB = 0.068

SkinDepth = 0.030

- Linecalc에서 계산된 ϵ_{eff} 값을 사용하여 10GHz에서의 파장(λ) 아래와 같이 계산한다.
- $\lambda = \frac{c}{\sqrt{\epsilon_{eff}}} = \frac{c}{10 \times 10^9} = 0.0160$
- 이 파장의 9.7 % 값을 계산하면 1552 μ m 이다.
- "WARNTNG" 메시지가 발생하지 않는 최대 길이 1560 μ m로 정한다.
- "Edge Pin"의 길이, 1560 μ m은 10GHz에서 파장(λ)의 9.73%이다.

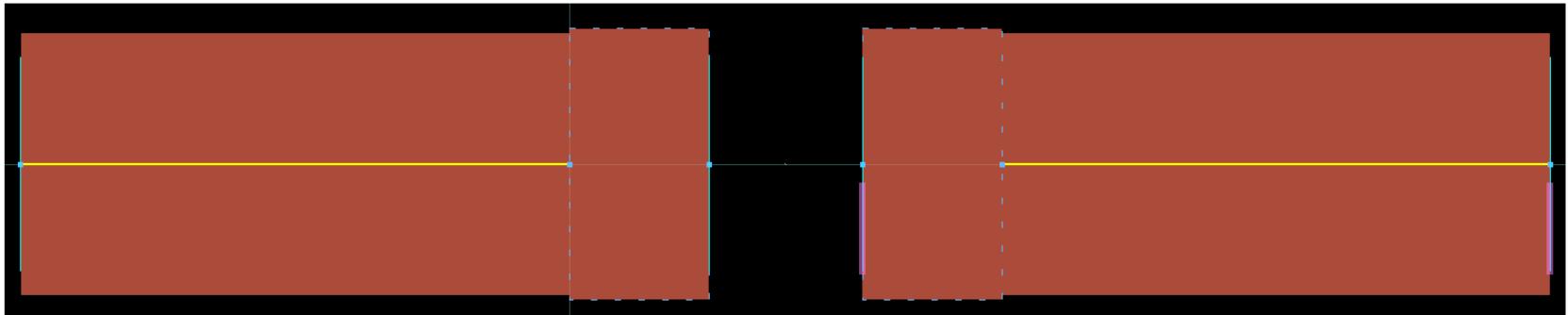
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ EM Cosimulation

- 그림에 보인 바와 같이 "P1", "P2", "P3", P4"를 모두 "Edge Pin"으로 정하면, "Pin" 모양이 layout pattern(conductor)의 "Edge"에 옥색으로 표시되어 있음을 할 수 있다.

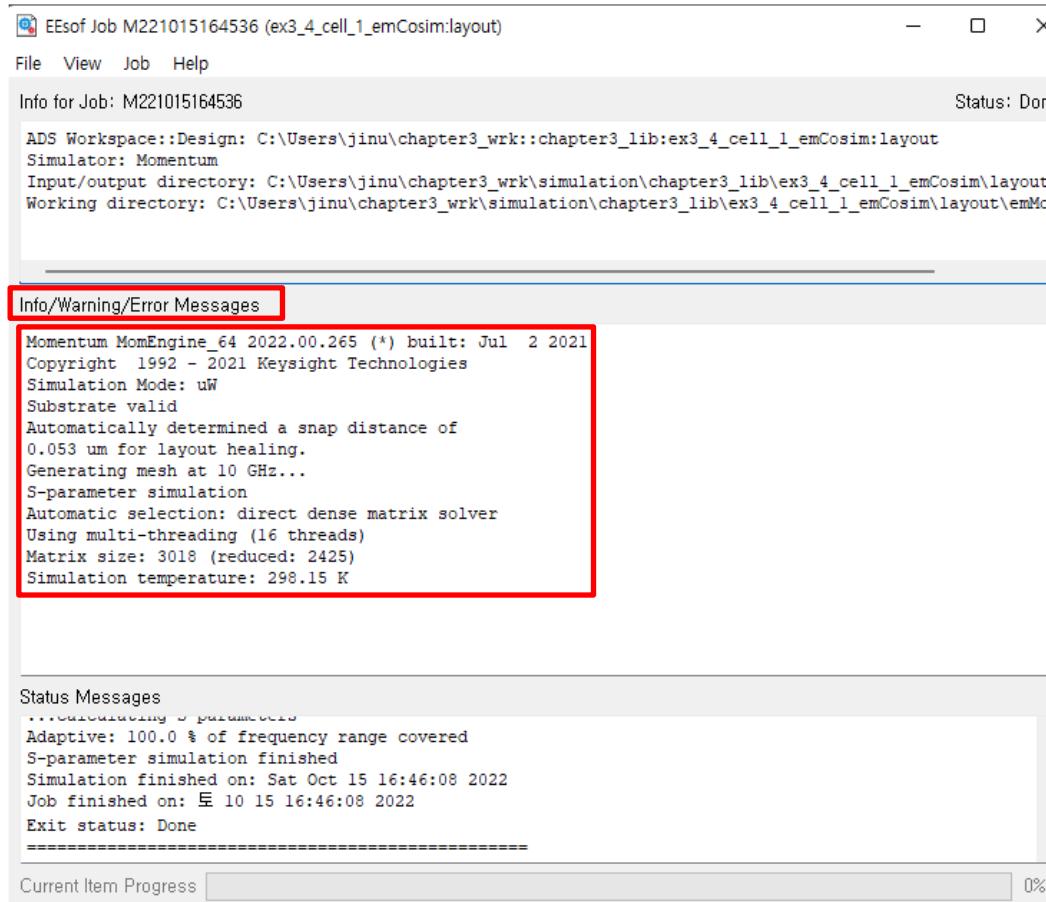


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation

- “Edge Pin”으로 설정한 다음 Layout Simulation을 행하면 그림에 보인 바와 같이 “Info/Warning/Error Messages” 메뉴에 “WARNING” 메시지가 발생하지 않음을 확인할 수 있다.

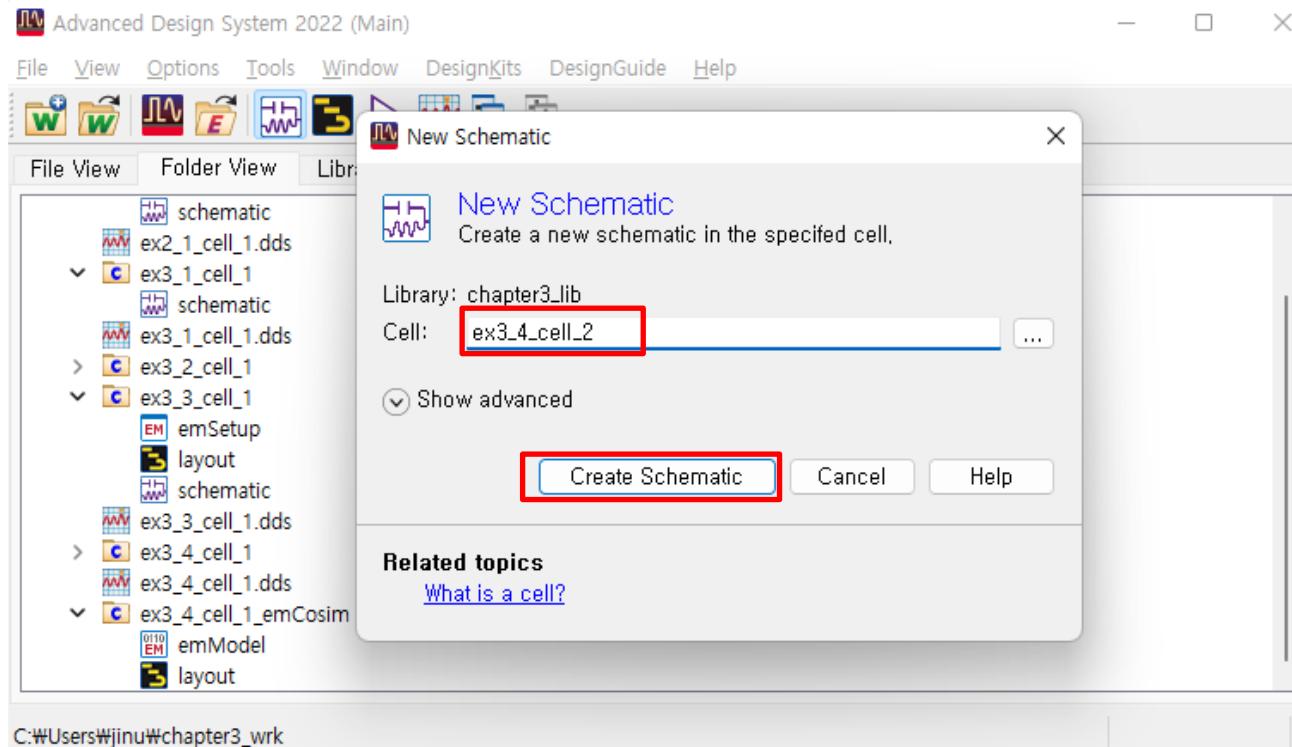


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ emCosim 모델을 이용한 Schematic Simulation

- EM Cosimulation을 수행한 이유는 EM Cosimulation에서 얻은 Layout Simulation의 결과를 Schematic Simulation에 이용하기 위해서이다.
- 앞에서 생성한 "ex3_4_cell_1_emCosim"을 이용하여 Schematic Simulation을 수행할 수 있다.
- ADS Main Window에서 "New Schematic Window" 아이콘을 클릭하여 "ex3_4_cell_2"이라는 이름으로 cell을 생성하고 Schematic Window를 연다.

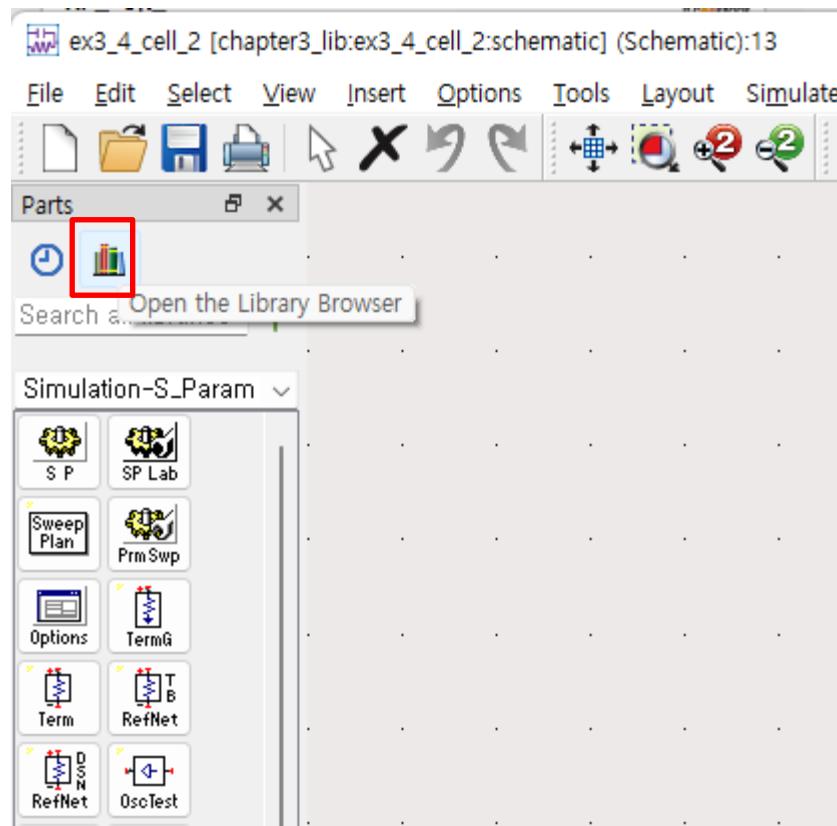


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ emCosim 모델을 이용한 Schematic Simulation

- 그림에 보인 바와 같이 Schematic Window의 좌측 상단에 있는 "Open the Library Browser" 아이콘을 클릭한다.

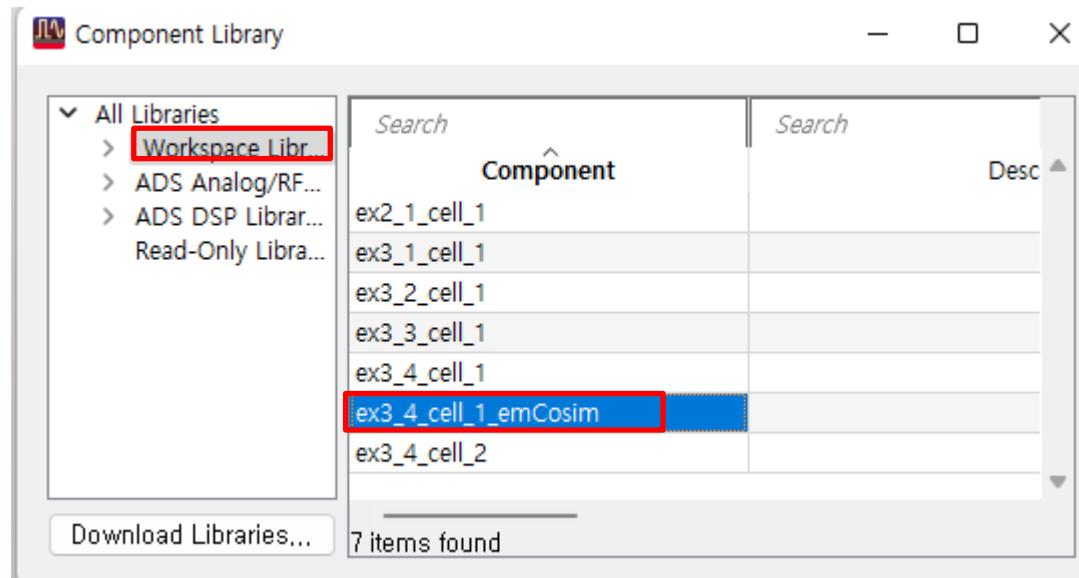


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ emCosim 모델을 이용한 Schematic Simulation

- "Open the Library Browser" 아이콘을 클릭하면 다음 그림에 보인 바와 같이 "Component Library" 윈도우가 팝업된다.



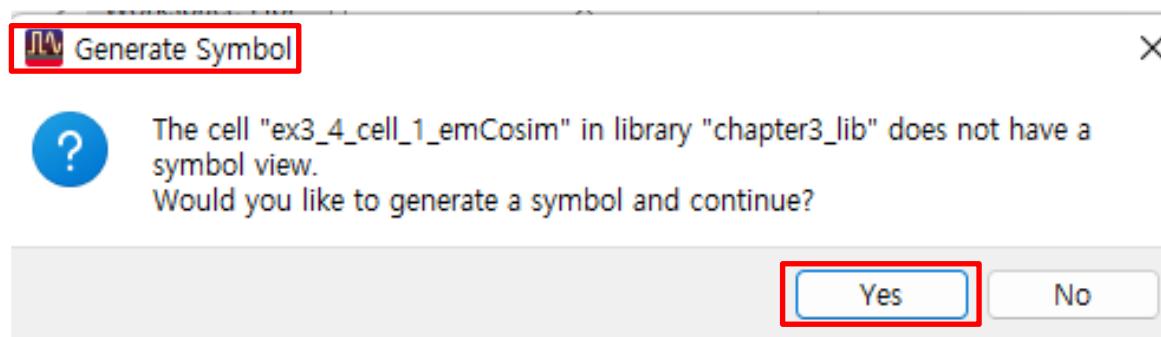
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ emCosim 모델을 이용한 Schematic Simulation

- "Workspace Libraries"는 현재의 Workspace에서 생성되어 Schematic Window에서 사용 가능한 회로 부품 리스트 (component list)를 보여준다.
- "em3_4_cell_1_emCosim" 부품이 생성되어 있는 것을 확인할 수 있다.
- 이 부품이 앞 절에서 수행한 EM Cosimulation에 의해서 생성된 부품이다.
- 본 강좌에서 EM Cosimulation에 의해서 생성된 부품을 "emCosim 모델"로 통칭한다.
- 이 emCosim 모델을 더블 클릭하면 그림에 보인 바와 같이 "Generate Symbol" 윈도우가 팝업된다.

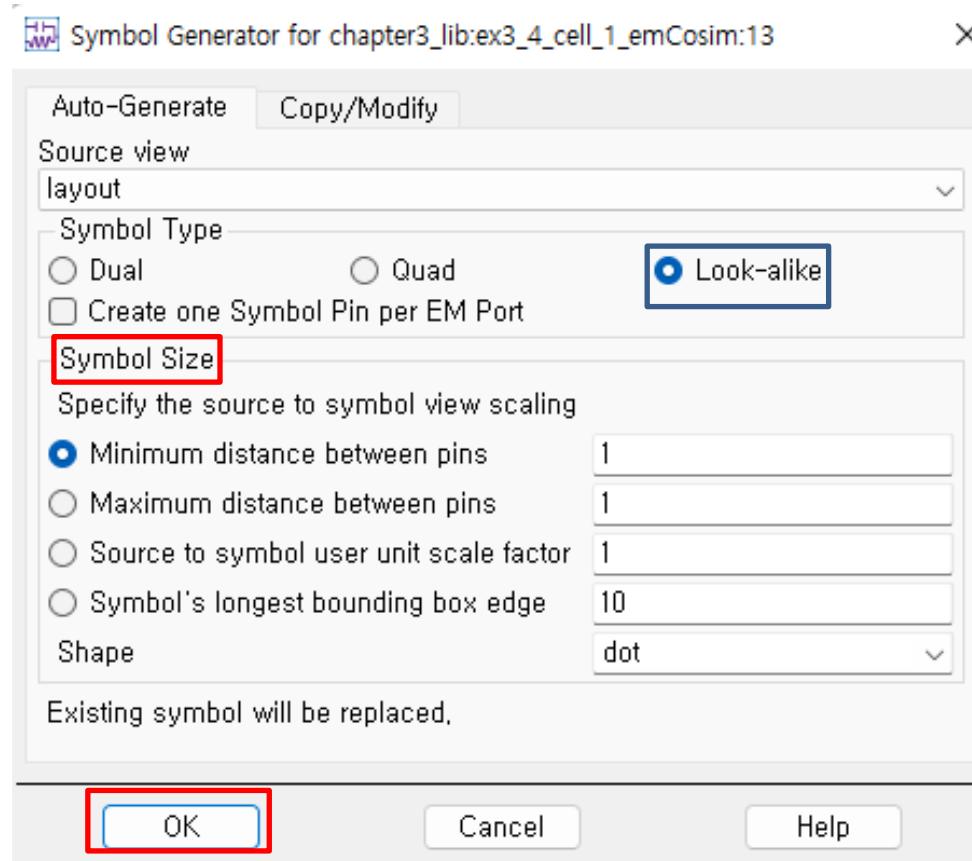


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ emCosim 모델을 이용한 Schematic Simulation

- "Yes" 버튼을 클릭하면 그림에 보인 바와 같이 "Symbol Generator for..."라는 윈도우가 팝업된다.

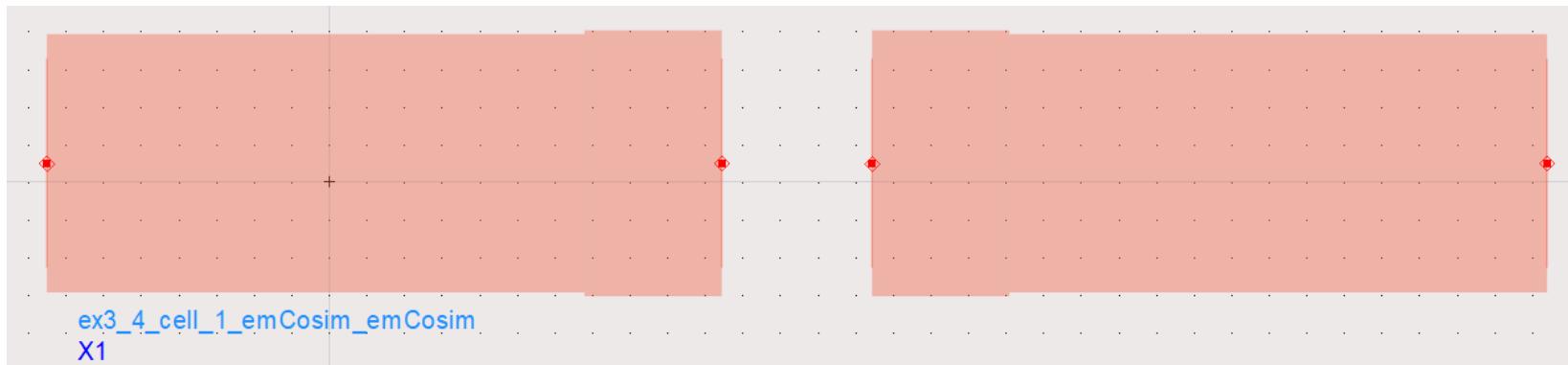


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ emCosim 모델을 이용한 Schematic Simulation

- 앞 장의 그림에 보인 바와 같이 default 상태로 "OK" 버튼을 클릭하면, 다음 그림 3-88 에 보인 바와 같이 EM Cosimulation에 의해서 생성된 "Symbol" 이 Schematic Window에 배치된다.
- 앞 장의 그림에 보인 바와 같이 "Symbol Generate for..." 원도우에서 "Symbol type" 메뉴의 "Look-alike" 옵션을 선택했기 때문에, Layout Window에서 설계했던 마이크로스트립 라인과 인덕터 패드가 Schematic Window에서 동일한 모양으로 보여지는 것이다.

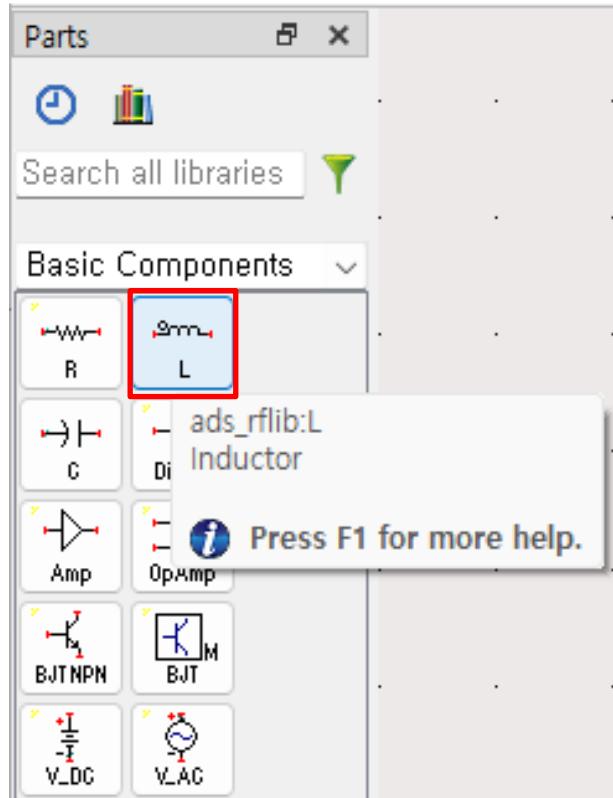


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ emCosim 모델을 이용한 Schematic Simulation

- “ex3_4_cell_1_emCosim” instance와 함께 그림에 보인 바와 같이 “Basic Components”의 “ads_rflib:L Inductor” instance를 사용하여 S-parameter 시뮬레이션을 수행할 수 있는 ADS Schematic을 완성 할 수 있다.

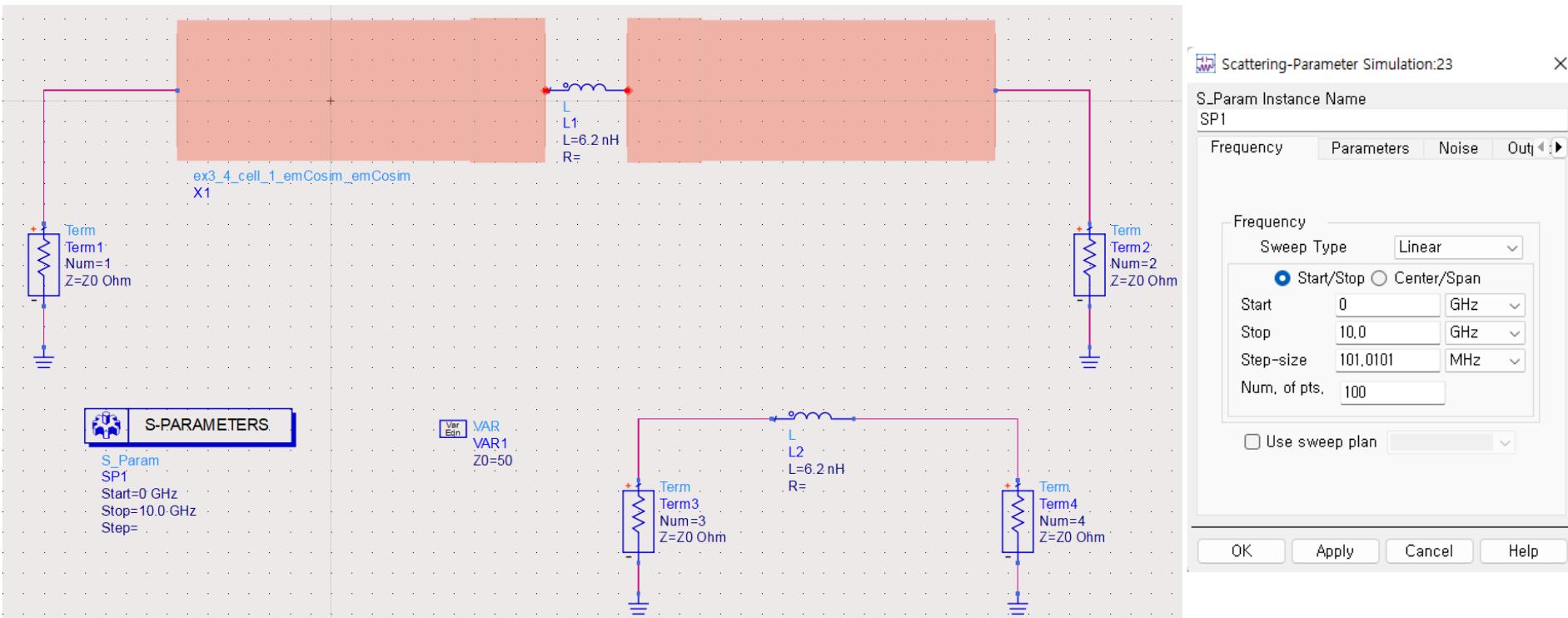


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ emCosim 모델을 이용한 Schematic Simulation

- “Basic Components”의 “ads_rflib:L Inductor” instance를 사용하여 그림 3-90에 보인 바와 같이 S-parameter 시뮬레이션을 수행할 수 있는 ADS Schematic, “ex3_4_cell_2”를 완성할 수 있다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ emCosim 모델을 이용한 Schematic Simulation

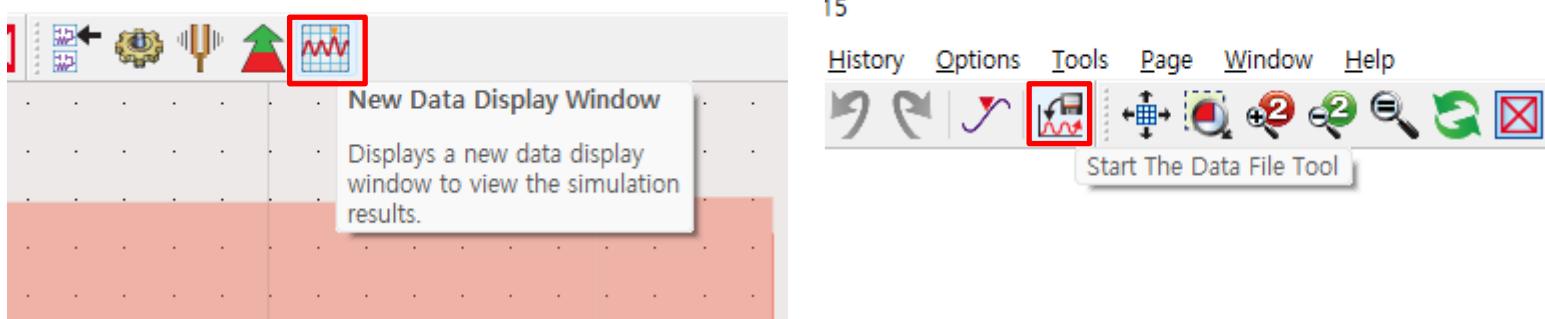
- EM Cosimulation에 의해 생성된 부품의 심볼 크기는 "Symbol Size" 메뉴의 설정 값으로 조정이 가능하다.
- ADS Layout을 생성하기 위하여 인덕터의 입출력단에 마이크로스트립 라인을 한 회로도를 앞에서 작성하였다.
- 인덕터와 인덕터를 PCB에 실장하기 위한 인덕터 패드가 포함된 S-parameter를 계산하기 위하여, "Port Editor" 윈도우에서 Port 1과 Port 2의 "Ref Offset [um]"을 마이크로스트립 라인의 길이만큼 설정하였다.
- 이러한 설정 때문에 인덕터의 입출력 마이크로스트립 라인은 S-parameter 시뮬레이션에서 de-embedding된다.
- 출력 마이크로스트립 라인이 de-embedding된 S-parameter를 Schematic Simulation 결과와 직접 비교하기 위하여 인덕터의 입출력단에 "Term" instance를 직접 연결한 회로를 앞 장 그림의 하단에 보인 바와 같이 추가하였다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- Coilcraft 사에서는 자사에서 제조하는 칩 인덕터의 S-parameter를 자사의 웹사이트에서 제공한다.
- 이 문제에서 사용하는 칩 인덕터 0805HP 시리즈의 S-parameter도 Coilcraft사의 웹사이트에서 쉽게 찾을 수 있다.
- Coilcraft 사에서 제공되는 S-parameter를 ADS에서 다양한 방법으로 사용할 수 있다.
- 이 절에서는 Coilcraft 사에서 제공한 S-parameter를 ADS로 읽어 들여서 ADS에서 활용할 수 있는 "Dataset"을 생성하는 방법을 소개한다.
- ADS Main Window에서 좌측 그림에 보인 바와 같이 "New Data Display Window"를 클릭하여, 우측 그림에 보인 "Data Display Window"를 하나 연다.



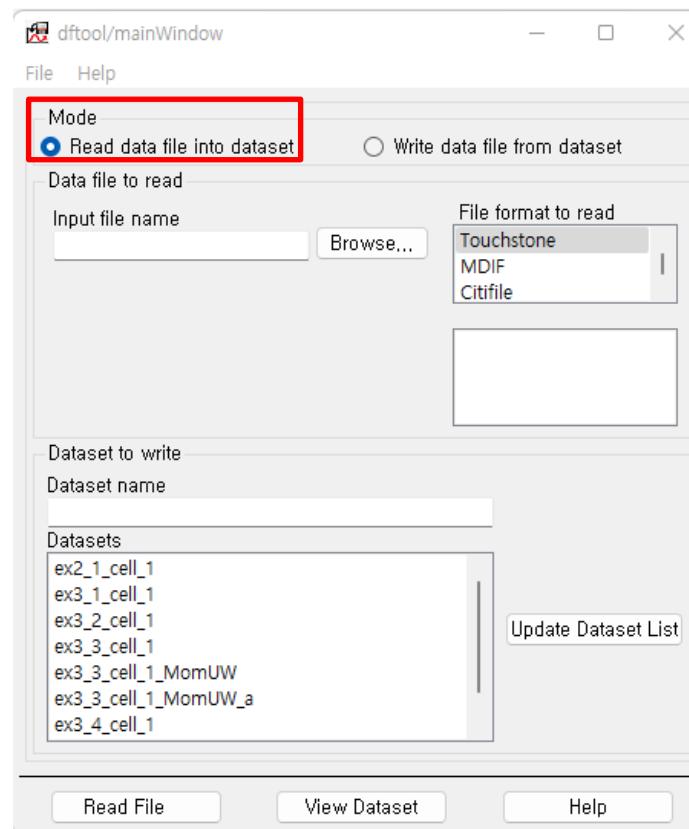
15

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- "Data Display Window"에서 "Start The Data File Tool" 아이콘을 클릭하면 그림에 보인 바와 같이 "dftool/main Window"가 팝업된다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- 이 윈도우는 2개의 "Mode"가 있다.
- 외부 데이터를 읽어 들이는 "Mode"는 앞 장의 좌측 그림에 보인 바와 같이 "Read data file into dataset" 항목을 선택하면 된다.
- 외부 데이터의 저장 형식에 따라 "File format to read" 메뉴에 "Touchstone", "MDIF", "Citifile", "ICCAP", "SMatrixIO" 등이 있다.
- S-parameter은 "Touchstone" 형식으로 저장되는 것이 보통이며, Coilcraft 사에서 제공하는 S-parameter도 "Touchstone" 형식으로 제공된다.
- 따라서, "File format to read"는 "Touchstone"으로 선택한다.

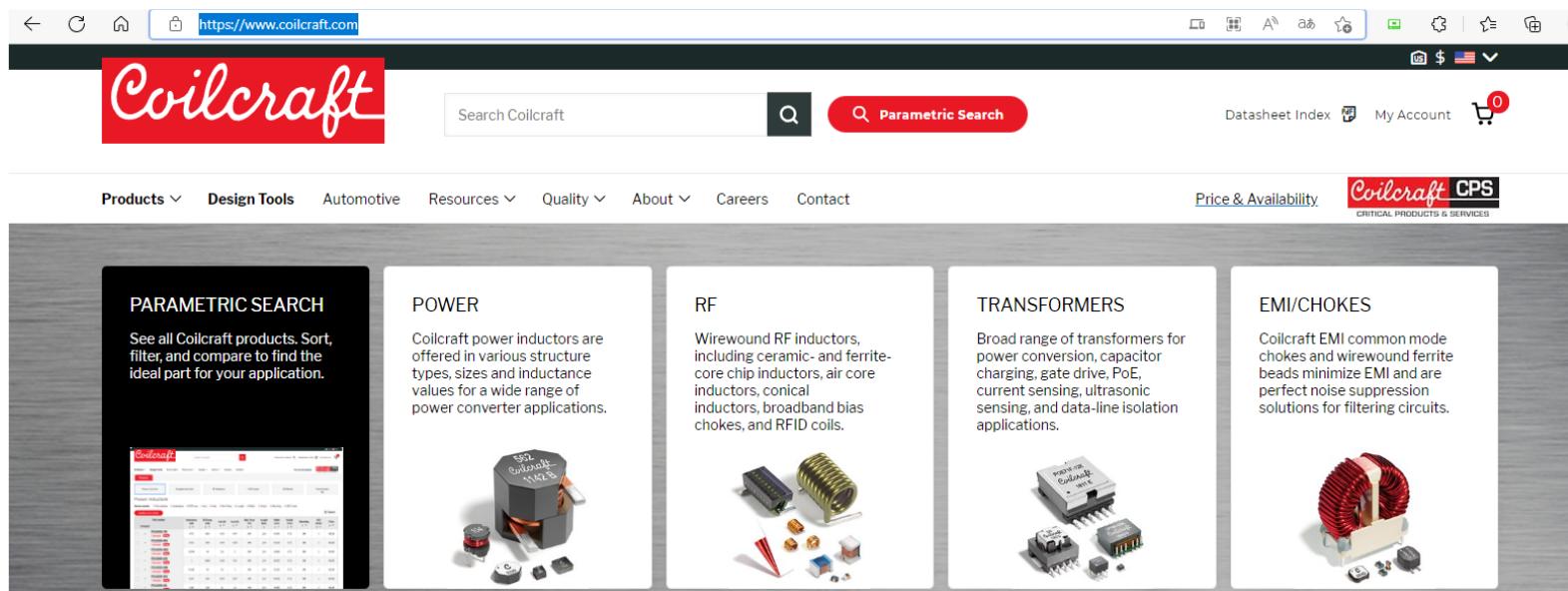
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- ADS에서 각종 시뮬레이션에 의해 생성된 각종 데이터는 Workspace의 하위 폴더인 "data" 폴더에 저장된다.
- 외부에서 가져온 각종 데이터도 동일한 경로에 저장하고 사용하는 것이 좋다.
- 따라서, Coilcraft 사의 웹사이트에서 다운로드 한 "s2p" 파일을 Workspace의 "data" 폴더에 저장한다.
- Coilcraft 사의 웹사이트에 접속하기 위해 다음 링크로 들어간다
 - <https://www.coilcraft.com/>



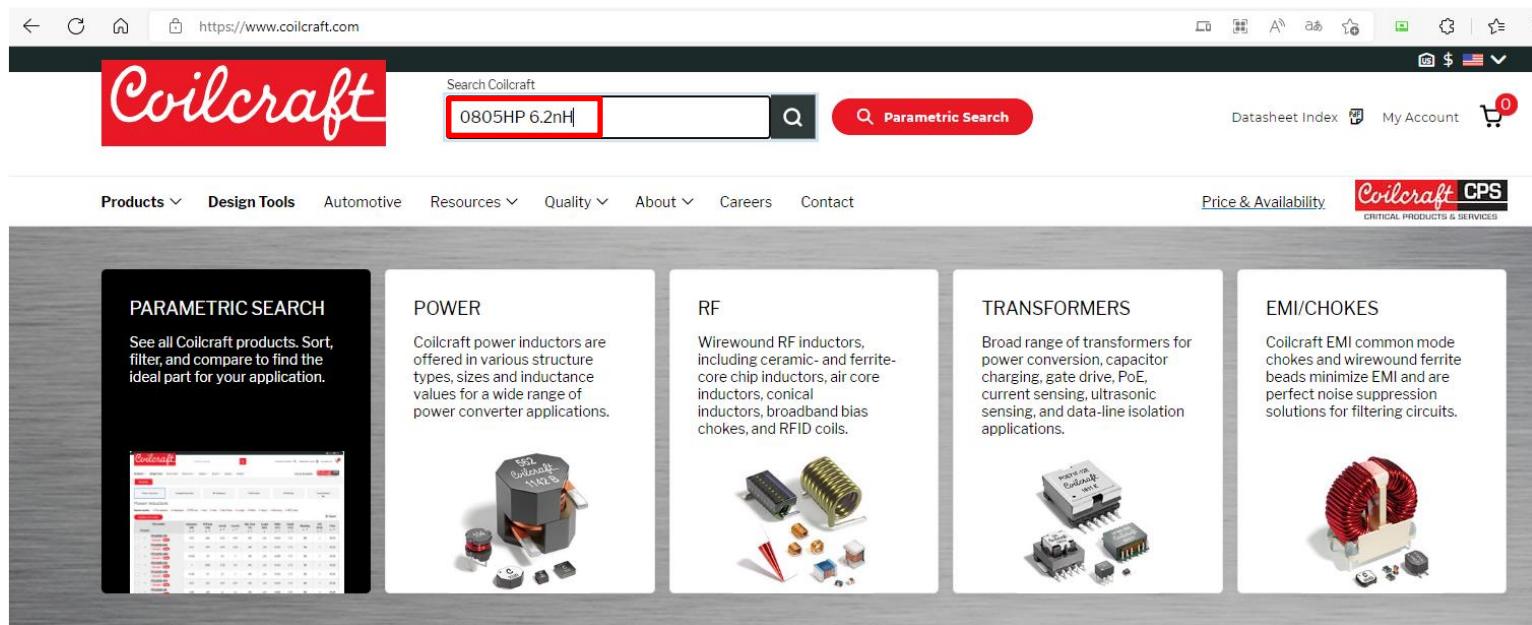
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- 검색창에 “0805HP 6.2nH”를 입력하여 검색한다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- 0805HP (2012) 항목을 클릭

The screenshot shows the Coilcraft website's search results page. At the top, there is a red header with the Coilcraft logo. Below it is a search bar containing '0805HP 6.2nH' with a magnifying glass icon and a 'Parametric Search' button. To the right of the search bar are links for 'Datasheet Index' and 'My Account'. A shopping cart icon with a '0' is also present. The main navigation menu includes 'Products', 'Design Tools', 'Automotive', 'Resources', 'Quality', 'About', 'Careers', and 'Contact'. On the right side, there is a 'Price & Availability' link and the Coilcraft CPS logo. Below the menu, there are three tabs: 'Content (5)', 'Documents (5)', and 'Products', with 'Products' being the active tab. The search results for '0805HP 6.2nH' are displayed. The first result is highlighted with a red border and contains the following information:
0805HP (2012) High Q Ceramic Chip Inductors
[https://www.coilcraft.com/en-us/products/rf/ceramic-core-chip-inductors/0805-\(2012\)/0805hp/](https://www.coilcraft.com/en-us/products/rf/ceramic-core-chip-inductors/0805-(2012)/0805hp/)
Our 0805HP Series of wirewound ceramic chip inductors have the highest Q factors in an 0805 size. Excellent current handling, high SRF, low DCR, and tight tolerances.

Search for: 0805HP 6.2nH

0805HP (2012) High Q Ceramic Chip Inductors
[https://www.coilcraft.com/en-us/products/rf/ceramic-core-chip-inductors/0805-\(2012\)/0805hp/](https://www.coilcraft.com/en-us/products/rf/ceramic-core-chip-inductors/0805-(2012)/0805hp/)
Our 0805HP Series of wirewound ceramic chip inductors have the highest Q factors in an 0805 size. Excellent current handling, high SRF, low DCR, and tight tolerances.

0805HQ (2012) High Q Ceramic Chip Inductors
[https://www.coilcraft.com/en-us/products/rf/ceramic-core-chip-inductors/0805-\(2012\)/0805hq/](https://www.coilcraft.com/en-us/products/rf/ceramic-core-chip-inductors/0805-(2012)/0805hq/)
Our 0805HQ Series improves on the original 0805CS Series with even higher Q, higher current handling, and much lower DCR.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

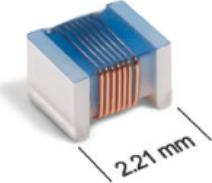
- S-Param를 클릭

[View:](#) Introduction Specifications Environmental Performance curves Physical characteristics Tape & Reel Soldering

[Products](#) > [RF](#) > [Ceramic-Core-Chip-Inductors](#) > [0805HP](#)

0805HP (2012)

High Q Ceramic Chip Inductors



Our 0805HP Series of wirewound ceramic chip inductors have the highest Q factors in an 0805 size. Excellent current handling, high SRF, low DCR, and tight tolerances ($\pm 2\%$ for most) complete the features of this high-performance series.

[Resources](#) [Multimedia](#)

[Datasheet PDF](#) [Spice Model](#)

[SPICE PDF](#) [S-Param](#)

- Our highest Q factors in an 0805 form factor
- Excellent current handling and low DCR ratings
- Inductance values from 2.6 nH to 820 nH
- Tight tolerances: $\pm 2\%$ for most values
- Wirewound construction for highest possible self resonance – up to 9.5 GHz

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

- Coilcraft 사에서 제공하는 S-parameter 사용법
 - 검색창에 “0805HQ 6.2nH”를 입력하여 검색한다.

The screenshot shows the Coilcraft website interface. At the top, there is a red header with the 'Coilcraft' logo. Below it is a search bar containing the text "0805HQ 6.2nH". To the right of the search bar is a "Parametric Search" button. The main navigation menu includes "Products", "Design Tools", "Automotive", "Resources", "Quality", "About", "Careers", and "Contact". A secondary navigation bar below it includes "View: Introduction", "Specifications", "Environmental", "Performance curves", "Physical characteristics", "Tape & Reel", and "Soldering/M". The breadcrumb navigation shows the path: Products > RF > Ceramic-Core-Chip-Inductors > 0805HP. The main content area features the product name "0805HP (2012)" and the subtitle "High Q Ceramic Chip Inductors". It includes a 3D model of the inductor component with a dimension line indicating a height of "2.21 mm". To the right of the component are two compliance icons: "RoHS/REACH COMPLIANT" (green leaf) and "Halogen Free" (orange flame). A descriptive text block states: "Our 0805HP Series of wirewound ceramic chip inductors have the highest Q factors in an 0805 size. Excellent current handling, high SRF, low DCR, and tight tolerances (±2% for most) complete the features of this high-performance series."

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

- Coilcraft 사에서 제공하는 S-parameter 사용법
 - 0805HQ (2012) 항목을 클릭

The screenshot shows the Coilcraft website's search interface. At the top, there is a red header with the 'Coilcraft' logo. Below it is a search bar containing '0805HQ 6.2nH' with a magnifying glass icon and a 'Parametric Search' button. The main navigation menu includes 'Products', 'Design Tools', 'Automotive', 'Resources', 'Quality', 'About', 'Careers', and 'Contact'. Below the menu, there are three tabs: 'Content (2)', 'Documents (5)', and 'Products'. The 'Products' tab is highlighted. A search bar below the tabs contains 'Search for: 0805HQ 6.2nH'. The results section displays a product card for '0805HQ (2012) High Q Ceramic Chip Inductors'. The card features a small image of the component, its dimensions (1.25 mm), and a link to the product page: [https://www.coilcraft.com/en-us/rf/ceramic-core-chip-inductors/0805-\(2012\)/0805hq/](https://www.coilcraft.com/en-us/rf/ceramic-core-chip-inductors/0805-(2012)/0805hq/). A descriptive text follows: 'Our 0805HQ Series improves on the original 0805CS Series with even higher Q, higher current handling, and much lower DCR.' At the bottom of the results, there is another card for 'C325 Chip Inductors' with a small icon and a link: <https://www.coilcraft.com/en-us/kits/rf/c325/>.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

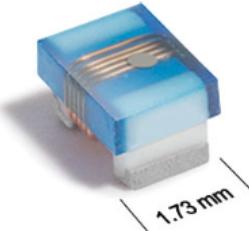
- S-Param를 클릭

Products ▾ Design Tools Automotive Resources ▾ Quality ▾ About ▾ Careers Contact

View: Introduction Specifications Environmental Performance curves Physical characteristics Tape & Reel Soldering/

[Products](#) > RF > [Ceramic-Core-Chip-Inductors](#) > [0805HQ](#)

0805HQ (2012)
High Q Ceramic Chip Inductors



Our 0805HQ Series improves on the original 0805CS Series with even higher Q, higher current handling, and much lower DCR. The ceramic construction provides high self-resonant frequencies – up to 10.3 GHz. For even higher Q and L, see our 0805HP Series.

Resources

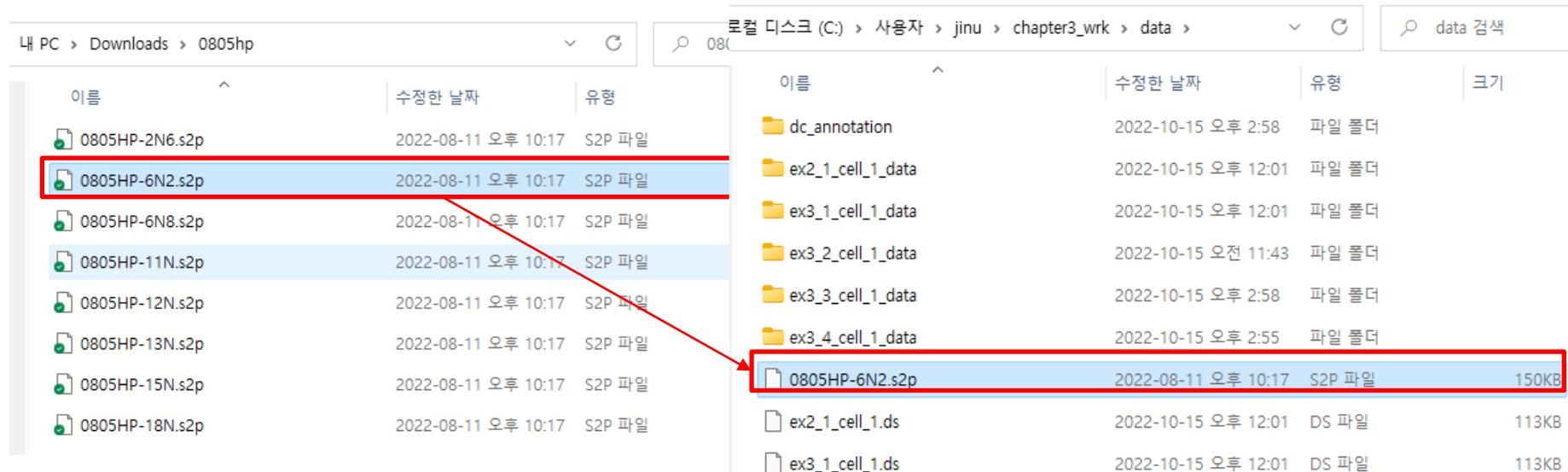

- High Q factor in an 0805 size; for even higher Q and L, see [0805HP](#)
- Improved current handling with significantly lower DCR ratings
- Inductance values from 2.5 nH to 51 nH
- Ceramic construction for highest possible self resonance – up to 10.3 GHz
- AEC-Q200 Grade 1 (-40°C to +125°C)

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- Coilcraft 사의 웹사이트에서 다운로드 한 "s2p" 파일을 Workspace의 "data" 폴더에 저장한다.
- 0805HP series 6.2nH ("0805HP-6N2.s2p") "s2p" 파일과 0805HQ series 6.2nH "s2p" 파일 ("08HQ6N2.S2P")을 Workspace의 "data" 폴더에 저장한다.

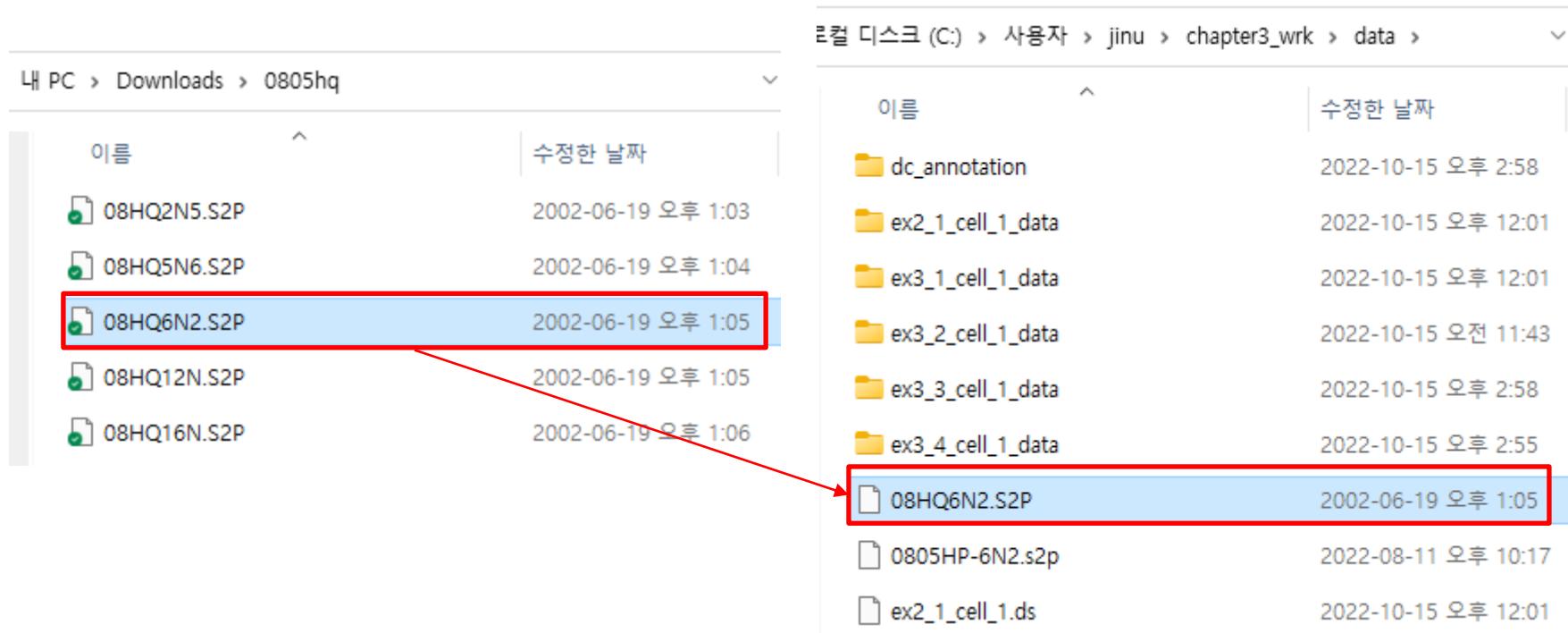


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- Coilcraft 사의 웹사이트에서 다운로드 한 "s2p" 파일을 Workspace의 "data" 폴더에 저장한다.
- 0805HP series 6.2nH ("0805HP-6N2.s2p") "s2p" 파일과 0805HQ series 6.2nH "s2p" 파일 ("08HQ6N2.S2P")을 Workspace의 "data" 폴더에 저장한다.



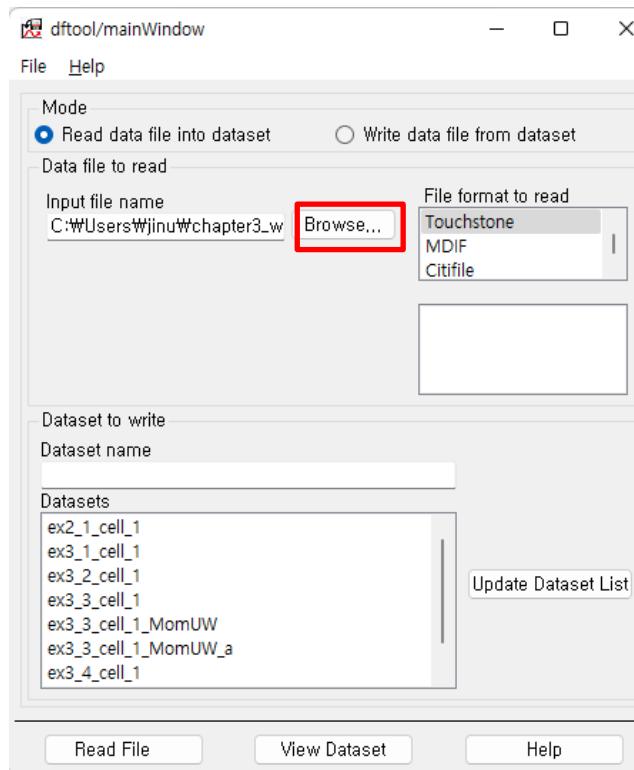
5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- 그림에 보인 바와 같이 "Data file to read" 메뉴에 있는 "Browse..." 버튼을 클릭하여 컴퓨터에 저장된 파일을 선택한다.
- "Touchstone" 형식으로 저장된 N-port 네트워크에 대한 S-parameter 데이터의 파일 확장자는 "s2p"이다.
- 인덕터는 2-port 네트워크이므로 인덕터의 S-parameter 데이터의 파일 확장자는 "s2p"이다.

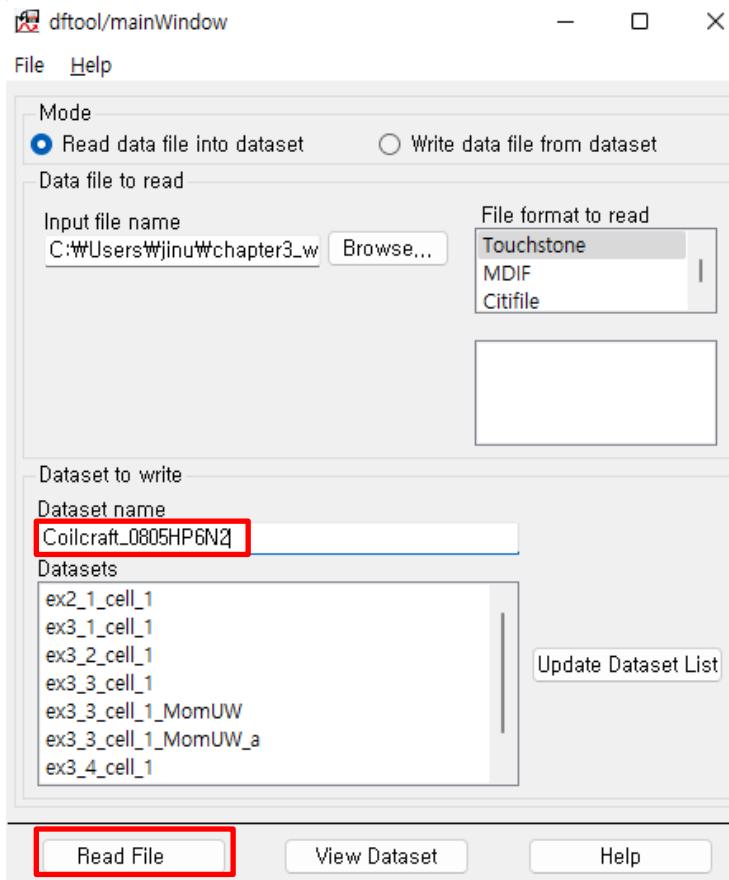


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- "Dataset to write" 메뉴에서 "Dataset name"을 사용자가 원하는 이름을 공백없이 직접 입력한다.
- 그림에서는 "Coilcraft_0805HP6N2"로 입력되어 있는 것을 확인할 수 있다.

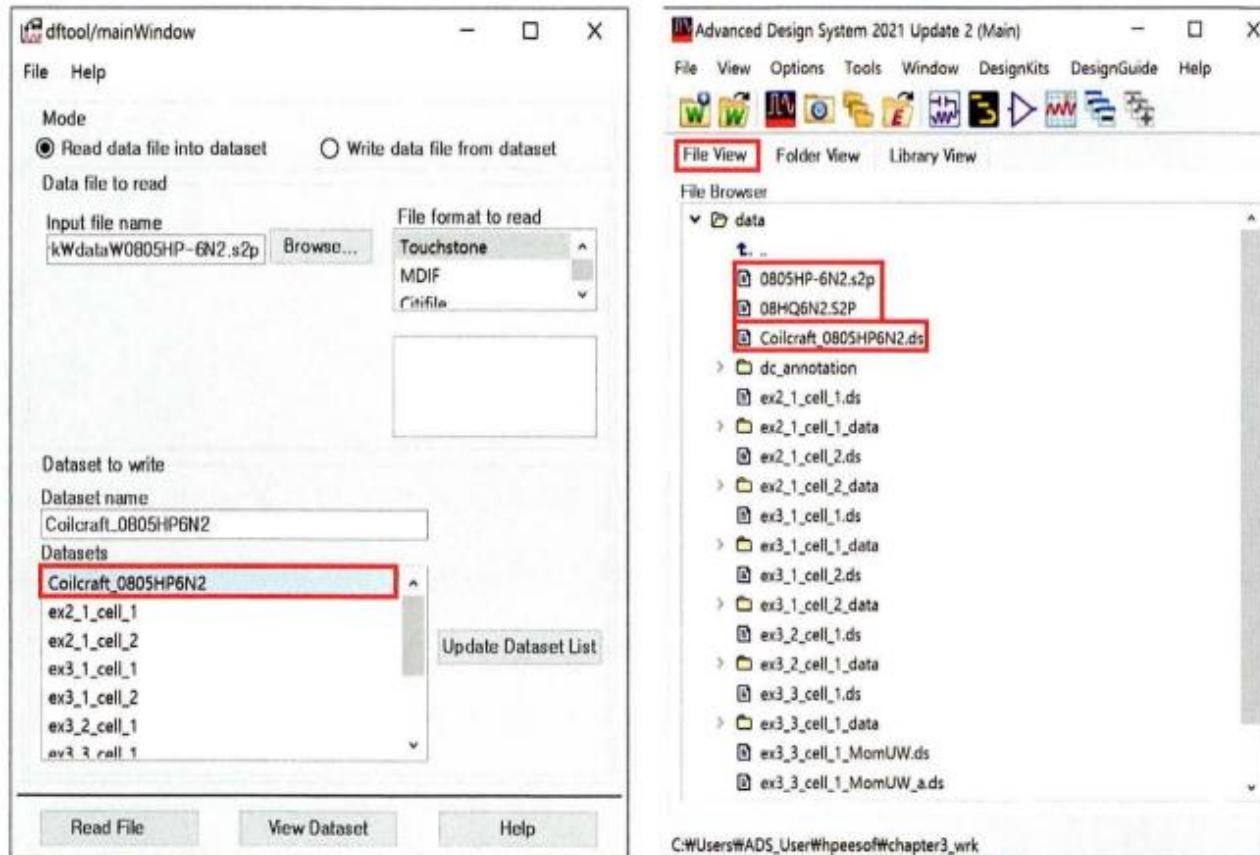


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

- 마지막으로, "Read File" 버튼을 누르면 좌측 그림에 보인 바와 같이 "Coilcraft 0805HP6N2"라는 파일이 생성된 것을 확인할 수 있다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ Coilcraft 사에서 제공하는 S-parameter 사용법

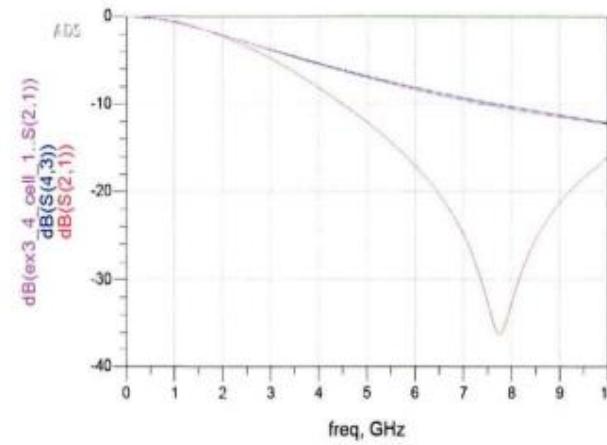
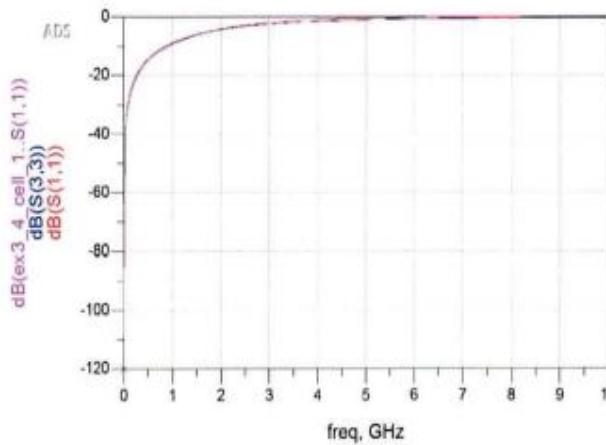
- "Coilcraft 0805HP6N2"라는 파일은 앞 장의 우측 그림에 보인 바와 같이 ADS Main Window의 "File View"에서 저장된 위치를 확인할 수 있다.
- 이 과정이 모두 끝나면 "Data Display Window"와 "dftool/main Window"는 닫는다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ 시뮬레이션 결과의 비교와 분석

- 이 문제에서는 총 3개의 S-parameter 시뮬레이션 결과를 얻게 된다.
- 이 3개의 S-parameter를 그림에 보인 바와 같이 비교할 수 있다.



- 그림에서 "dB(S(1, 1))"과 "dB(S(2, 1))"은 "ex3_4_cell_1_emCosim" 회로 부품을 이용한 Schematic Simulation 결과이고, $\text{dB}(S(3, 3))$ 과 $\text{dB}(S(4, 3))$ 는 인덕터 입출력단에 직접 "Term" instance를 연결하여 얻은 Schematic Simulation 결과로써, "ex3_4_cell_2" dataset에 있는 S-parameter이다.
- "dB(ex3_4_cell_1 ... S(1, 1))"과 "dB(ex3_4_cell_1 .. S(2, 1))"은 "ex3_4_cell_1" cell의 Schematic Simulation 결과로써, "ex3_4_cell_1" dataset에 있는 S-parameter이다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ 시뮬레이션 결과의 비교와 분석

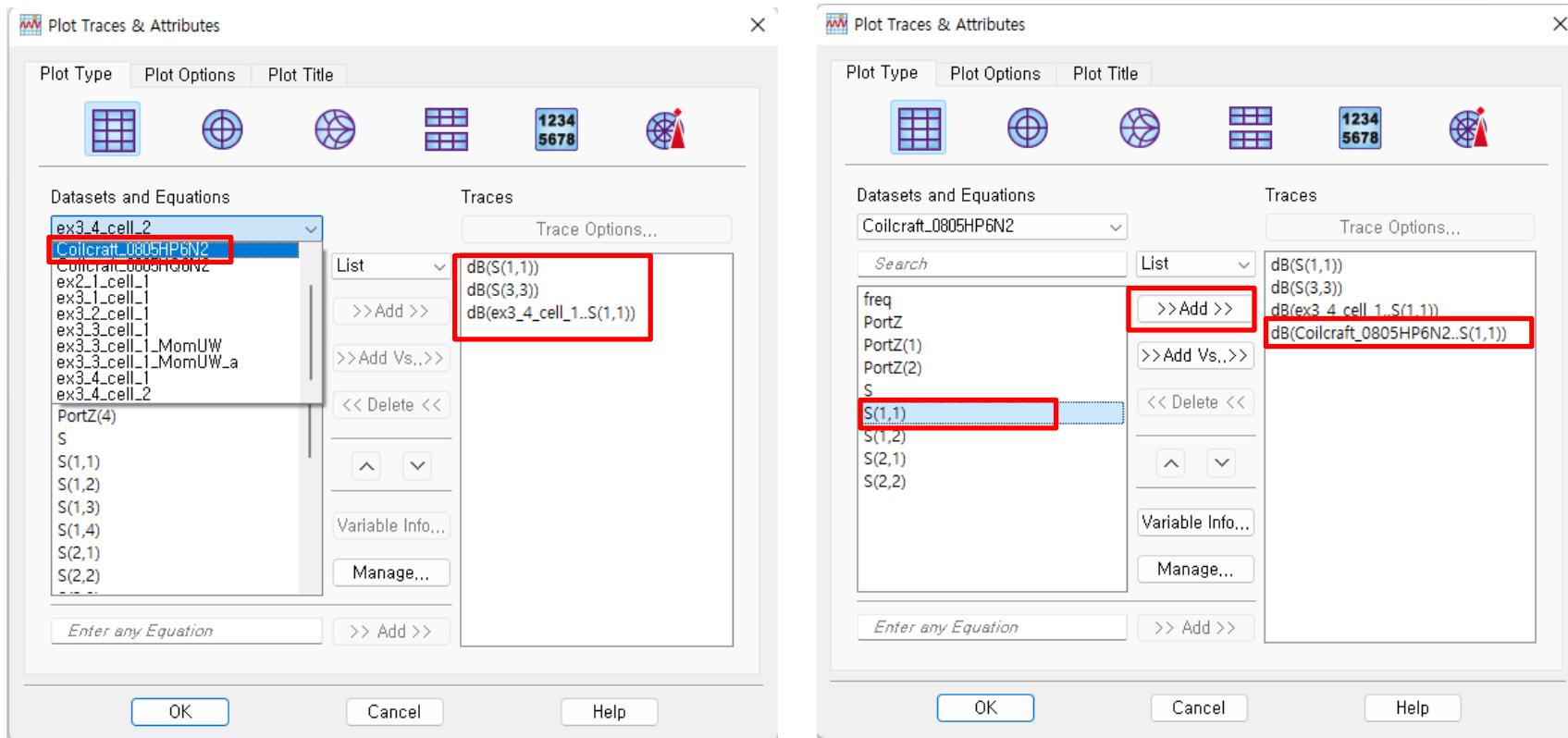
- 앞 장의 좌측 그림에 보인 입력 반사 계수 - $S(1, 1)$ 또는 $S(3, 3)$ - 는 모두 매우 비슷한 특성을 보인다.
- 하지만, 앞 장의 우측 그림에 보인 전송 계수- $S(2, 1)$ 또는 $S(4, 3)$ –는 "ex3_4_cell_1_emCosim" 모델을 이용한 Schematic Simulation 결과와 나머지 두 경우가 매우 다른 특성을 보인다.
- 어느 시뮬레이션 결과가 실제 결과와 비슷한 결과인지 분석이 필요하다.
- 이 분석을 위하여 Coilcraft 사에서 제공한 칩 인덕터 0805HP series 6.2nH에 대한 S-parameter와 앞 장의 그림에 보인 S-parameter를 같은 그래프에서 비교해본다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ 시뮬레이션 결과의 비교와 분석

- 앞 장의 그림에 보인 그래프에 Coilcraft 사에서 제공한 칩 인덕터 0805HP series 6.2nH에 대한 S-parameter를 추가하는 방법은 다음과 같다.
- Data display window에서 앞 장 그림에 보인 그래프 중 하나를 더블 클릭하면 다음 그림에 보인 바와 같이 "Plot Traces & Attributes" 윈도우가 팝업 된다.

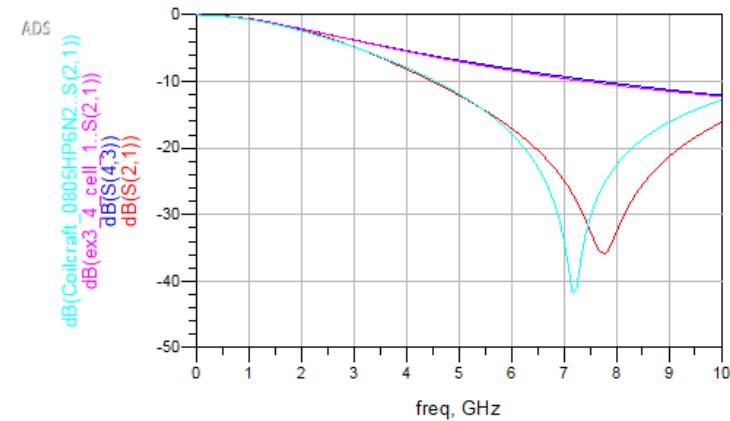
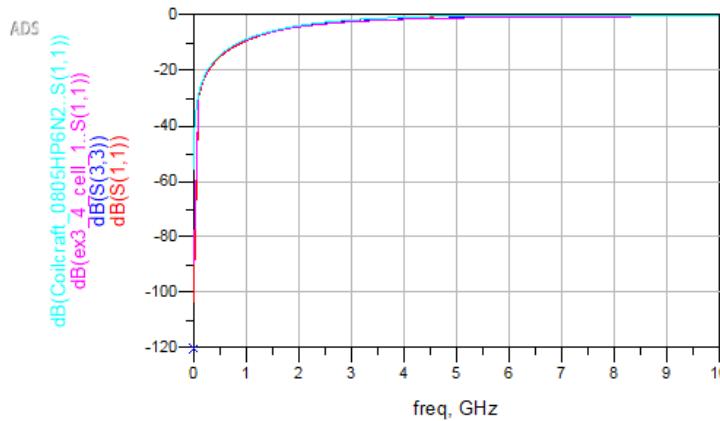


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ 시뮬레이션 결과의 비교와 분석

- 앞 장의 그림에 표시된 바와 같이 "Coilcraft 0805HP6N2" dataset을 "Datasets and Equations" 풀 다운 메뉴에서 찾을 수 있다.
- "Coilcraft 0805HP6N2" dataset을 선택한 후 $S(1, 1)$ 과 $S(2, 1)$ 을 각각 추가하면 다음 그림을 얻을 수 있다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ 시뮬레이션 결과의 비교와 분석

- 앞 장의 좌측 그림에서 확인할 수 있듯이, 4가지 경우 모두 반사 계수는 매우 비슷한 특성을 보인다.
- 하지만, 앞 장의 우측 그림에서 확인할 수 있듯이, emCosim 모델을 이용한 Schematic Simulation 과로부터 얻은 전송 계수와 Coilcraft 사에서 제공한 칩 인덕터 0805HP series 6.2nH에 대한 전송 계수가 비슷한 특성을 보인다.
- Schematic Simulation 결과("ex3_4_cell_1 ... S(2, 1)")와 인덕터 단독 ("S(4, 3)")의 전송 계수는 주파수 증가에 따라 크기가 완만하게 감소하지만, 특정 주파수에서 극소값을 갖고 다시 증가하는 특성이 보이지 않는다.
- 이와 반대로, emCosim 모델을 이용한 Schematic Simulation으로부터 얻은 전송 계수 ("S(2, 1)")는 7.75 GHz에서 전송 계수가 극소값을 보인다.
- Coilcraft 사에서 제공한 칩 인덕터 0805HP series 6.2 nH에 대한 전송 계수는 7.22 GHz에서 극소값을 보인다.
- emCosim 모델을 이용한 Schematic Simulation 의 전송 계수와 Coilcraft 사가 제공한 전송 계수의 극소값이 발생하는 주파수의 편차 (0.53 GHz)를 보이기는 하지만, emCosim 모델을 사용한 결과만 전송 계수의 극소값 발생 현상을 관찰할 수 있다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ 시뮬레이션 결과의 비교와 분석

- 이러한 결과로부터 매우 흥미로운 결론을 도출할 수 있다.
- Schematic Simulation의 경우 실제 회로의 특성을 정확하게 파악하기에는 한계가 내포되어 있다는 것이다.
- 저항, 인덕터, 커패시터와 같은 수동 회로 소자와 트랜지스터와 같은 능동 회로 소자가 포함된 회로의 경우 Layout Simulation과 Schematic Simulation을 동시에 수행할 수 있는 EM Cosimulation을 수행하여야 실제 회로의 성능을 예측할 수 있다는 것을 이 문제는 실증하고 있다고 결론내릴 수 있다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ EM Cosimulation과 Schematic Simulation 병행의 한계

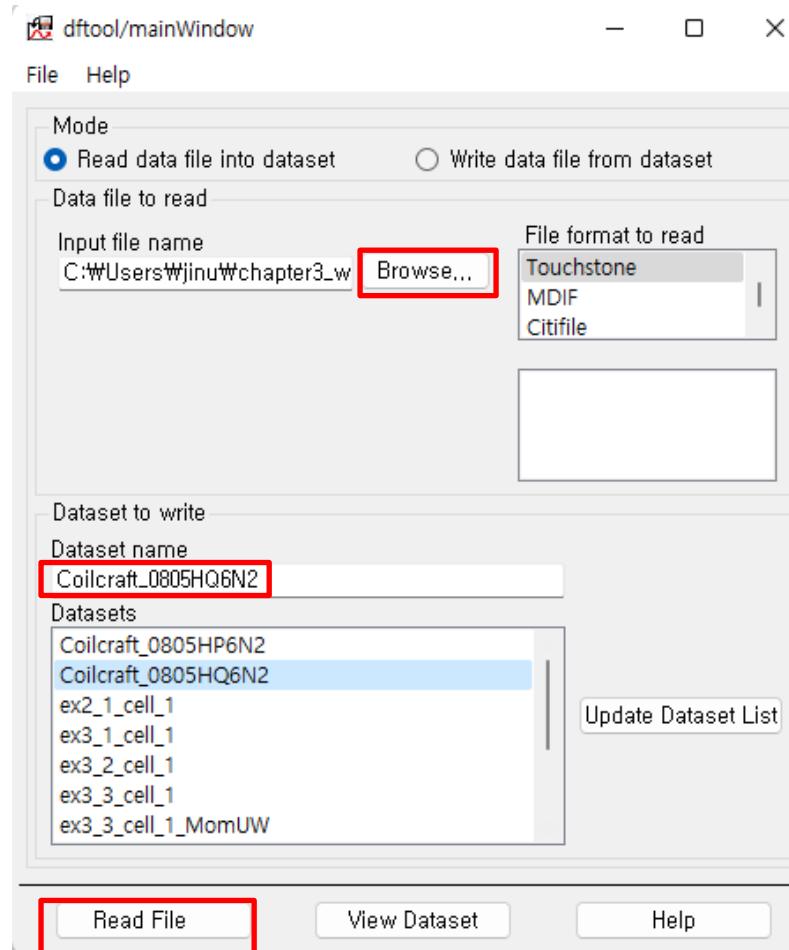
- Coilcraft사는 다양한 칩 인덕터 시리즈를 공급한다.
- 이 문제에서 사용한 부품은 0805HP series 이지만, 0805HQ series도 있다.
- 동일한 인덕턴스 값이지만 인덕터의 성능에 차이가 존재한다.
- Coilcraft사의 제품 사양에 따르면, 0805HP series의 quality factor (Q-factor)가 자사의 0805 세라믹 칩 인덕터(ceramic chip inductor) 제품 중 가장 높다.
- Q-factor는 인덕터의 손실 특성을 나타내는 척도이며 클수록 손실이 적다는 것을 의미한다.
- 앞 절에서 EM Cosimulation의 S-parameter와 0805HP series의 S-parameter가 매우 유사한 것으로 나타났다.
- 하지만, 0805HQ series 6.2 nH의 S-parameter와 비교하면 어떤 결과가 나올지 확인해 보자.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation과 Schematic Simulation 병행의 한계

- 일단, 그림에 보인 바와 같이 Coilcraft 사에서 제공된 0805HQ series 6.2 nH의 S-parameter를 "Coilcraft_0805HQ6N2" dataset에 저장한다.

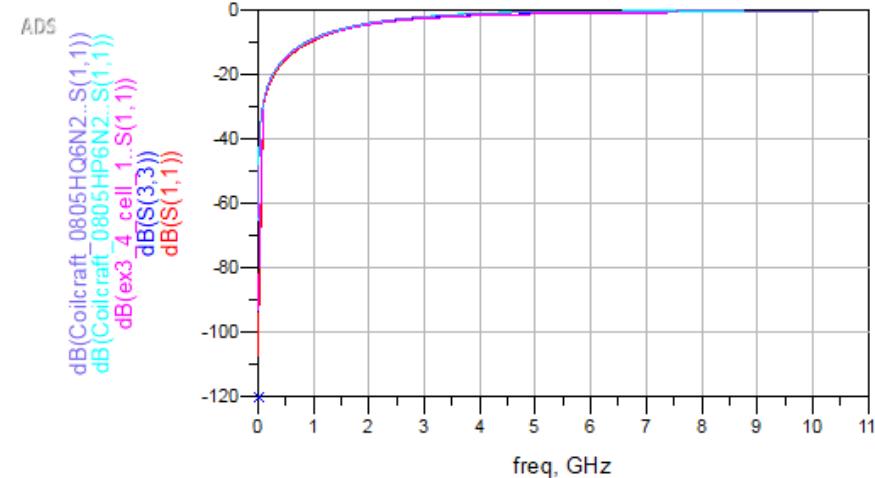
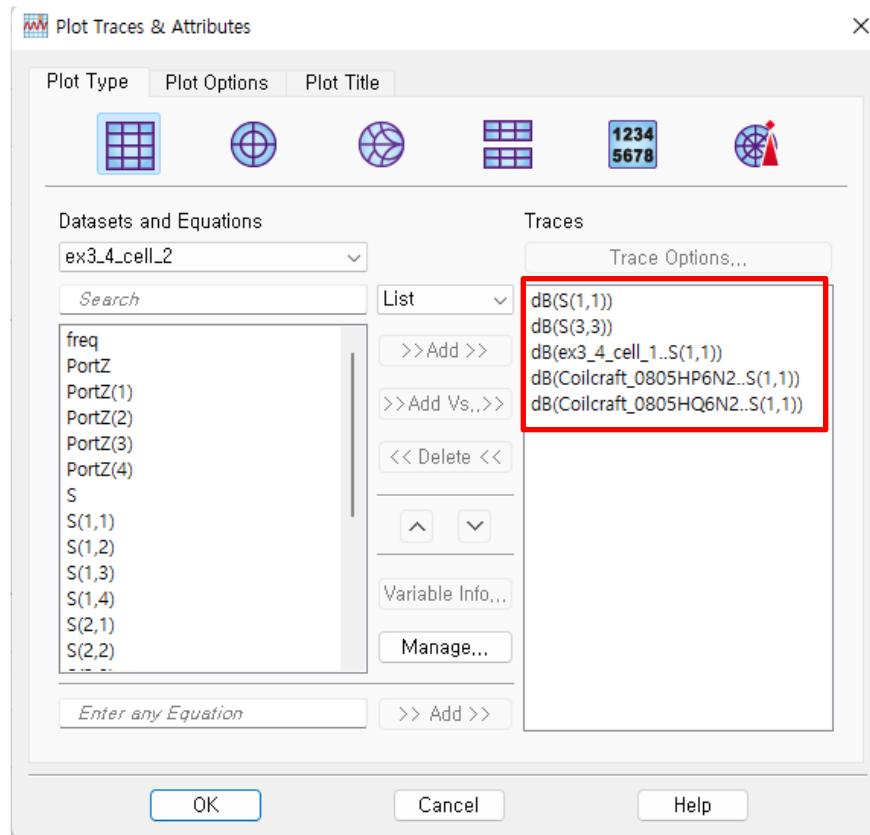


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation과 Schematic Simulation 병행의 한계

- 저장된 "Coilcraft_0805HQ6N2" dataset을 앞 절의 S-parameter 그래프에 포함시켜 비교해보면 그림에 보인 바와 같은 결과를 얻을 수 있다.

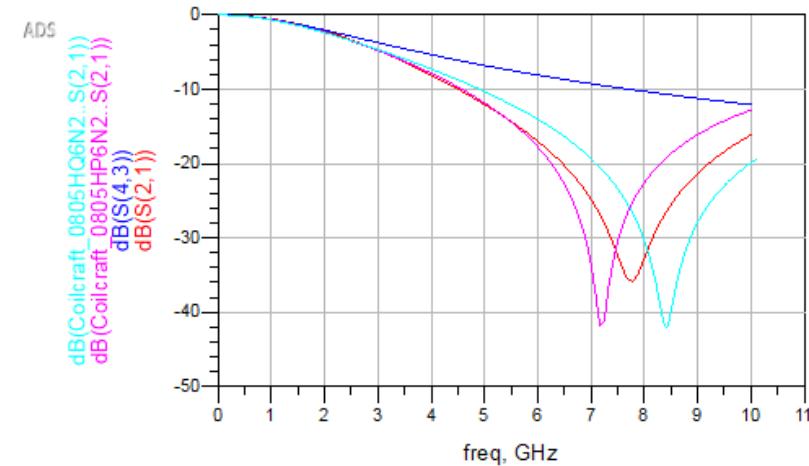
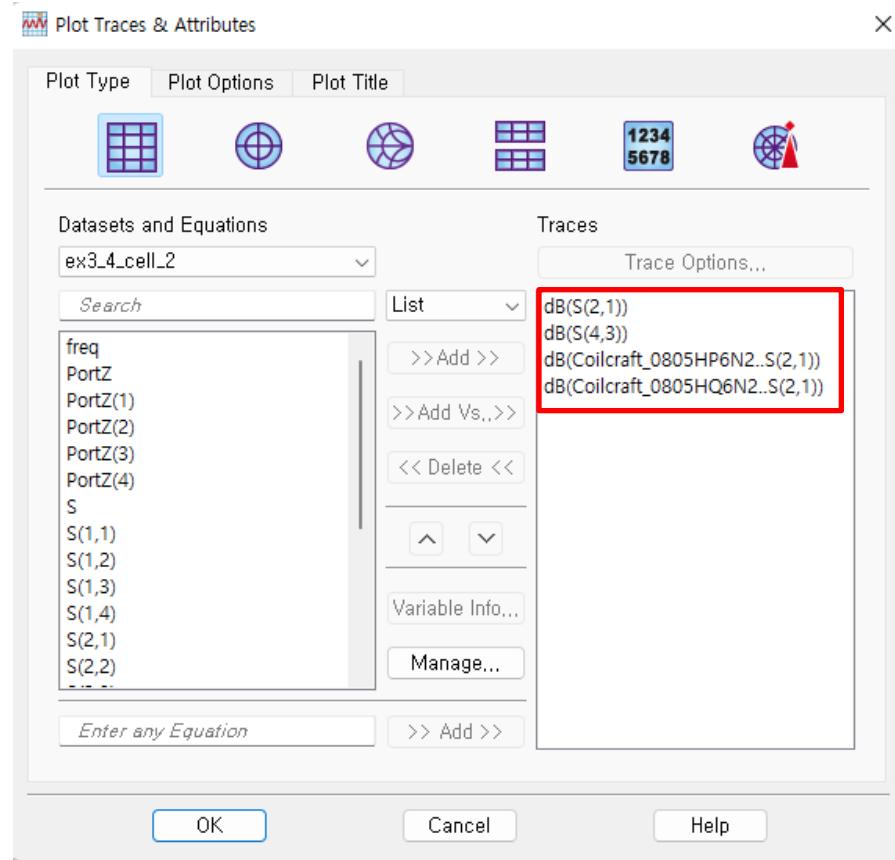


5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

■ 해답

▪ EM Cosimulation과 Schematic Simulation 병행의 한계

- 저장된 "Coilcraft_0805HQ6N2" dataset을 앞 절의 S-parameter 그래프에 포함시켜 비교해보면 그림에 보인 바와 같은 결과를 얻을 수 있다.



5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

▪ EM Cosimulation과 Schematic Simulation 병행의 한계

- 앞장의 좌측 그림에 보인 바와 같이 입력 반사 계수는 큰 차이가 없음을 확인할 수 있다.
- 하지만, 앞 장의 우측 그림에 보인 바와 같이 전송 계수는 매우 큰 차이가 존재함을 확인할 수 있다.
- 동일한 인덕턴스 값이지만, 제조 방법의 차이 때문에 전송 계수의 극소값이 0805HQ series 6.2 nH 의 경우 8.41 GHz이고, 이 주파수는 0805HP series 6.2nH보다 1.19 GHz 크다.
- emCosim 모델을 이용한 Schematic Simulation에서 얻은 전송 계수의 극소값은 0805HP series 6.2 nH 인덕터의 극소값과 0805HQ series 6.2 nH와 극소값 사이에서 발생한다.
- 이외 같은 현상이 발생한 이유는, Schematic Simulation에서 사용한 인덕터 부품 라이브러리 때문이다.
- Schematic Simulation에서 사용한 인덕터는 "Basic Components" 의 "ads_rflib:L Inductor" instance로써 이상적인 인덕터 모델이다.
- 하지만, 칩 인덕터 제조사에서 제공하는 S-parameter는 칩 인덕터를 PCB에 실장한 후 실제 측정 값으로부터 만들어진 값이다.
- 즉, 칩 인덕터에 포함된 코일의 인덕턴스, 코일을 만든 금속의 전도도, 세라믹 패키지, PCB 상의 인덕터 패드와 접지면 사이의 기생 소자 등이 반영된 S-parameter 인 것이다.
- 따라서, 실제 칩 인덕터의 성능을 알아보는 방법은 실제로 성능을 측정하는 것이 가장 올바른 방법이다.

5. EM Cosimulation: 마이크로스트립 라인과 인덕터의 직렬 연결

IT COOKBOOK

■ 해답

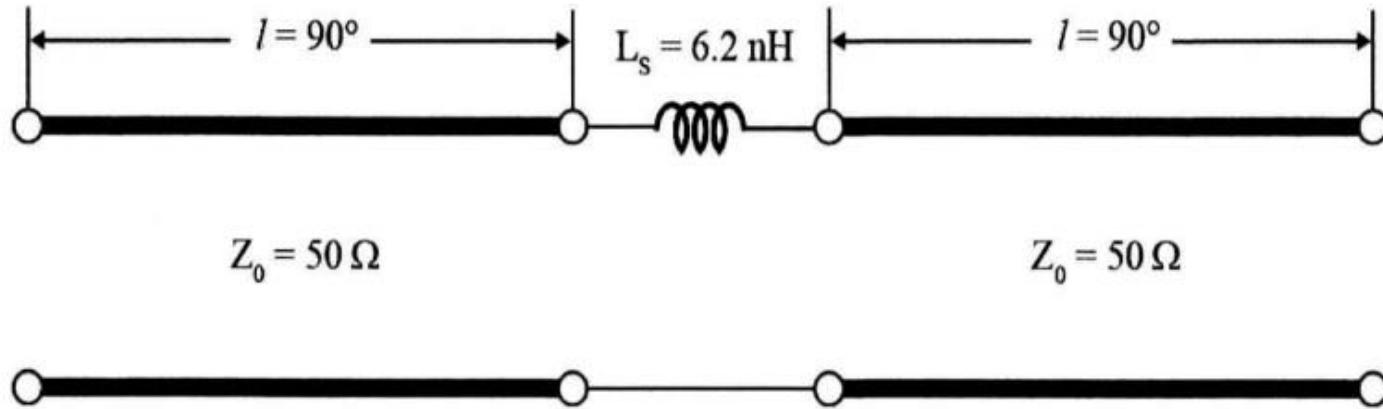
▪ EM Cosimulation과 Schematic Simulation 병행의 한계

- 하지만, 모든 회로를 측정하는 것은 시간과 비용이 필요하기 때문에, 시뮬레이션 소프트웨어를 이용하여 장차 제작될 회로의 성능을 예측해보는 것이다.
- 시뮬레이션 소프트웨어의 한계를 인식하고, 측정 결과와 가장 근접한 시뮬레이션 결과를 얻기 위하여 올바른 시뮬레이션 방법을 지속적으로 연구해야 한다.
- 이 문제에서 확인한 것과 같이, Schematic Simulation의 결과는 실제 측정 결과와 매우 큰 차이가 발견되었다.
- EM Cosimulation과 Schematic Simulation을 병행할 경우, 때때로 측정 결과와 유사한 시뮬레이션 결과가 되지만 항상 정확하게 예측되는 것은 아니라는 점을 직시해야 한다.
- 이 문제점을 해결하기 위한 방면으로 3D EM simulation software package를 활용할 수도 있지만, 본 강좌의 범위를 벗어나므로 생략하기로 한다.

6. 인덕턴스 값의 추출

■ 문제

- Coilcraft (인덕터 제조사) 칩 인덕터 (chip inductor) 0805HP 시리즈 6.2 nH를 그림에 보인 바와 같이 50Ω 마이크로스트립 라인에 직렬로 연결하여
- (a) 인덕터의 S-parameter를 0 ~ 10 GHz 사이에서 구하고
- (b) 실효 인덕턴스(effective inductance, L_{eff})를 계산하시오

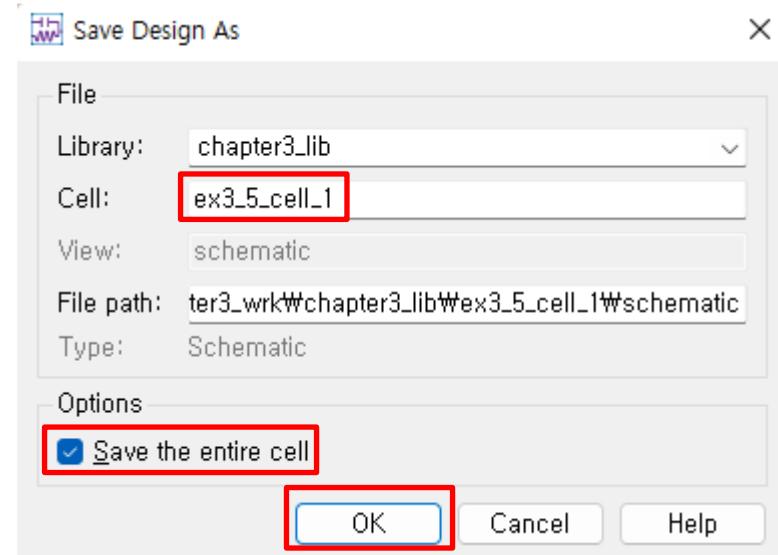
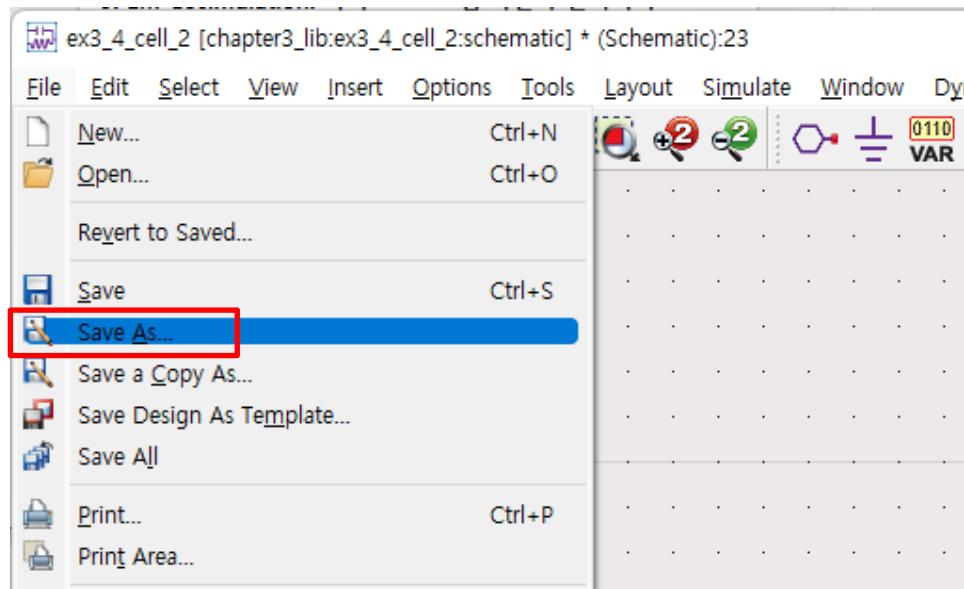


6. 인덕턴스 값의 추출

■ 해답

▪ 인덕터의 S-parameter 계산과 정성적 해석

- 인덕터의 S-parameter는 구하는 ADS Schematic을 생성하기 위하여 앞 절에서 작성한 "ex3_4_cell_2"를 이용한다.
- 좌측 그림에 보인 바와 같이 "ex3_4_cell_2"의 Schematic Window를 "File - Save As ..." 기능을 이용하여 "ex3_5_cell_1"을 생성한다.
- "File - Save As ..." 메뉴를 클릭하면 우측 그림에서 보인 바와 이 "Save Design As" 윈도우가 팝업된다.
- "Cell :" 이름을 "ex3_5_cell_1"으로 지정하고, Options"의 "Save the entire cell"은 사용자의 필요에 따라 체크여부를 결정한 후 "OK" 버튼을 클릭한다.

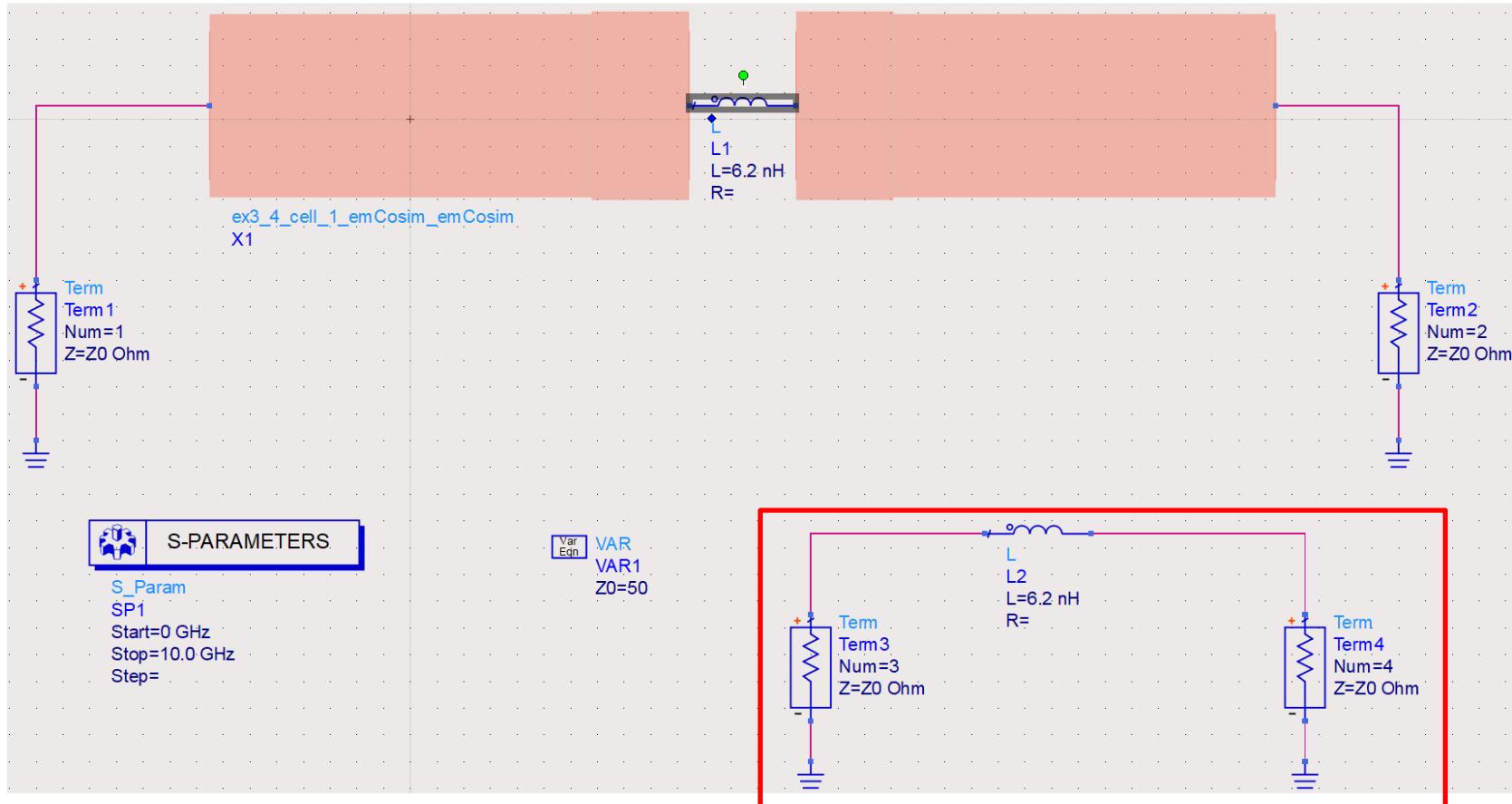


6. 인덕턴스 값의 추출

■ 해답

▪ 인덕터의 S-parameter 계산과 정성적 해석

- “ex3_4_cell_2”의 ADS Schematic으로부터 생성된 “ex3_5_cell_1” 의 ADS Schematic을 다음 그림에 보였다.

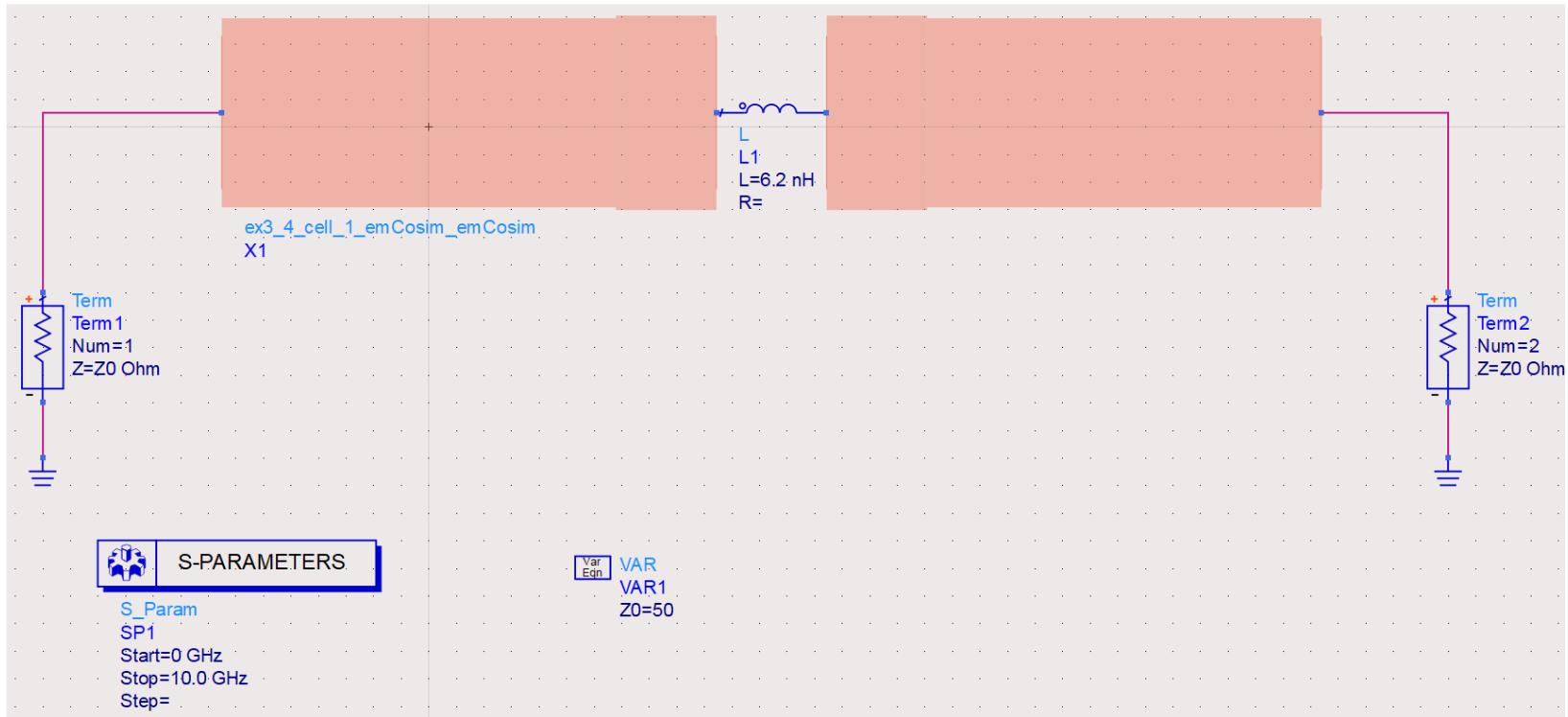


6. 인덕턴스 값의 추출

■ 해답

▪ 인덕터의 S-parameter 계산과 정성적 해석

- 앞 장의 그림에 표시된 적색 박스의 회로는 이 문제와 관련이 없으므로 지우면, 다음 그림에 보인 바와 같은 최종 ADS Schematic을 얻게 된다.

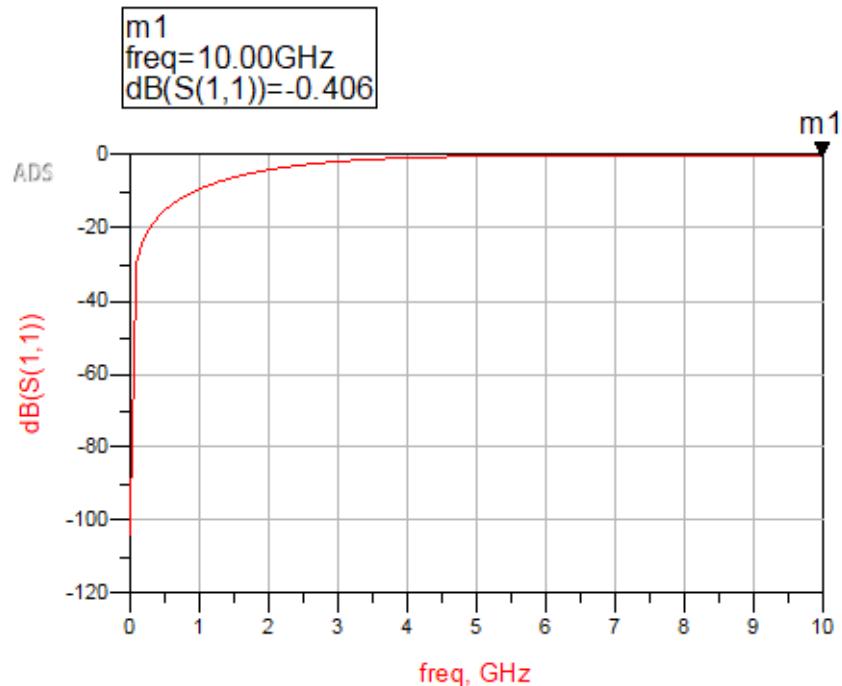
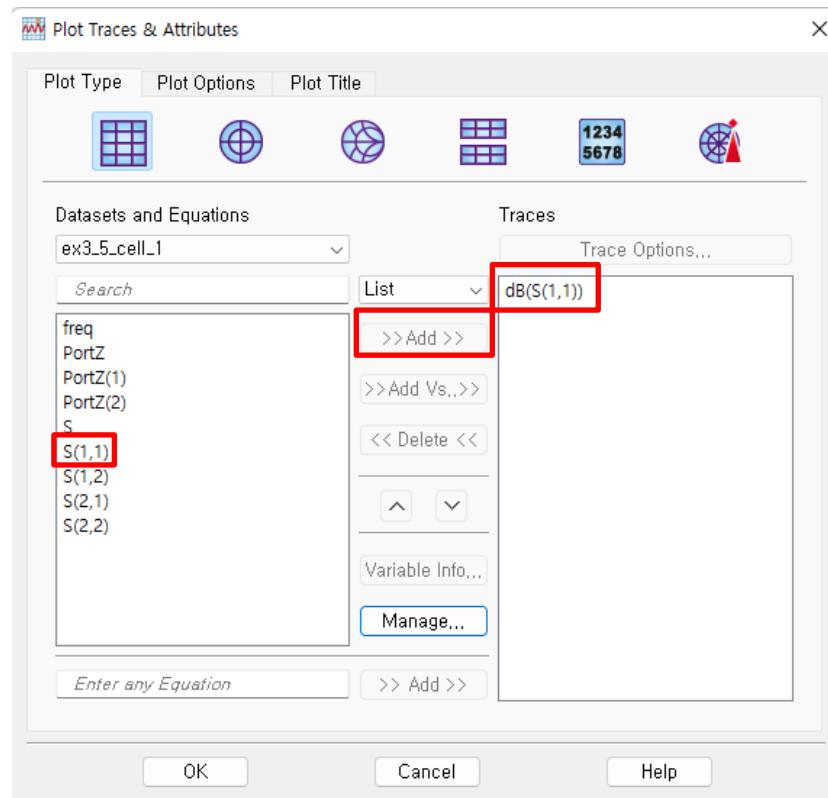


6. 인덕턴스 값의 추출

■ 해답

▪ 인덕터의 S-parameter 계산과 정성적 해석

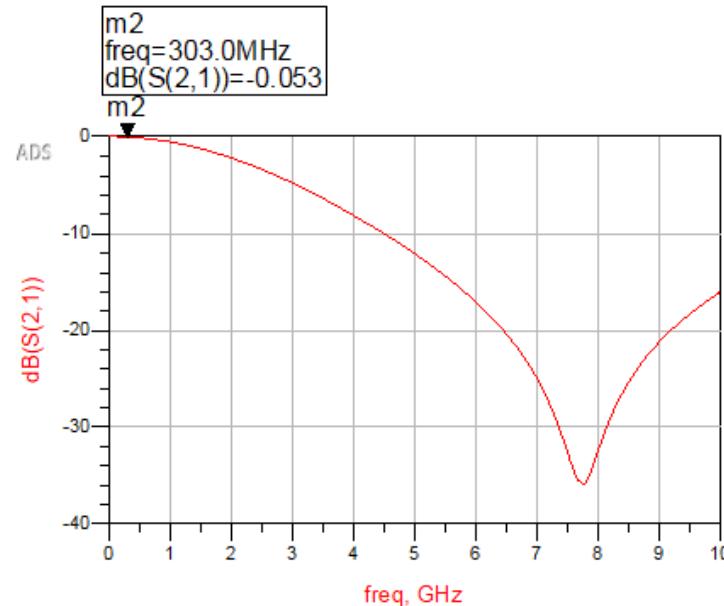
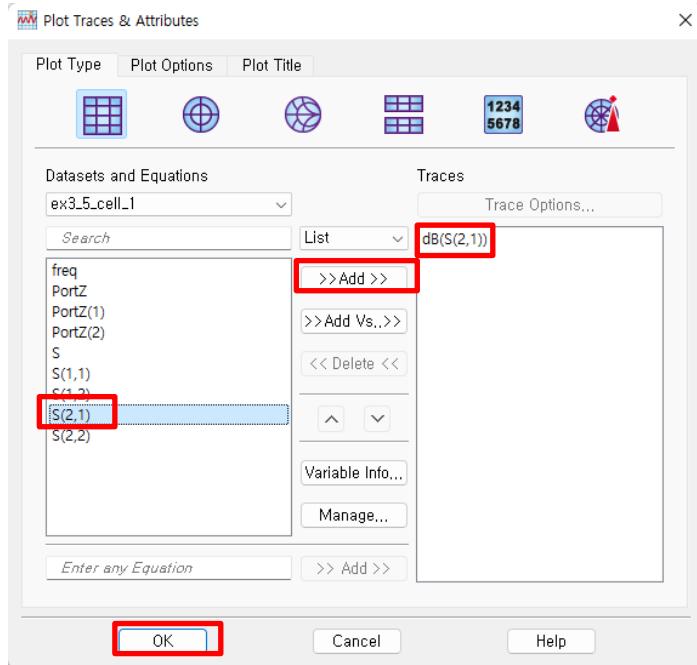
- 앞 장의 그림에 보인 ADS Schematic에 대한 Schematic Simulation을 실행하면 다음 그림에 보인 바와 같은 S-parameter를 구할 수 있다.



6. 인덕턴스 값의 추출

■ 해답

▪ 인덕터의 S-parameter 계산과 정성적 해석



- 인덕터의 반사 계수(S_{11})과 전송 계수(S_{21})가 그림에 보인 바와 같이 계산되는 이유를 정성적으로 설명하면 다음과 같다.
- 반사 계수는 인덕터에 입력되는 신호가 반사되는 정도를 표시한다.
- 인덕터는 DC에서는 단락 회로(short circuit) 이므로, 주파수가 0Hz에 가까울수록 반사 계수의 크기는 0에 가깝게 된다.
- 이 값을 dB로 환산하면 $-\infty$ dB가 된다.

6. 인덕턴스 값의 추출

■ 해답

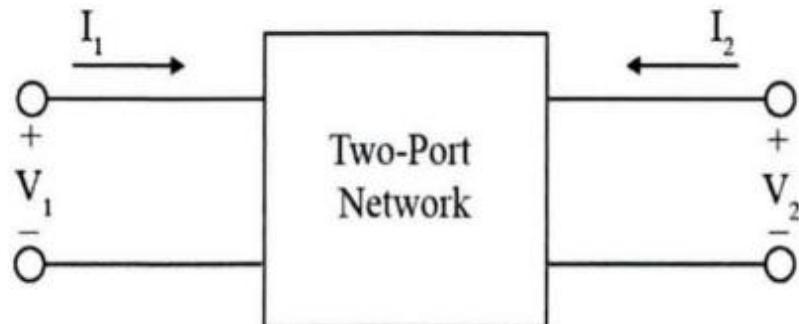
▪ 인덕터의 S-parameter 계산과 정성적 해석

- 인덕터의 인덕턴스 값이 L 이라면, 인덕터의 임피던스 값은 jwL 이다.
- 주파수가 증가하면 인덕터의 임피던스 값은 증가하게 되며, 임피던스 값이 증가한다는 것은 인덕터가 신호를 통과하지 못하게 작용한다는 것을 의미한다.
- 앞장의 좌측 그림에 보인 바와 같이 10 GHz에서의 반사 계수는 -0.407 dB로써 0dB에 가깝다.
- 반사 계수 0dB를 실수로 환산하면 1이다.
- 반사계수가 1이면 입력 신호와 반사신호가 같다는 것을 의미한다.
- 즉, 입력 신호가 모두 반사됨을 의미한다.
- 인덕터의 임피던스 값이 높은 주파수에서 커지므로 개방회로(open circuit) 처럼 동작하여 반사계수가 1에 가까워지는 것이다.
- 앞 장의 우측 그림에 보인 바와 같이 전송 계수의 경우 주파수가 0Hz에 가까울수록 0dB에 가까운 것을 확인할 수 있다.
- 예를 들어, 주파수가 250.0 MHz에서 -0.036 dB의 전송 계수를 보인다.
- 앞서 설명한 것과 같이, DC에서는 단락 회로(short circuit) 이므로 신호를 통과시킨다.
- 전송 계수가 0dB 이면 입력 신호와 출력 신호가 같다는 것을 의미한다.
- 하지만, 주파수가 올라감에 따라 전송계수는 작아지며, 인덕터 입력단을 통과한 신호가 인덕터를 통하여 감쇄됨을 의미한다.
- 특정 주파수에서 전송 계수가 극소값에 도달하였다가 증가하는 현상을 앞 장의 우측 그림에서 확인 할 수 있다.

6. 인덕턴스 값의 추출

■ 해답

- **S-parameter로부터 실효 인덕턴스를 추출하는 이론적 배경**
 - 인덕터는 2 단자 소자 (2-terminal element) 이므로, 이 문제의 회로는 다음 그림과 같은 전형적인 2-port 네트워크로 나타낼 수 있다.
 - 2-port 네트워크의 특성은 Z-parameter (impedance parameter), Y-parameter (admittance parameter), S-parameter(scattering parameter), transmission-parameter (transmission 또는 ABCD parameter) 등으로 나타낼 수 있다. 초고주파 회로의 특성은 S-parameter로 나타내는 것이 일반적이다.
 - 초고주파 회로에서는 전압과 전류가 시공간 함수이기 때문에, 전압파(voltage wave)와 전류파 (current wave)라고 하는 파동 개념을 도입해야 한다.
 - 그리고, 입사파와 반사파 개념을 도입해야 하기 때문에 S-parameter로 초고주파 회로의 특성을 나타내는 것이 편리하다.
 - 하지만, S-parameter로부터 회로 소자의 특성을 직관적으로 파악하는 것은 쉽지 않다.

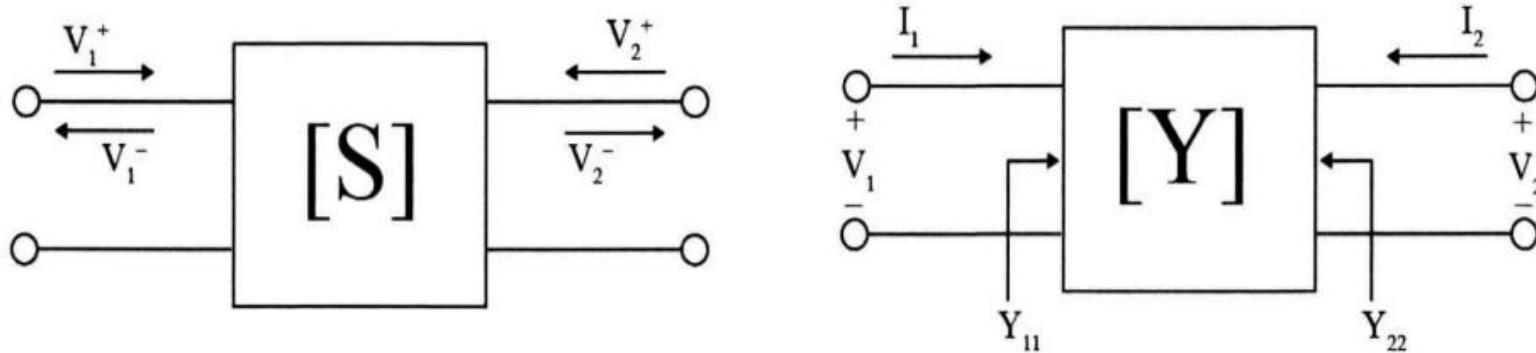


6. 인덕턴스 값의 추출

■ 해답

▪ S-parameter로부터 실효 인덕턴스를 추출하는 이론적 배경

- 이 문제와 같이 단일 소자의 경우, 이 소자의 S-parameter를 시뮬레이션을 통하여 확보하거나, 인덕터 제조사에서 제공한 S-parameter를 확보한 후, 확보된 S-parameter를 Y-parameter로 변환하여 회로 소자 값을 계산할 수 있다.
- 2-port 네트워크를 각각 S-parameter와 Y-parameter로 나타내면 그림과 같다.

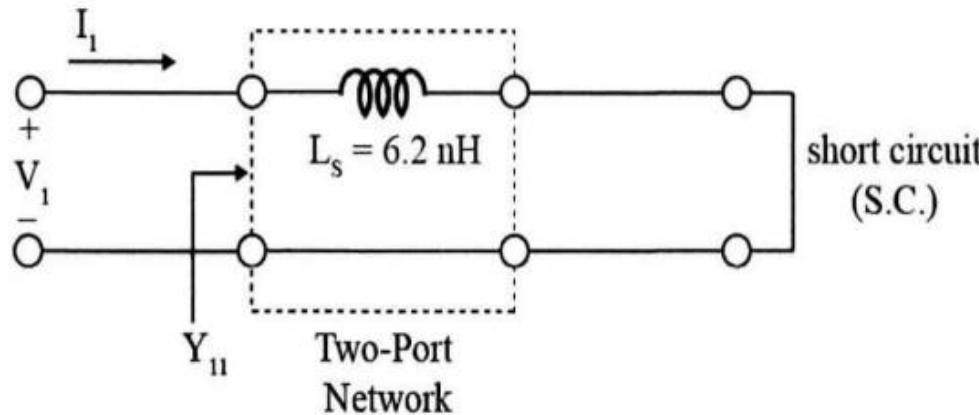


6. 인덕턴스 값의 추출

■ 해답

▪ S-parameter로부터 실효 인덕턴스를 추출하는 이론적 배경

- 인덕터를 그림에 보인 바와 같이 2-port 네트워크에 삽입하고, 출력단을 단락 회로 (short circuit: S.C.)으로 종단하면, Y-parameter의 Y_{11} 이 인덕터의 입력단에서 바라본 어드미턴스 (admittance)임을 알 수 있다.
- 따라서, S-parameter를 Y-parameter로 변환하면, 인덕터의 임피던스를 계산하여 계산된 어드미턴스의 허수부로부터 유효 인덕턴스를 계산할 수 있다.

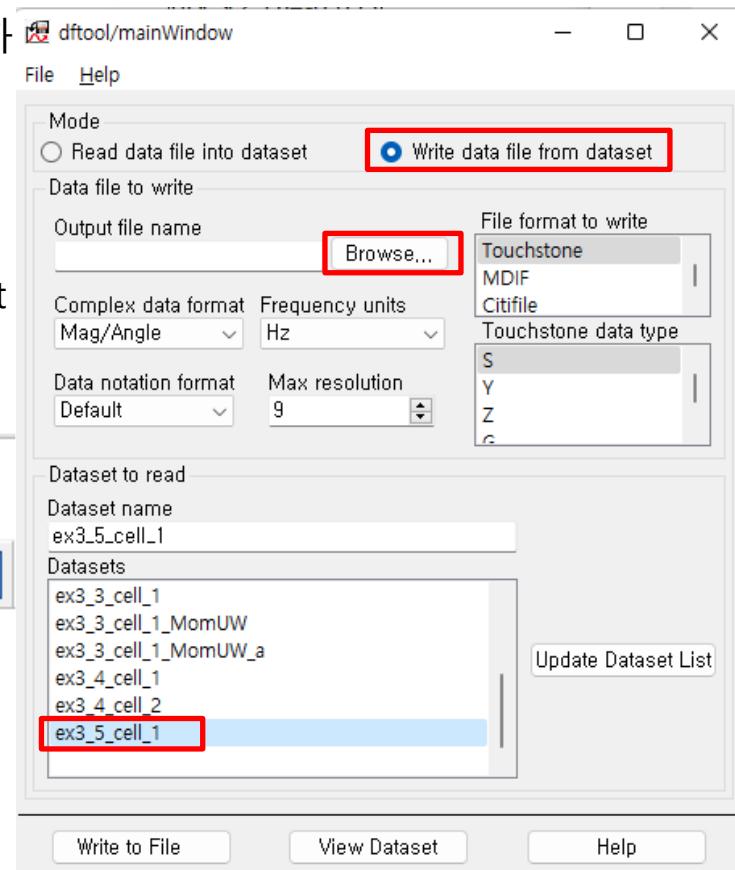
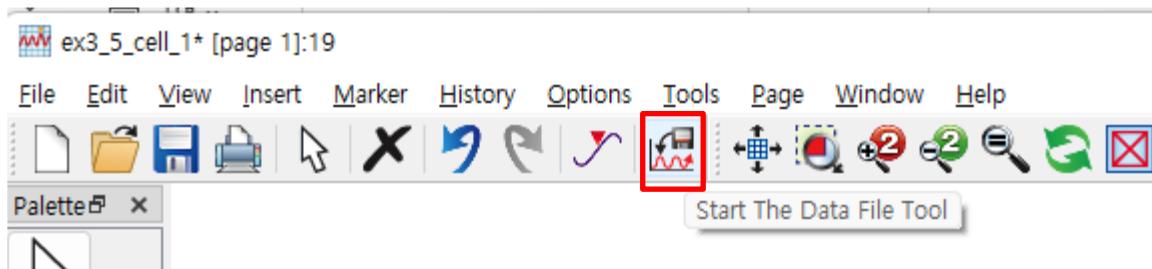


6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation을 통해 얻은 S-parameter의 저장

- Schematic Simulation을 이용하여 실효 인덕턴스를 추출하기 위해서, 앞 절에서 계산된 S-parameter를 별도로 저장해야 한다.
- 시뮬레이션을 통한 S-parameter를 저장하는 방법은 다음과 같다.
- 우선, 좌측 그림에 보인 "Data Display Window"에서 "Start The Data File Tool" 아이콘을 클릭하여 우측 그림에 보인 "dftool/main Window"를 연다.



6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation 을 통해 얻은 S-parameter의 저장

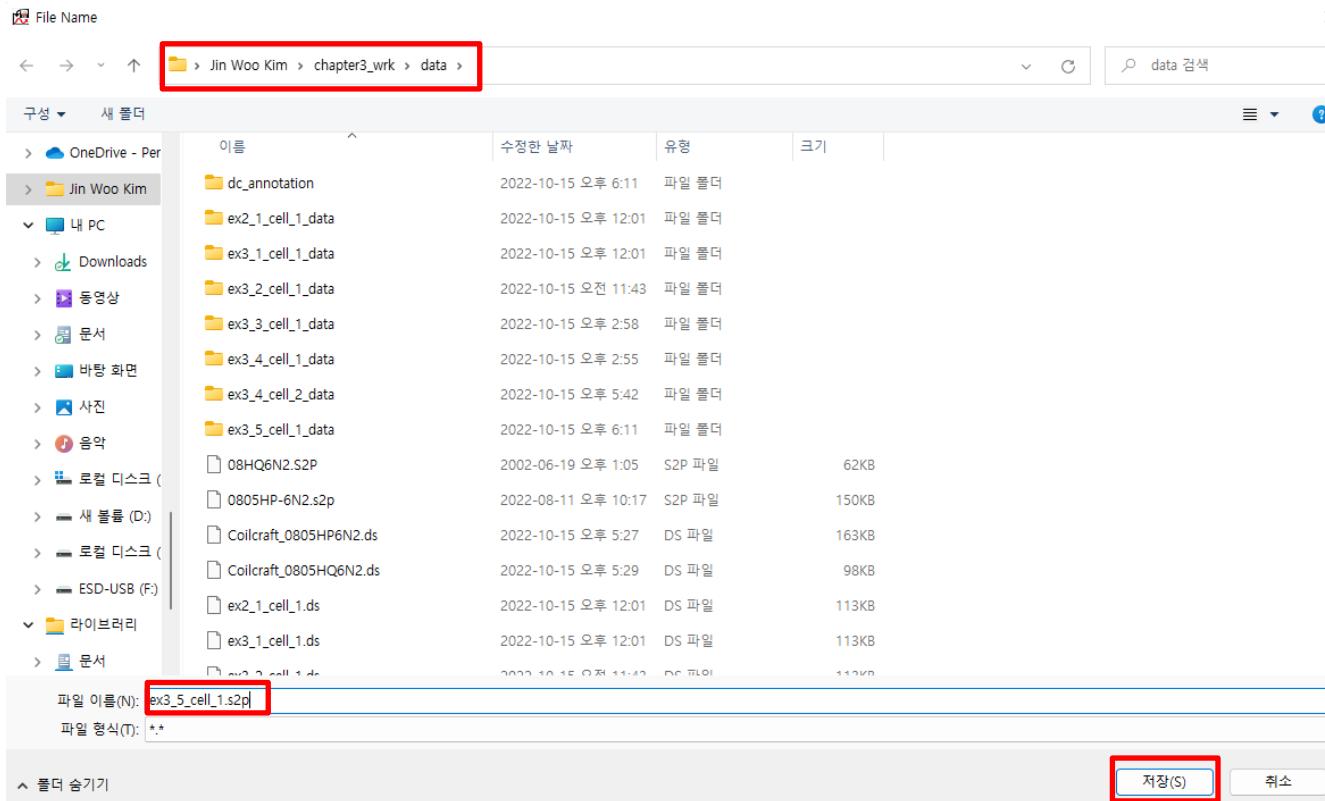
- "dftoo/main Window"가 팝업 되면, "Mode" 메뉴에서 "Write data file from dataset"을 선택한다.
- "Data file to write" 메뉴의 선택 항목은 default로 둔다.
- 다만, "File format to write"은 "Touchstone" 형식을 선택하고, "Touchstone data type"은 "S"임을 확인한다.
- "Dataset to read" 항목에서는 앞 절에서 수행한 Schematic Simulation 의 dataset인 "ex3_5_cell_1"을 선택한다.
- 그리고 "Data file to write"의 "Output file name"을 입력한다.
- "Output file name"은 사용자가 임의로 정할 수 있다.
- 다만, "Output file name"에 공백이 있으면 ADS에서 에러가 발생하므로 공백 없는 이름을 정해야 한다.
- 영문자와 숫자를 사용할 수 있고, 공백이 필요할 경우 underbar ("") 특수문자를 사용하면 좋다.

6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation 을 통해 얻은 S-parameter의 저장

- "Output file name"을 정할 때, "Browse ..." 버튼을 사용하여, S-parameter가 저장되는 경로를 지정 할 수 있다.
- "Browse ..." 버튼을 클릭하면, 그림에 보인 바와 같이 윈도우 운영체제의 "파일 탐색기"와 비슷한 윈도우가 팝업된다.



6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation 을 통해 얻은 S-parameter의 저장

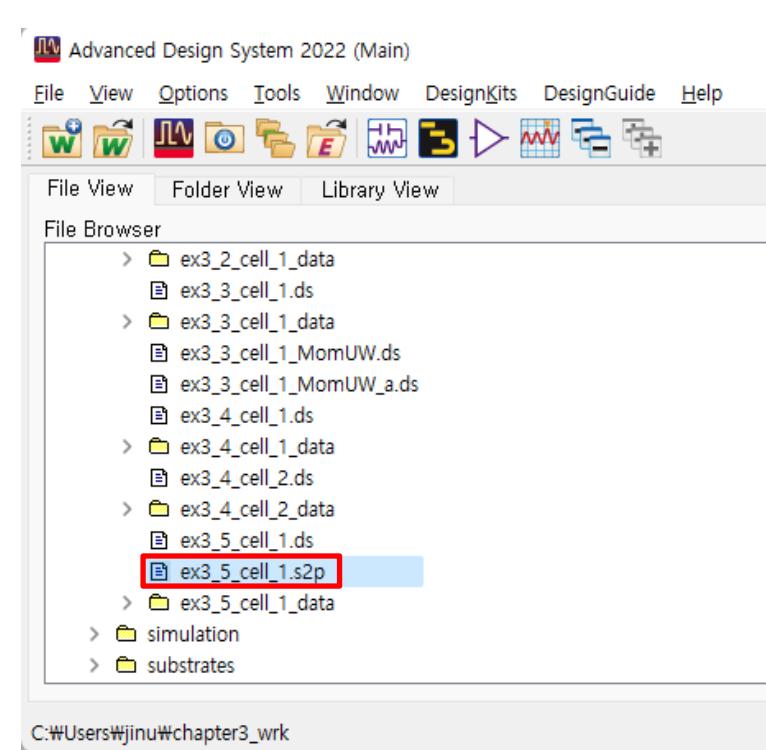
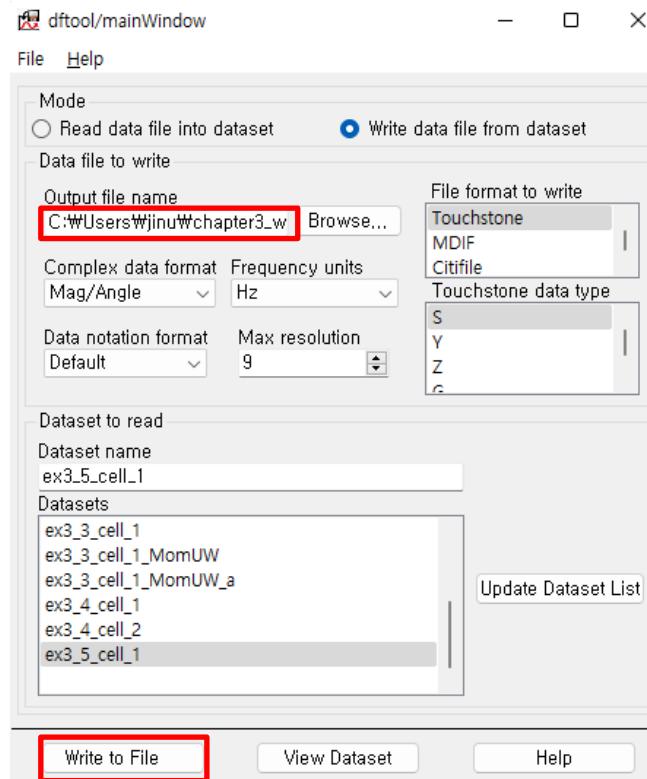
- 파일 저장 경로는 앞 장의 그림에 보인 바와 같이, "ADS User > hpeesof> ex2_1_wrk > data" 폴더이다.
- 사용자가 Workspace를 생성하면, Workspace 폴더 밑에 자동으로 "data" 폴더가 생성되며, "data" 폴더에 시뮬레이션 결과들이 자동 저장된다.
- ADS Main Window에 있는 "File View" 탭을 선택하여 확인할 수도 있다.
- 앞 장의 그림에 보인 바와 같이, ex3_5_cell_1.s2p 라고 입력한 후 "저장(S)" 버튼을 클릭한다.
- 사용자가 지정하는 파일 이름에 반드시 ".s2p" 는 확장자를 붙여준다.
- 3.5 절 문제에서 설명한 것처럼, "s2p" 는 Touchstone 파일 형식에 지정된 확장자이며, 2-port 네트워크의 S-parameter임을 의미한다.

6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation 을 통해 얻은 S-parameter의 저장

- “저장(S)” 버튼을 누르면 “dftool/main Window”로 돌아가며, 좌측 그림에 표시된 바와 같이 “Output file name”이 파일 저장 경로와 함께 지정되어 있음을 확인할 수 있다.
- “dftool/main Window”的 하단에 있는 “Write to File” 버튼을 누르면, 우측 그림에 보인 바와 이 ADS Main Window의 “File View” 탭에서 “ex3_5_cell_1.s2p” 파일이 생성된 것을 확인할 수 있다.
- 이 과정이 끝나면 “dftool/main Window” 윈도우는 닫는다.

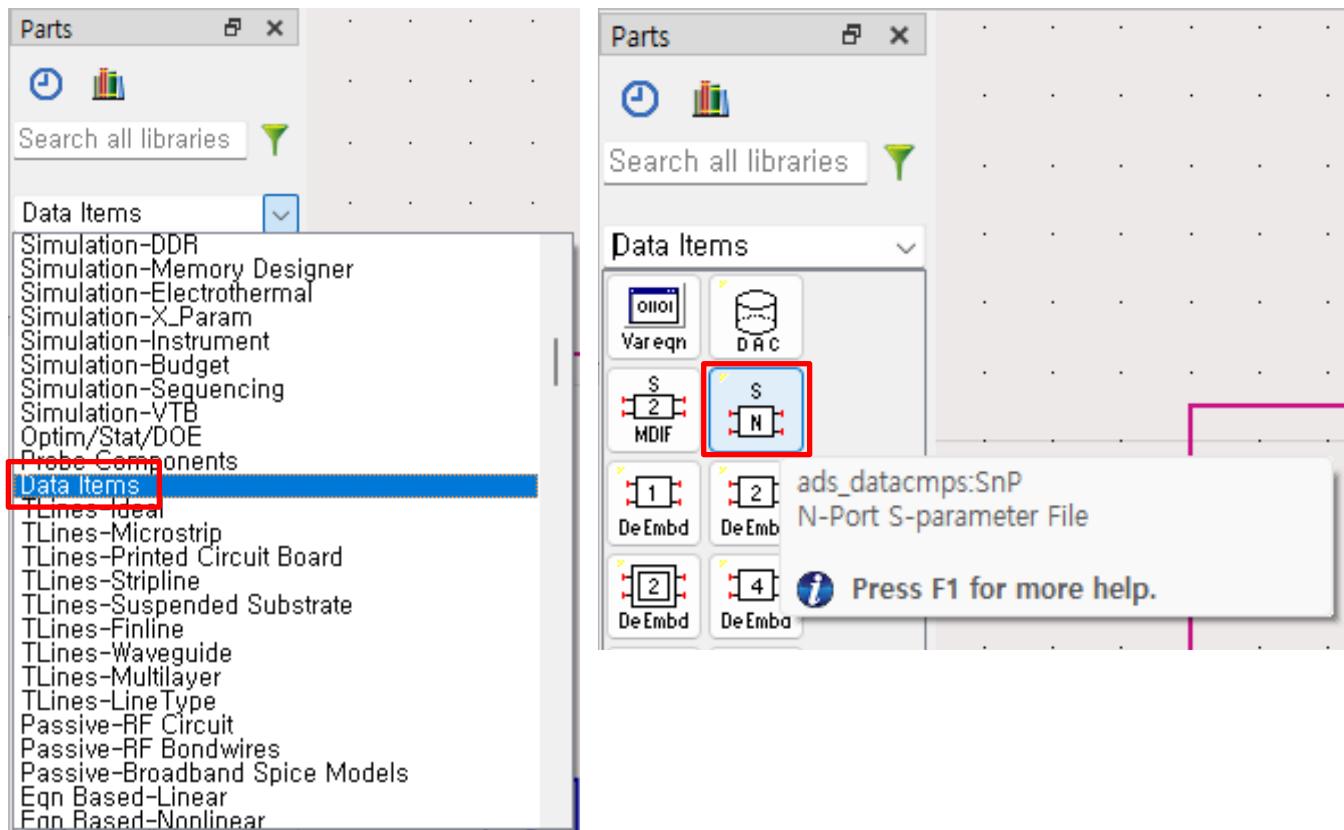


6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation을 이용한 실효 인덕턴스 (L_{eff})의 추출

- Schematic Simulation을 이용하여 실효 인덕턴스를 추출하기 위해서, "ex3_5_cell_2"라는 새 Schematic Window를 생성하여 ADS Schematic을 작성한다.
- 이 ADS Schematic에서 필요한 instance는 좌측 그림에 보인 바와 같이 "Parts" 윈도우의 운 메뉴를 클릭하여 "Data Items" palette에서 선택할 수 있다.

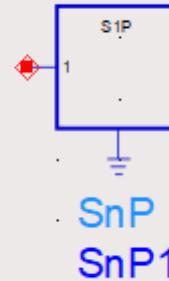


6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation을 이용한 실효 인덕턴스 (L_{eff})의 추출

- "Data Items" palette 에 있는 instance 중에서 앞 장의 우측 그림에 표시된 "ads_datacmps:SnP N-Port S-parameter File" instance를 선택하여 ADS Schematic에 배치하면, 다음 그림에 보인 바와 같이 "SnP" instance가 Schematic Window에 배치된다.

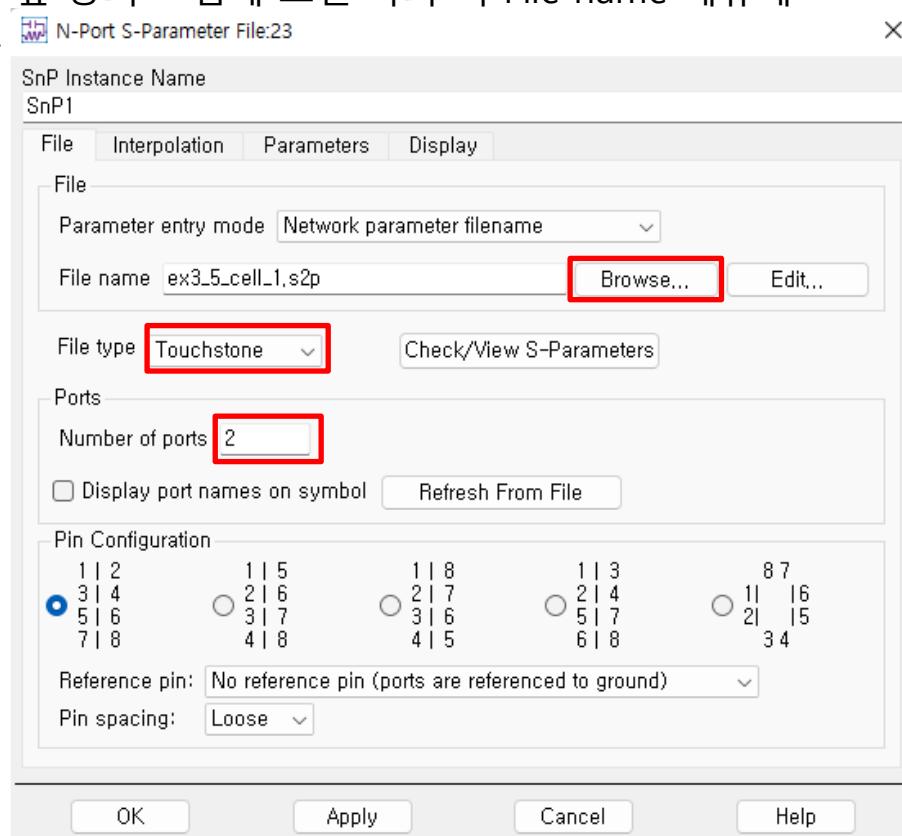


6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation을 이용한 실효 인덕턴스 (L_{eff})의 추출

- "SnP" instance를 더블 클릭하면, 다음 그림에 보인 바와 같은 "N-Port S-parameter File" 윈도우가 팝업 된다.
- "File" 탭의 "File name" 메뉴에 "Browse ..." 버튼을 클릭하여, 앞 절에서 저장했던 "ex3_5_cell_1.s2p" 파일을 선택하면, 앞 장의 그림에 보인 바와 이 File name 메뉴에 "ex3_5_cell_1.s2p" 파일이 표시된다.

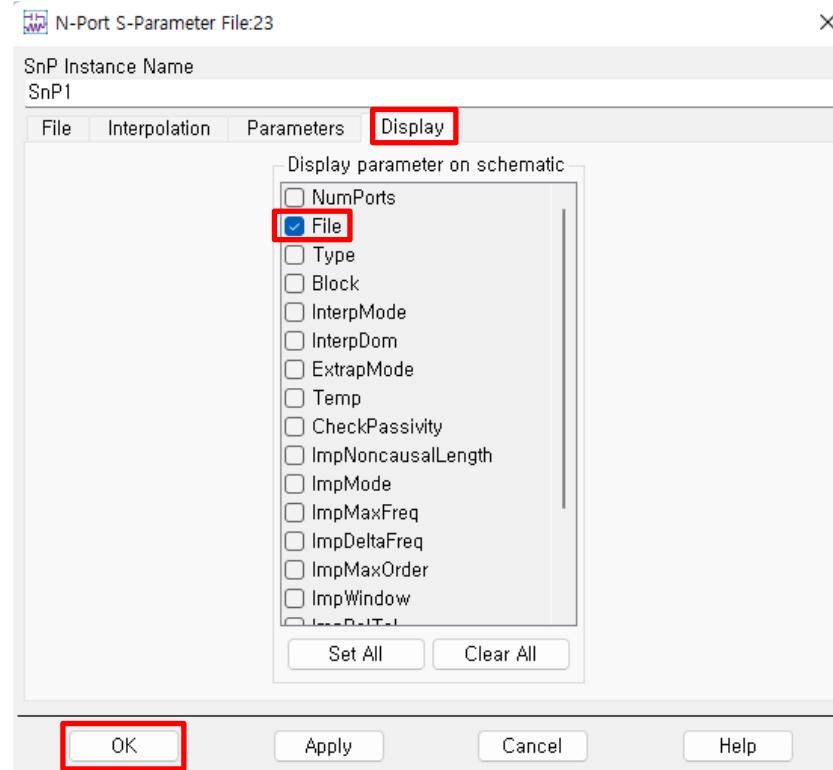


6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation을 이용한 실효 인덕턴스 (L_{eff})의 추출

- 이와 동시에 File type은 "Touchstone" 형식으로 자동 선택되고, "Ports" 메뉴에서 "Number of ports"에 "2"로 자동 입력된 것을 확인할 수 있을 것이다.
- 앞 절에서 이미 Touchstone 형식으로 2-port network의 S-parameter를 저장하여 확장자를 .s2p로 지정하여 저장했기 때문에 파일 형식을 ADS에서 자동 인식한 것이다.
- "N-Port S-parameter File" 윈도우에서 그림에 보인 바와 같이 "Display" 탭에서 "Display parameter on schematic" 메뉴의 "File"을 체크한다.

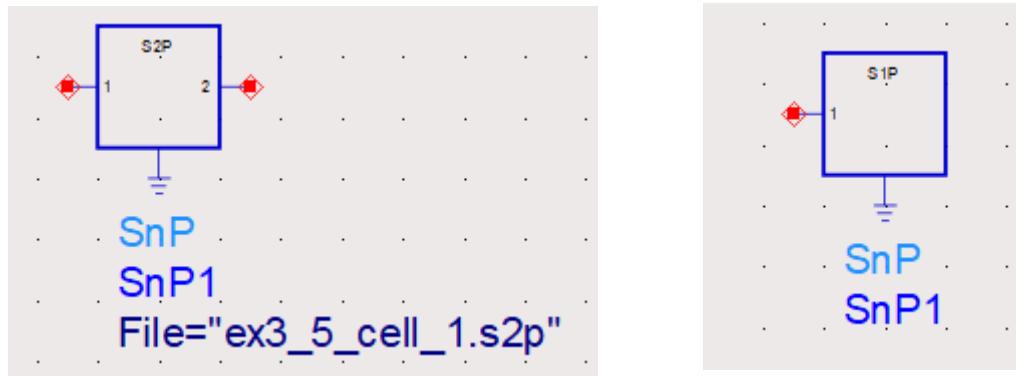


6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation을 이용한 실효 인덕턴스 (L_{eff})의 추출

- 나머지 항목들은 default 상태로 두고, "OK" 버튼을 클릭하면 좌측 그림에 보인 바와 같이 "SnP" instance가 바뀌어 있음을 확인할 수 있다.
- 비교를 위하여 default "SnP" instance를 우측 그림에 다시 보였다.
- 2-port network의 S-parameter 이므로 1개의 port가 "SnP" instance의 우측에 자동으로 추가 된 것이다.
- 그리고, "ex3_5_cell_1.s2p" 파일 이름이 보여지고 있음을 확인할 수 있다.

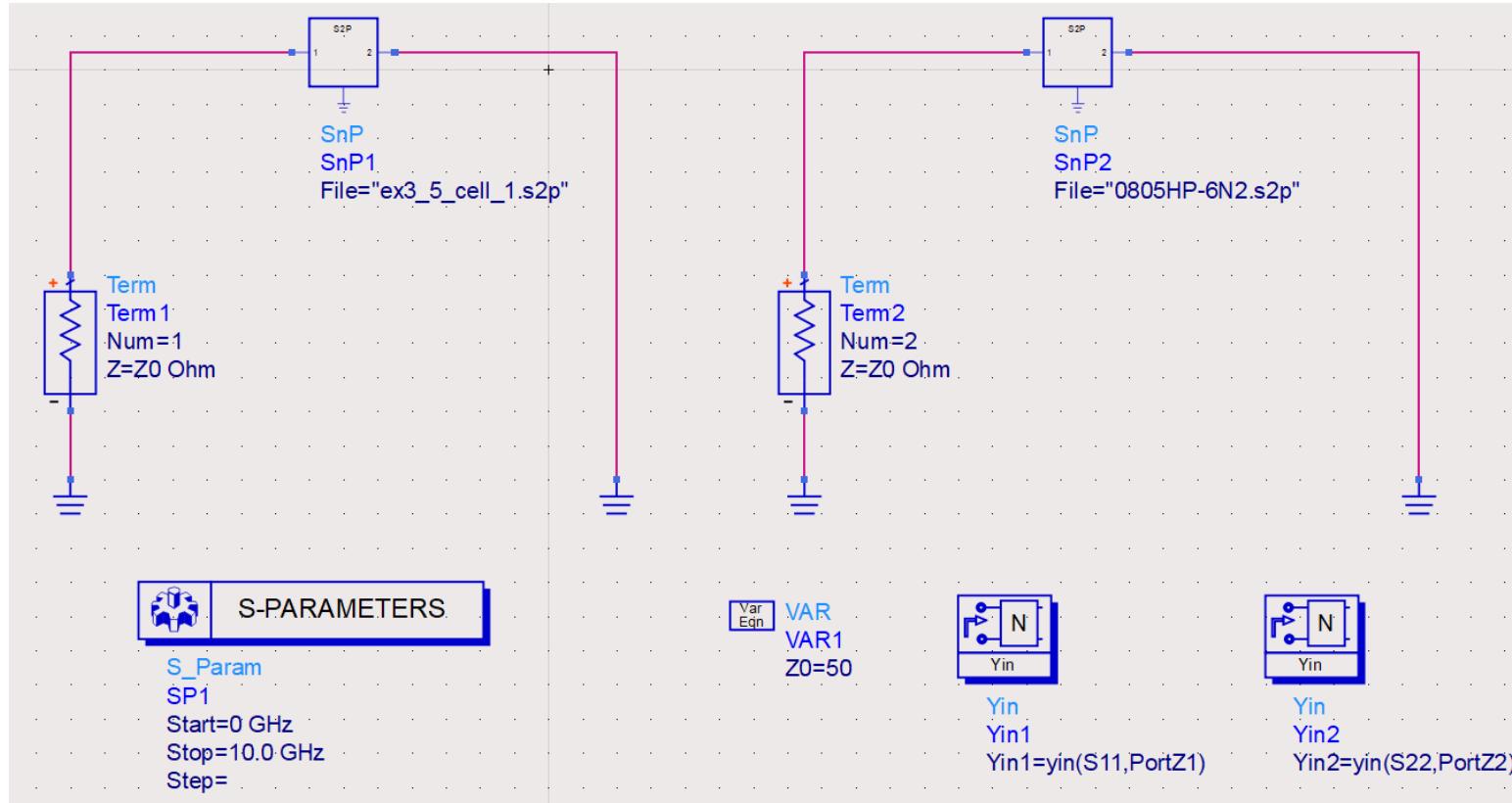


6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation을 이용한 실효 인덕턴스 (L_{eff})의 추출

- 그림에 보인 바와 같이 필요한 나머지 회로 부품들을 배치하고, ADS Schematic을 완성한다.
- Coilcraft 사에서 제공하는 칩 인덕터 0805HP 시리즈 6.2nH의 S-parameter파일을 이용하여 실효 인덕턴스를 추출하기 위하여 동일한 구조의 회로를 우측에 추가로 구성하였다.



6. 인덕턴스 값의 추출

■ 해답

▪ Schematic Simulation을 이용한 실효 인덕턴스 (L_{eff})의 추출

- 앞 장의 그림에서 보인 좌측 회로에서 인덕터의 S-parameter는 Schematic simulation을 통하여 얻은 S-parameter 파일을 사용하였고, 우측 회로는 Coilcraft에서 제공하는 칩 인덕터 0805HP 시리즈 6.2 nH의 S-parameter 파일을 사용하였다.
- 앞 장의 그림의 "Yin1" 과 "Yin2"의 값으로부터 각각의 경우에 대하여 다음 식을 이용하여 실효 인덕턴스(L_{eff})를 구할 수 있다.
$$L_{eff} = \frac{imag\left(\frac{1}{Y_{in}}\right)}{2\pi f}$$
- Y_{in} 과 f 는 각각 입력 어드미턴스와 주파수를 의미한다.

6. 인덕턴스 값의 추출

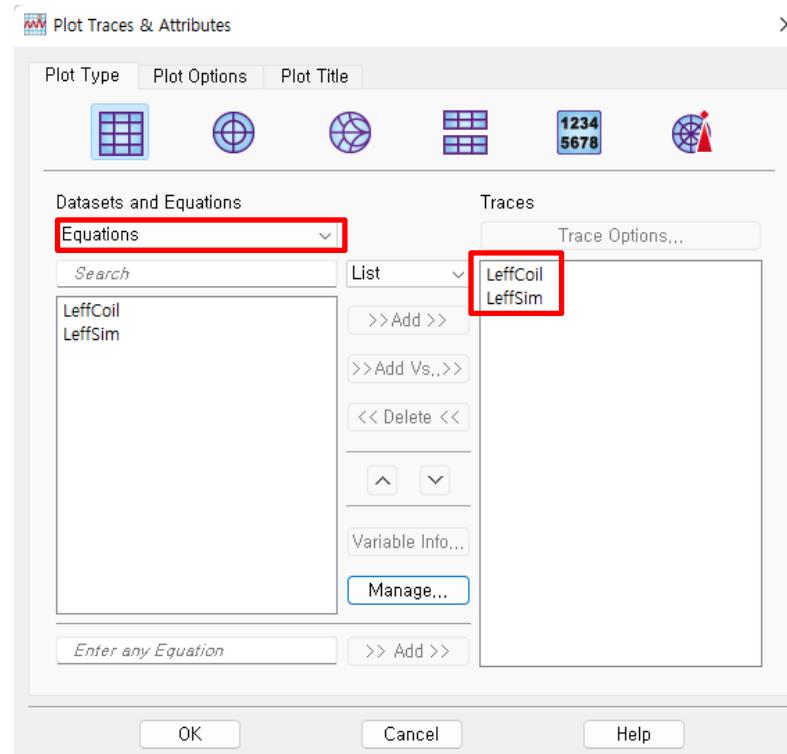
■ 해답

▪ 실효 인덕턴스(L_{eff}) 값의 비교와 분석

- “Data Display” 윈도우에서 “Eqn ” 아이콘을 이용하여 좌측 그림에 보인 수식을 편집한다.
- “LeffSim”은 Schematic Simulation 으로부터 계산된 S-parameter 파일을 이용하여 추출된 실효 인덕턴스이고, “LeffCoil”은 Coilcraft 사에서 제공된 S-parameter 파일을 이용하여 추출된 실효 인덕턴스값이다.

Eqn LeffSim=im(1/Yin1)/(2*pi*freq)

Eqn LeffCoil=im(1/Yin2)/(2*pi*freq)

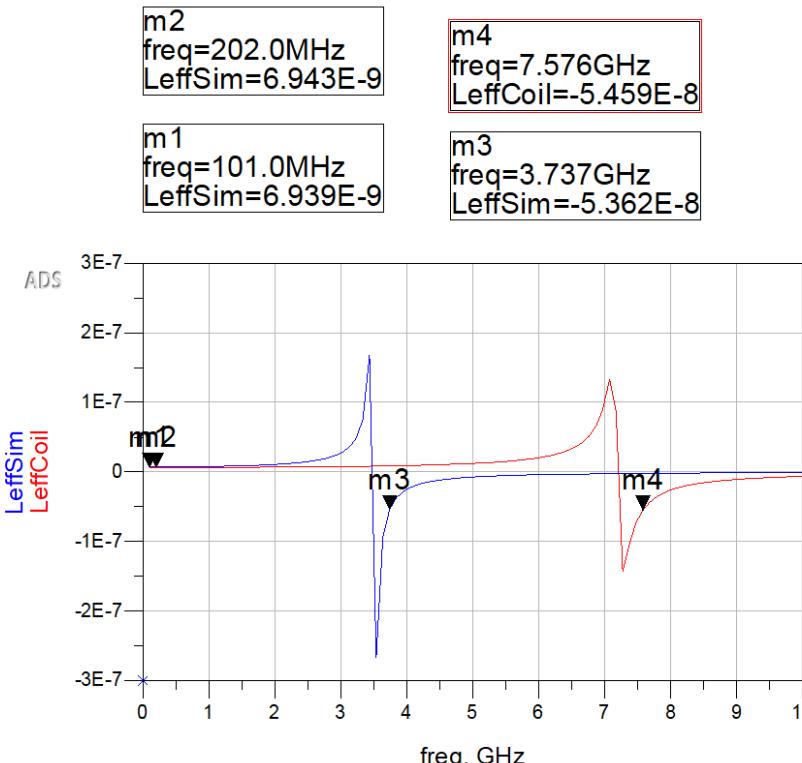


6. 인덕턴스 값의 추출

■ 해답

▪ 실효 인덕턴스(L_{eff}) 값의 비교와 분석

- "Data Display" 윈도우에서 "Eqn " 아이콘을 이용하여 좌측 그림에 보인 수식을 편집한다.
- "LeffSim"은 Schematic Simulation 으로부터 계산된 S-parameter 파일을 이용하여 추출된 실효 인덕턴스이고, "LeffCoil"은 Coilcraft 사에서 제공된 S-parameter 파일을 이용하여 추출된 실효 인덕턴스값이다.
- 이 수식을 이용하여 계산된 실효 인덕턴스의 주파수별 값을 그림에 보였다.



6. 인덕턴스 값의 추출

■ 해답

■ 실효 인덕턴스(L_{eff}) 값의 비교와 분석

- Coilcraft 사의 칩 인덕터 0805HP 시리즈의 인덕턴스는 250MHz에서 측정한 값을 Coilcraft 사의 제품 규격서 ("Datasheet")에서 확인할 수 있다.
- 앞 장의 그림에서 확인할 수 있는 것과 같이, 250MHz에서 실효 인덕턴스 "LeffSim"과 "LeffCoil"의 값은 각각 6.950nH, 6.200nH로 계산되었다.
- "LeffSim" 값이 "LeffCoil" 값보다 0.75nH 크다.
- 인덕터의 인덕턴스 값은 6.2 nH로 설정되어 있다.
- 인덕터의 값보다 0.75nH 큰 값이 계산된 이유는 인덕터의 입출력 패드로부터 발생하는 기생 인덕턴스가 포함되었기 때문이다.
- 한 가지 더 주목해야 할 점은 앞 장의 그림의 그래프에 표시된 데이터 마커 ("Marker ") "m3"와 "m4"이다.
- "m3"와 "m4"에 표시된 주파수를 self resonant frequency (SRF)라고 한다.
- 이상적인 인덕터는 인덕턴스만을 갖는다.
- 하지만, 실제 인덕터는 인덕턴스 뿐만 아니라 기생 소자 (parasitic element)를 갖게 된다.

6. 인덕턴스 값의 추출

■ 해답

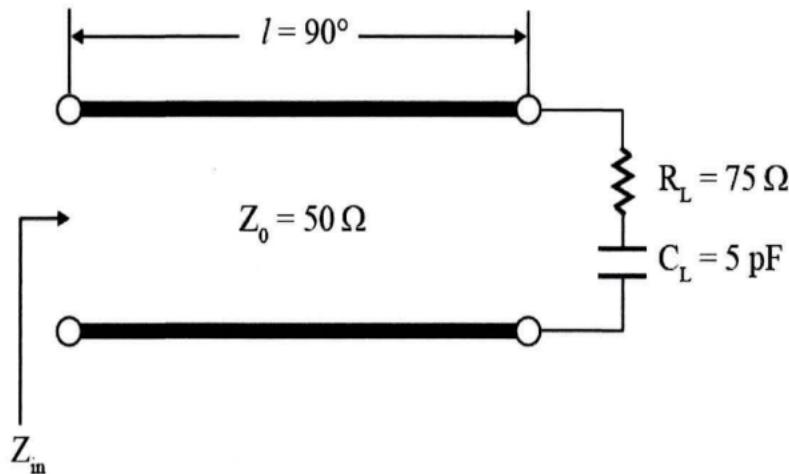
▪ 실효 인덕턴스(L_{eff}) 값의 비교와 분석

- 기생 소자는 커패시터와 저항을 포함하며 인덕터와 병렬 연결로 모델링된다.
- 낮은 주파수 대역에서는 인덕터에 병렬로 연결된 커패시터의 리액턴스가 매우 크기 때문에 개방 회로로 동작하여 기생 소자의 효과를 무시할 수 있다.
- 하지만, 주파수가 높아지면 커패시터의 리액턴스가 줄어들게 되고 기생 소자의 효과를 무시할 수 없게 된다.
- 기생 커패시터와 기생 저항 성분이 인덕터와 병렬로 연결되어, 공진 현상을 일으키게 된다.
- SRF는 이 공진 현상의 공진 주파수이다.
- 인덕터는 SRF보다 낮은 대역에서는 인덕터로 동작하지만, SRF보다 높은 대역에서는 더 이상 인덕터가 아니게 된다는 것을 의미한다.
- "m3"와 "m4"로 표시된 것처럼, "LeffSim"과 "LeffCoil"의 SRF는 각각 3.51 GHz, 7.2 GHz로 계산되었다.
- "LeffCoil"의 $SRF = 7.2 \text{ GHz}$ 는 Coilcraft 사의 제품 규격서와 일치한다.
- "LeffSim"은 제조사에서 제시한 SRF의 절반 정도로 계산되었다.
- 이와 같은 계산 오차는 인덕터가 ADS가 제공하는 "Basic Components"에서 제공하는 instance를 사용했기 때문이며, 고주파 회로의 컴퓨터 시뮬레이션에 한계가 있음을 보여주는 또다른 예이다.

7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 문제

- 어떤 50n 마이크로스트립 라인에 저항과 커패시터가 직렬로 연결된 부하 임피던스로 연결되어 있다.
- 부하 저항 $R_L = 75\Omega$ 과 부하 커패시터 $C_L = 5 \text{ pF}$ 이고, 동작 주파수는 2.4 GHz 이며, FR4 기판을 사용하여 회로를 설계하여 해석하려고, Layout Simulation을 수행하여 3.3절의 Schematic Simulation 결과값과 비교하시오 .

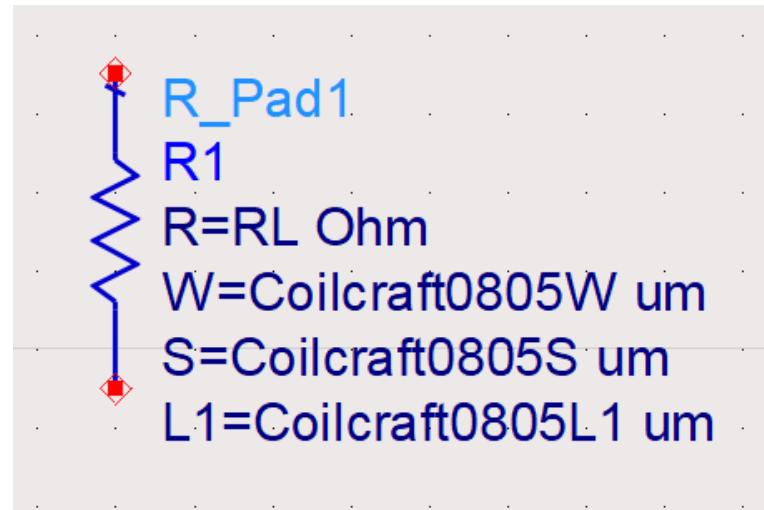
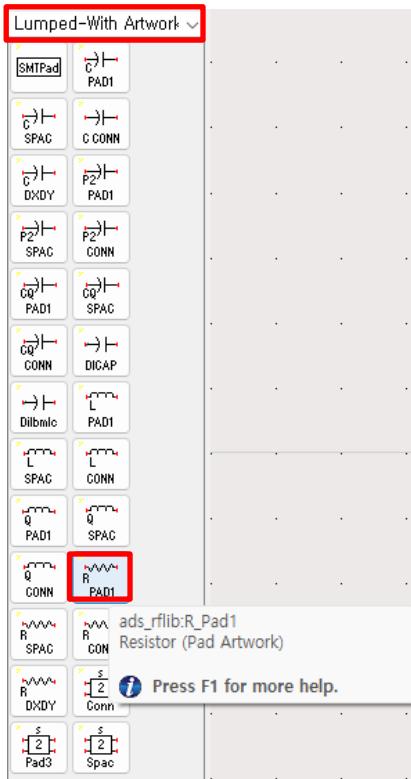


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 이상적인 전송 선로 모델을 이용한 Schematic Simulation

- ADS Main Window에서 "New Schematic Window" 아이콘을 클릭하여 "ex3_6_cell_1"이라는 이름으로 cell을 생성하고 ADS Schematic을 작성한다.
- 저항을 PCB에 실장하기 위한 저항 패드를 ADS Layout에 생성하기 위하여 그림에 보인 바와 같이 "Parts" 윈도우에서 "Lumped-With Artwork" palette를 선택한다.
- "Lumped-With Artwork" palette에서 "ads_rflib:R_Pad1" 회로소자를 ADS Schematic에 배치한다.

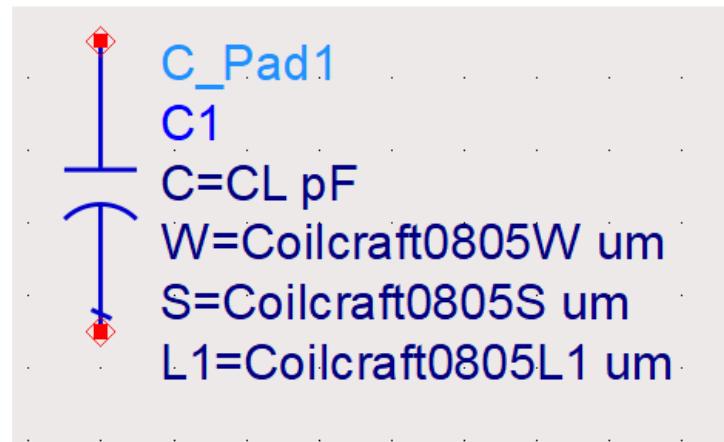
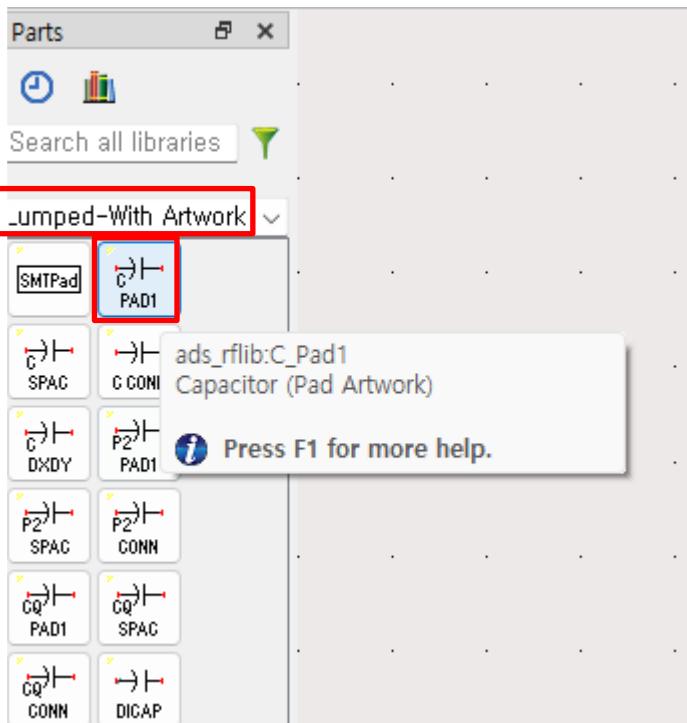


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 이상적인 전송 선로 모델을 이용한 Schematic Simulation

- 커패시터를 PCB에 실장하기 위한 커패시터 패드를 ADS Layout에 생성하기 위하여 그림에 보인 바와 같이 "Parts" 윈도우에서 "Lumped-With Artwork" palett를 선택한다.
- "Lumped-With Artwork" palett에서 "ads-rflib:C_Pad1" 회로소자를 ADS Schematic에 배치한다.

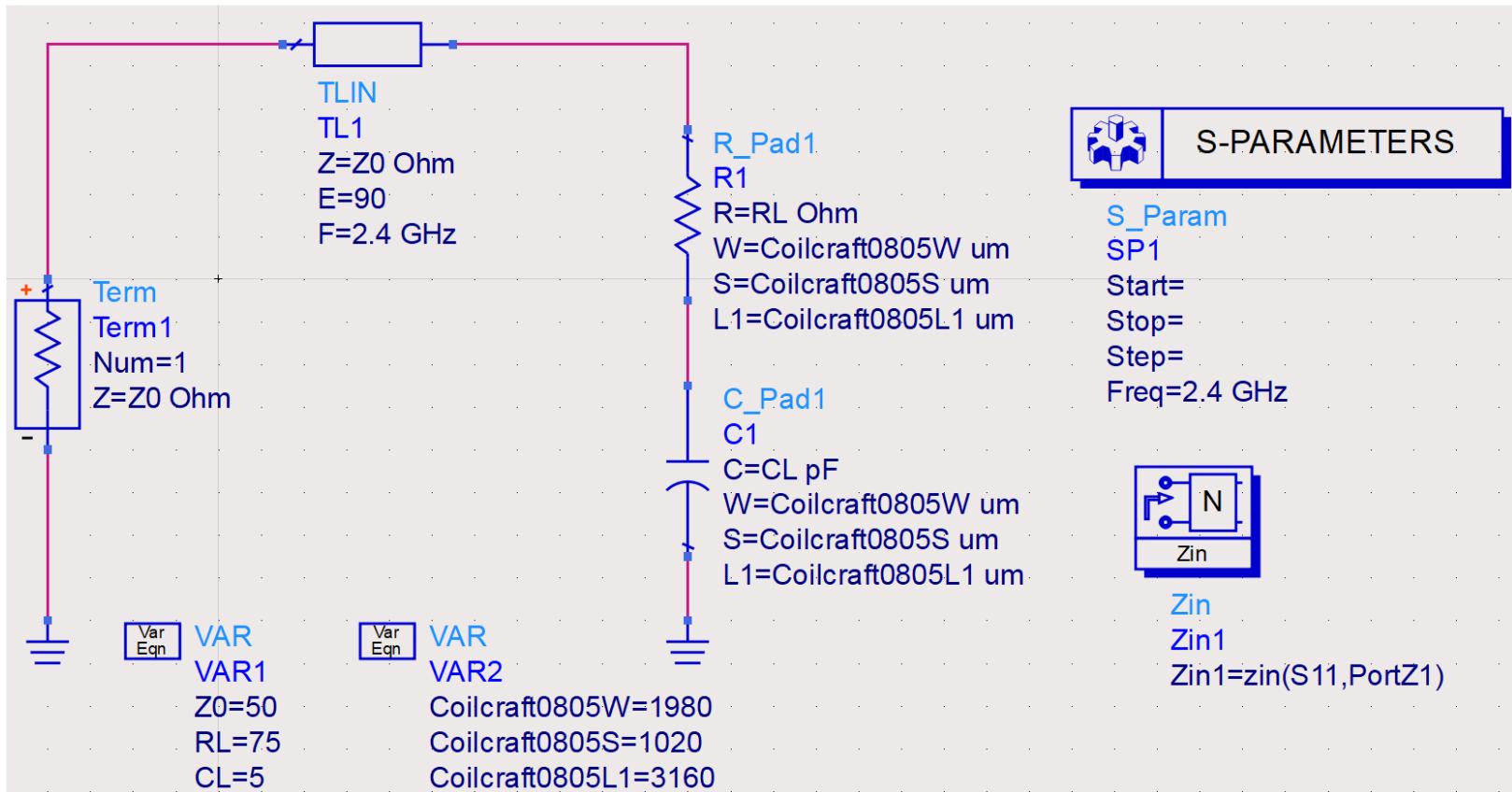


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 이상적인 전송 선로 모델을 이용한 Schematic Simulation

- 이상적인 전송 선로 모델과 회로 소자를 이용하여 이론적인 입력 임피던스를 먼저 구해본다.
- 그림에 보인 바와 같이 ADS Schematic을 생성한다.

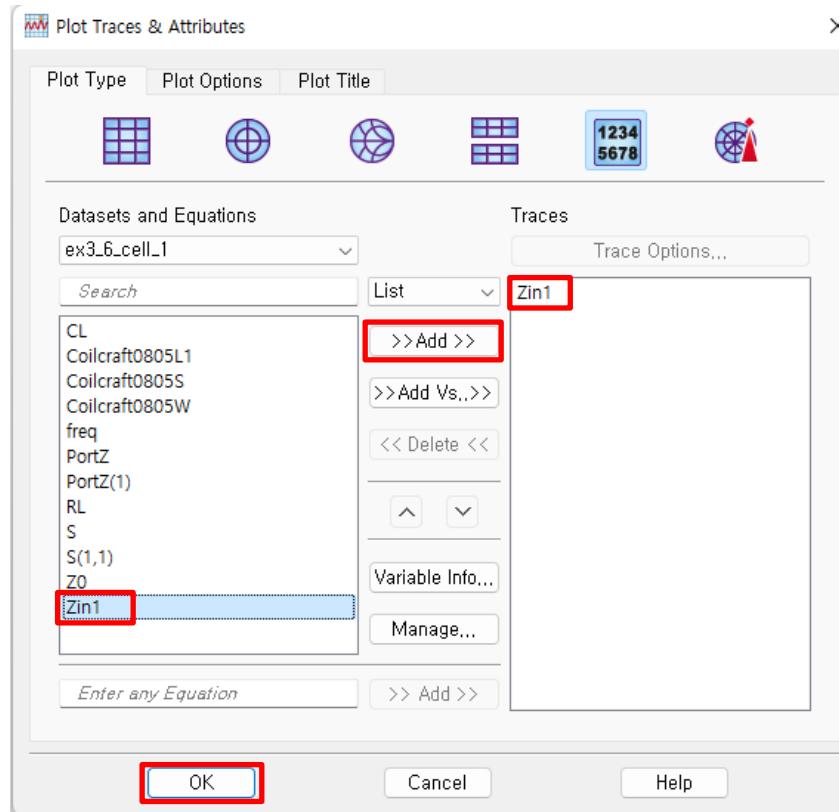


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 이상적인 전송 선로 모델을 이용한 Schematic Simulation

- 앞 장의 ADS Schematic을 이용하여 Schematic Simulation을 수행하면, 다음 그림에 보인 바와 같은 입력 임피던스 값을 얻을 수 있다.
- 다음 그림에 보인 "Zin1"을 전송 선로 이론에 의한 값으로 기준 값으로 설정한다.



freq	Zin1
2.400 GHz	$32.323 + j5.716$

7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

IT COOKBOOK

■ 해답

▪ 이상적인 전송 선로 모델을 이용한 Schematic Simulation

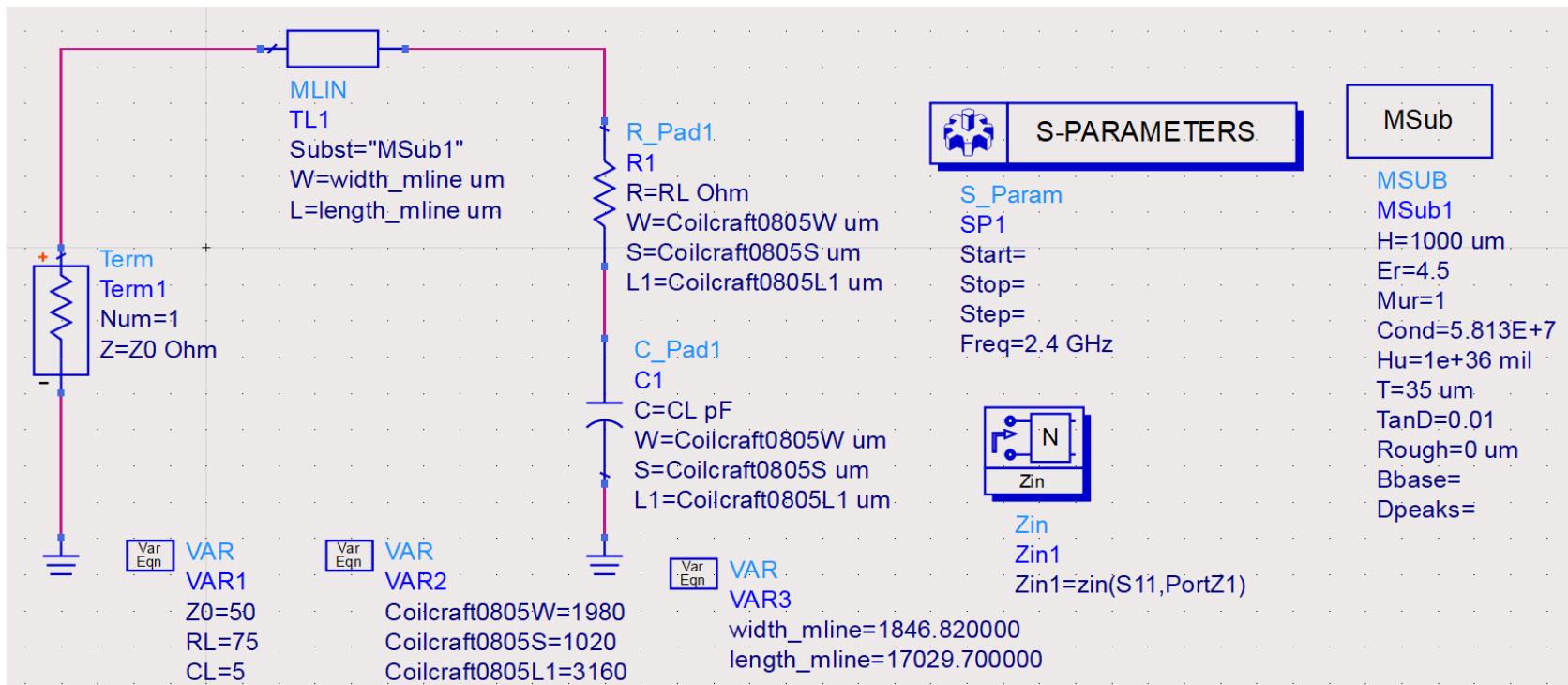
- ADS Schematic에서 사용된 저항과 커패시터는 "Lumped-With Artwork" 에 있는 "R_Pad1"과 "C_Pad1" instance를 사용했다.
- "R_Pad1"과 "C_Pad1" instance는 입출력 패드의 크기가 포함된 모델이다.
- 이상적인 저항과 커패시터 모델로 대체하여 Schematic Simulation을 수행하여도 그림과 동일한 결과가 나온다.

7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- 문제에서 주어진 조건에 부합하는 ADS Schematic을 그림에 보인 것과 같이 생성한다.
- 앞의 ADS Schematic에서 이상적인 전송선로 모델을 마이크로스트립 모델로 교체한 것이다.
- FR4 기판을 사용하여 2.4 GHz에서 전기적 길이가 90°인 50Ω 마이크로스트립 라인은 Linecalc를 이용하여 설계할 수 있다.

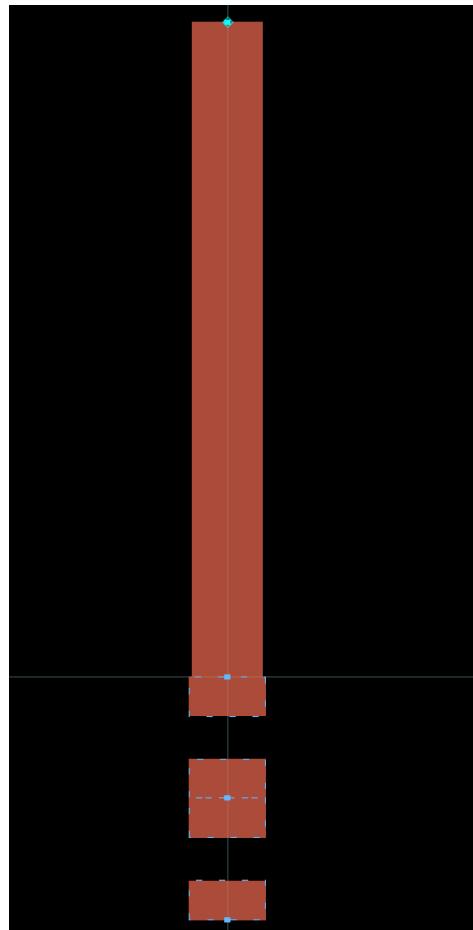


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

IT COOKBOOK

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - 앞 장의 그림에 보인 ADS Schematic으로부터 다음 그림에 보인 ADS Layout을 생성한다.

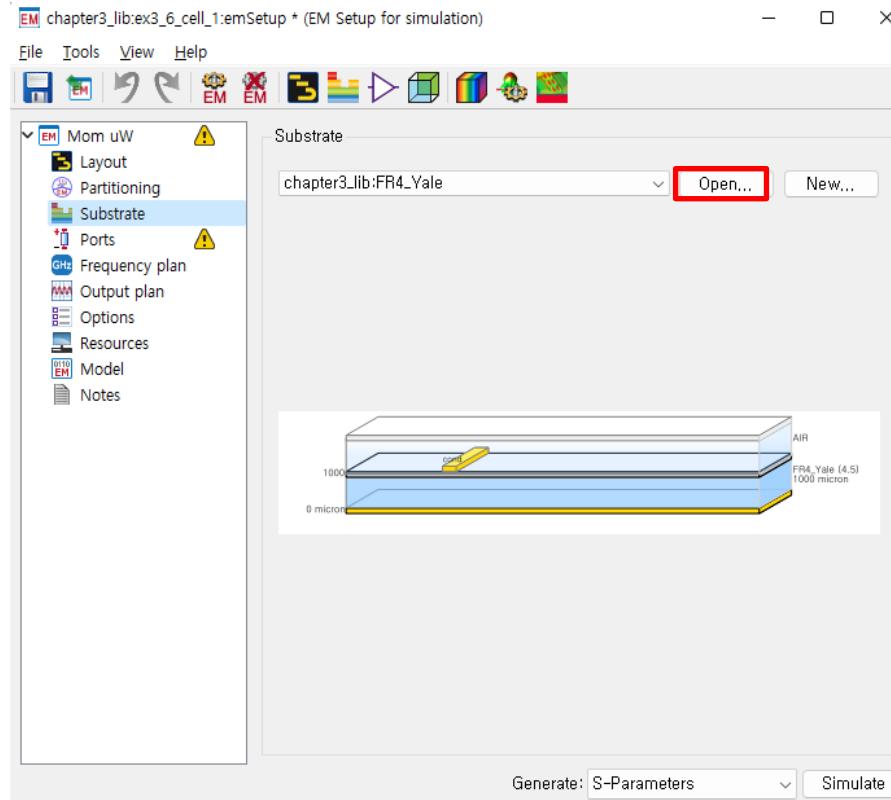


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- ADS Schematic에 보인 바와 같이 부하 임피던스를 구성하는 커패시터의 출력 패드는 접지되어 있다.
- 따라서, ADS Layout의 가장 오른쪽 패드는 접지(ground plane = GND면)에 연결되어야 한다.
- "FR4_Yale" 기판 모형을 확인하기 위해 EM simulation settings 아이콘을 클릭하여 팝업 메뉴에서 Open 버튼을 클릭한다.

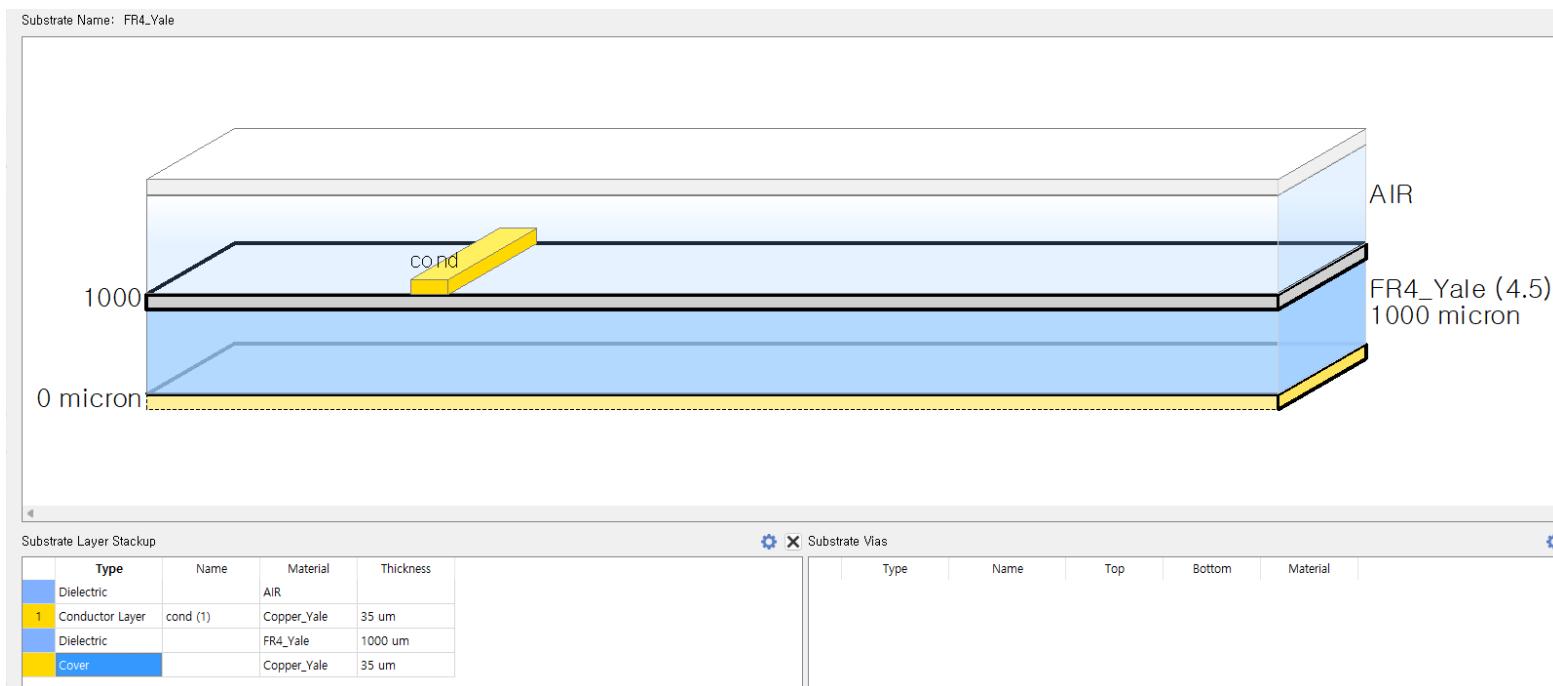


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

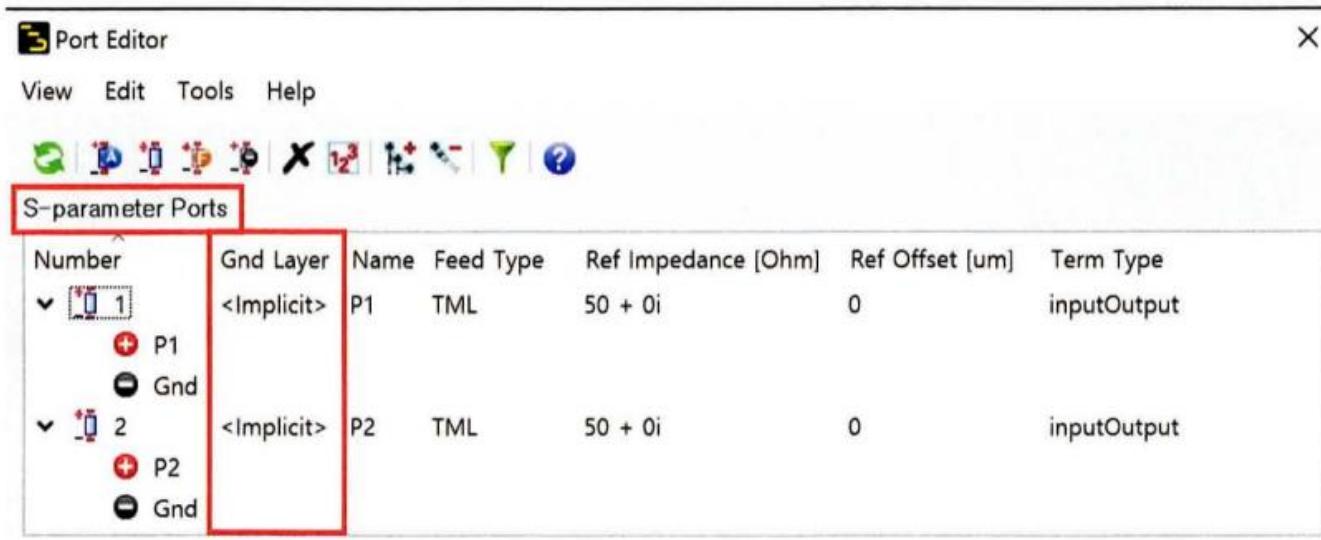
- ADS Schematic에 보인 바와 같이 부하 임피던스를 구성하는 커패시터의 출력 패드는 접지되어 있다.
- 따라서, ADS Layout의 가장 오른쪽 패드는 접지(ground plane = GND면)에 연결되어야 한다.
- "FR4_Yale" 기판 모형을 다음 그림에 다시 보였다.
- "Substrate Layer Stackup" 표에서 확인할 수 있는 것처럼 "FR4_Yale" 기판은 바닥면은 "Cover"로 설정되어 있다.



7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - ADS에서 "Cover"는 기판의 "top interface"와 "bottom interface"로 동작한다.
 - "top interface"와 "bottom interface"는 각각 기판의 최상층과 최하층에 있는 "implicit ground" (암시적 GND면)을 의미하며, 무한대로 넓은 GND면이다.
 - ADS의 기판에서 "Cover"는 암시적 GND면으로 처리되기 때문에, ADS Layout에서 물리적으로 존재하지는 않는다.
 - 다음 그림에 보인 "Port Editor" 윈도우의 "S-parameter Ports" 영역에 있는 "Gnd Layer"가 암시적 ("<Implicit>") 으로 설정된 것은 바로 "Cover"로 지정된 GND면이 기판에 정의되어 있기 때문에 가능한 것이다.



7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

IT COOKBOOK

■ 해답

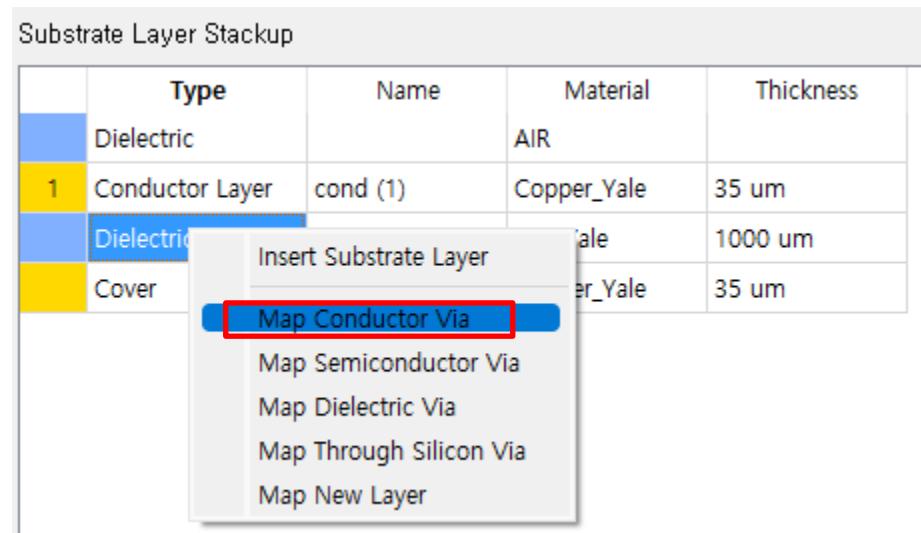
▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- ADS Layout에서 GND면과 커패시터의 패드 사이를 연결하기 위하여 "via" 기술을 사용한다.
- "Via"는 원래 라틴어로써 영어의 "road, street, path, way, route"이며 우리말로 하면 "길"이다.
- 다층 PCB를 제조할 때, 층간 연결을 위하여 "via" 기술을 사용한다.
- "Via"는 보통 "via pad"와 "via hole"로 이루어진다.
- PCB에 via hole을 형성하기 위하여 전동 드릴링(electric drilling) 또는 레이저 드릴링(laser drilling) 기술을 사용한다.
- 드릴링 기술로 기판에 미세한 via hole을 뚫은 다음 via hole의 표면에 무전해 도금을 한 후, via hole 주변에 via pad를 형성하여 층간 단락 회로를 구현하는 것이다.

7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

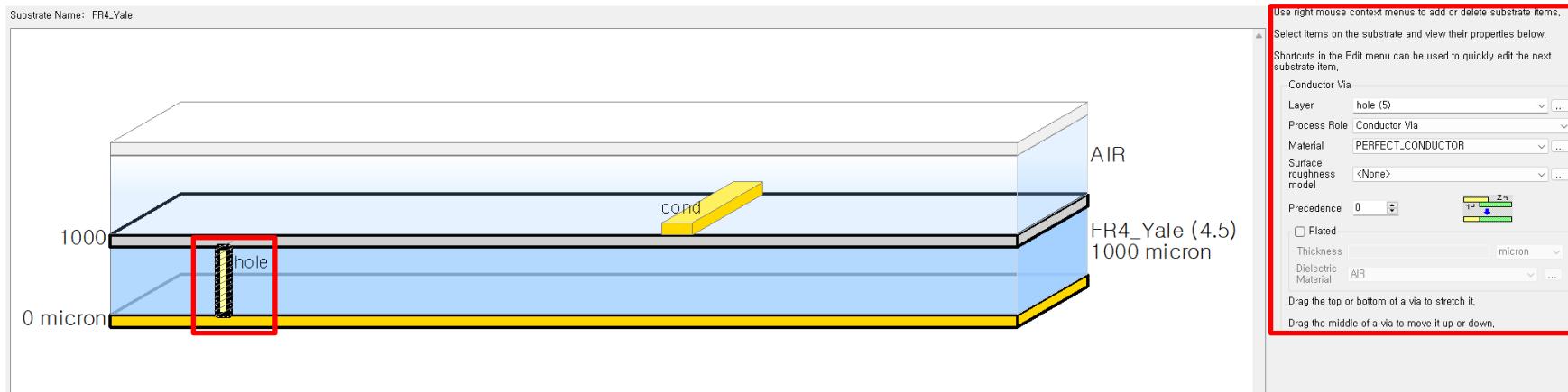
- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - 다음과 같이 기판에 via를 설정하고 Layout Simulation을 수행한다.
 - "FR4_Yale" 기판의 윈도우를 열고, 다음 그림에 보인 바와 같이 "Substrate Layer Stackup" 표에서 "Dielectric" layer를 선택하고 마우스의 오른쪽 버튼을 클릭하면 팝업되는 풀다운 메뉴에서 "Map Conductor Via"를 선택한다.



7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - 다음 그림에 보인 바와 같이 "FR4_Yale" 기판에 "hole" 이라는 via가 생성된다.
 - 이 "hole"의 "Conductor Via"의 설정은 그림의 우측에 표시된 적색 박스에서 하게 된다.

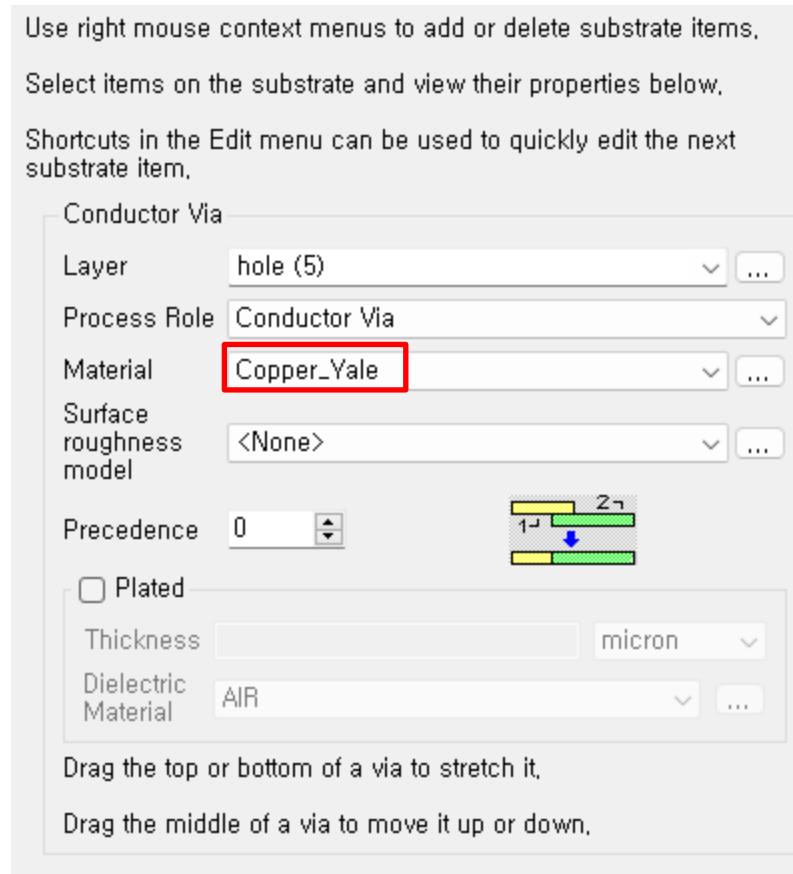


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- 다음 그림에 앞 장의 그림의 우측에 표시된 적색 박스 부분을 확대하여 보였고, 그림에 보인 바와 같이 "Material"을 "Copper_Yale"로 설정한다.

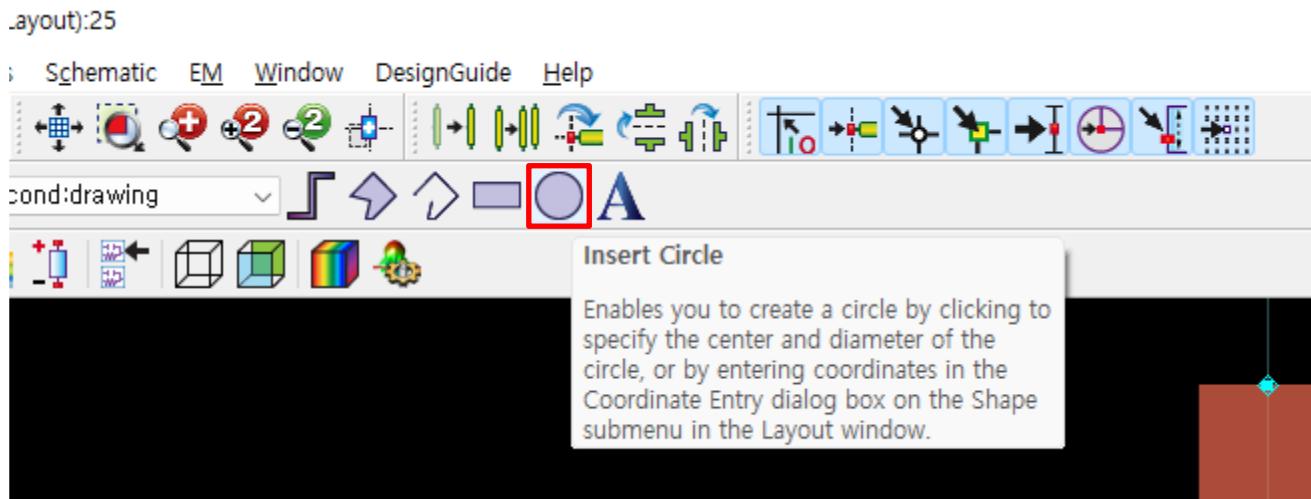


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- 기판에 정의된 via를 Layout Window에 삽입하는 방법은 그림에 보인 바와 같이 "Insert Circle" 아이콘을 클릭하는 것이다.

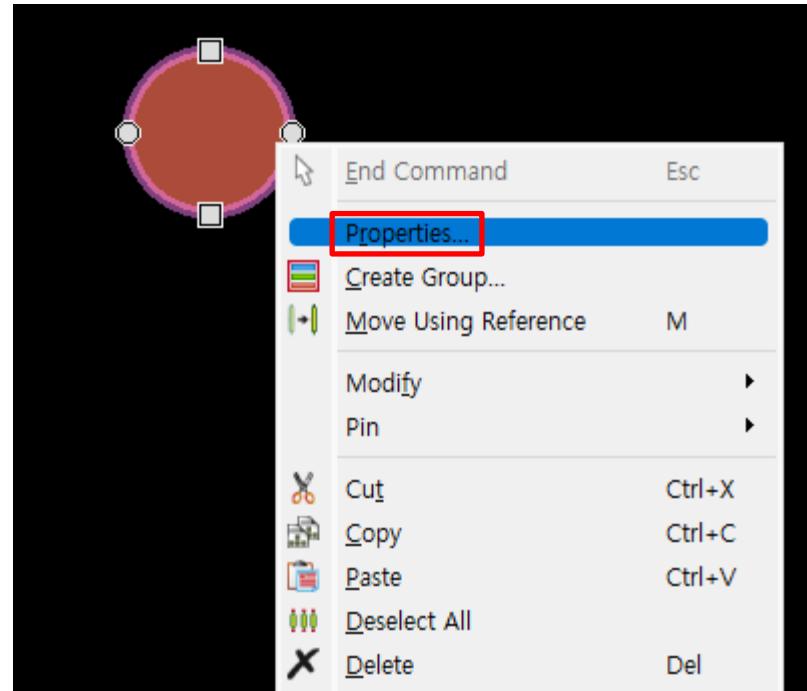


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

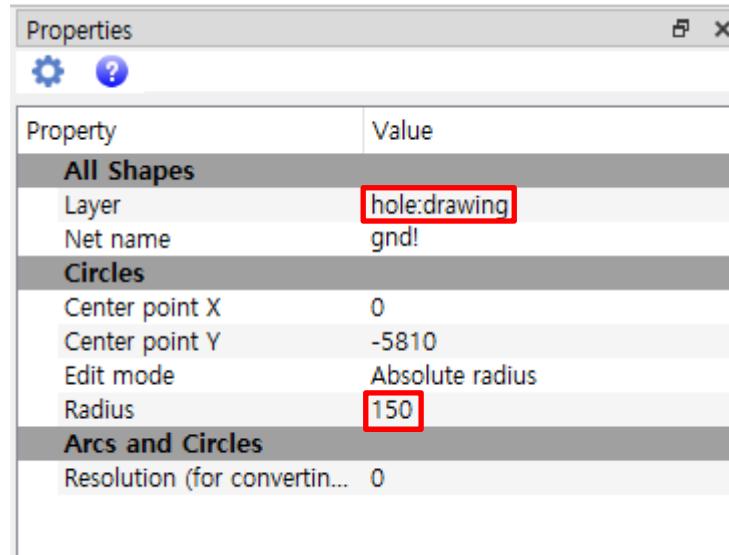
- Layout Window에서 "Circle"을 그림에 보인 바와 같이 삽입한 후, 삽입된 "Circle"을 선택하면 Layout Window 우측에서 이 "Circle"의 설정값("Properties")을 편집할 수 있다.



7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - 그림의 우측에 보인 바와 같이 "Radius"를 "150"으로 설정한다.
 - PCB 제조에 널리 사용되는 Via의 지름이 300μm이기 때문에 반지름("Radius")을 "150"으로 설정했다.
 - 이제, 사용자가 원하는 위치로 옮기면 Via 삽입이 완성된다.
 - 이 문제의 경우 커패시터의 출력 패드 중앙에 삽입하도록 한다.

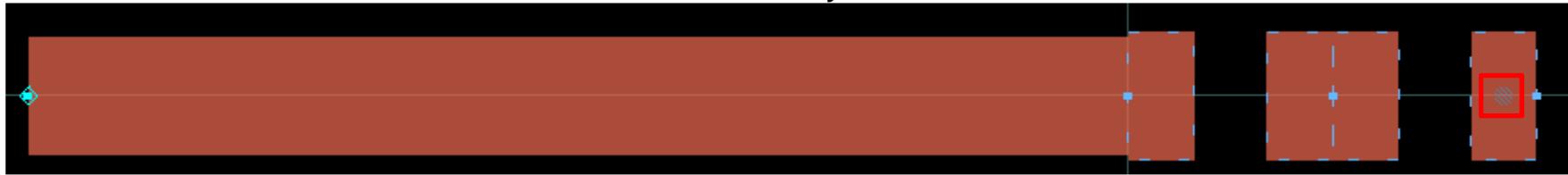


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

IT COOKBOOK

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - 커패시터의 출력 패드 중앙에 via가 삽입된 ADS Layout을 다음 그림에 보였다.



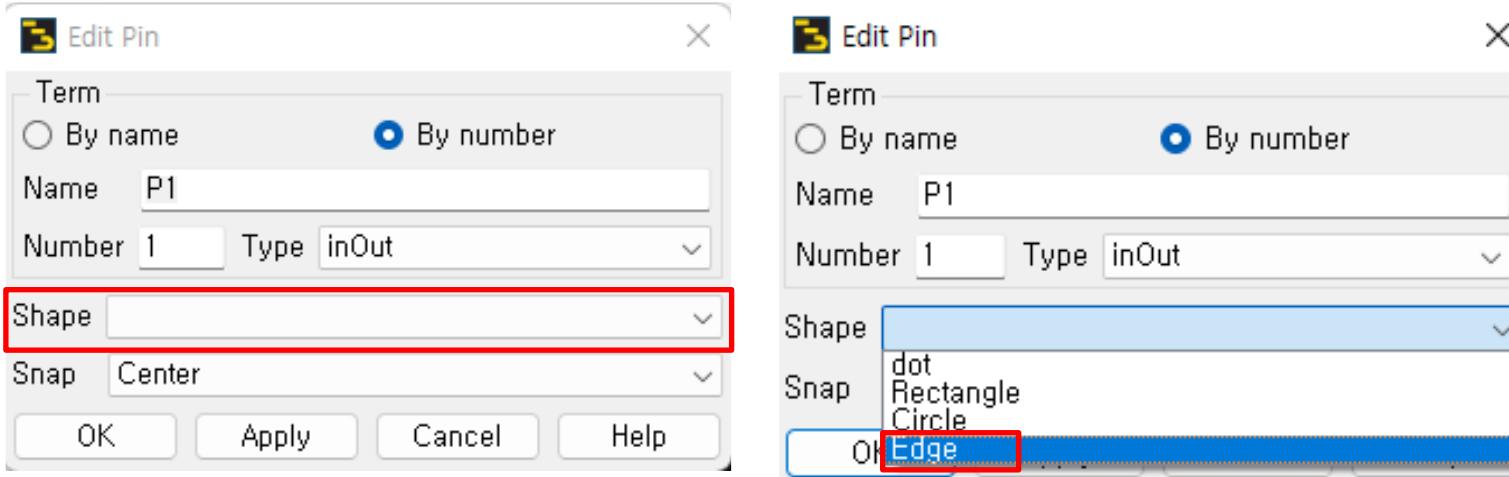
- ADS Layout에 다음과 같이 핀을 삽입한다.



7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - 그림에 보인 바와 이 "pin"의 조건을 편집한다.
 - 편집이 필요한 "Pin"을 더블 클릭하면 아래와 같이 "Edit Pin" 윈도우가 팝업 된다.



- 좌측 그림에 보인 바와 같이 "Shape" 메뉴가 빈 칸으로 보이는 것을 확인할 수 있다.
- 풀 다운 메뉴를 내려보면 "Edge" 항목이 있는 것을 볼 수 있다.

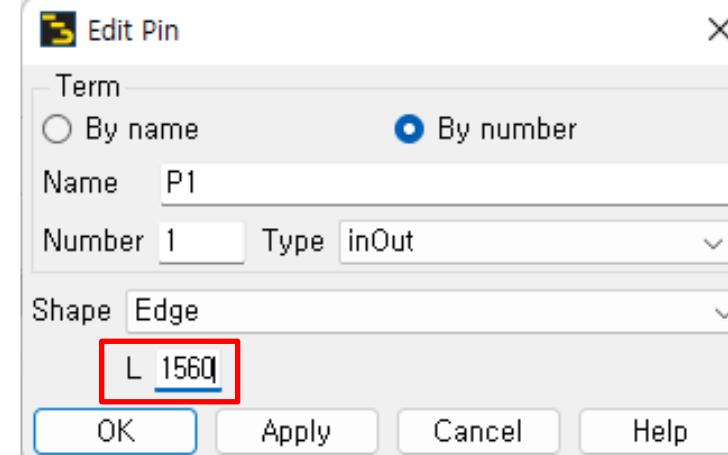
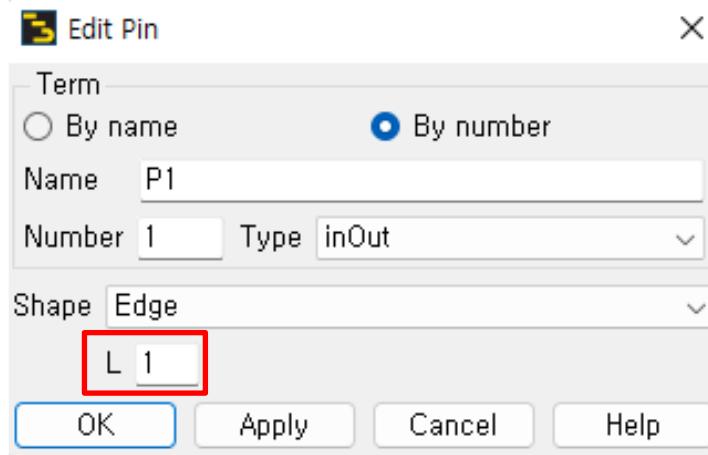
7. Layout Simulation VS. Schematic Simulation: RC

부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

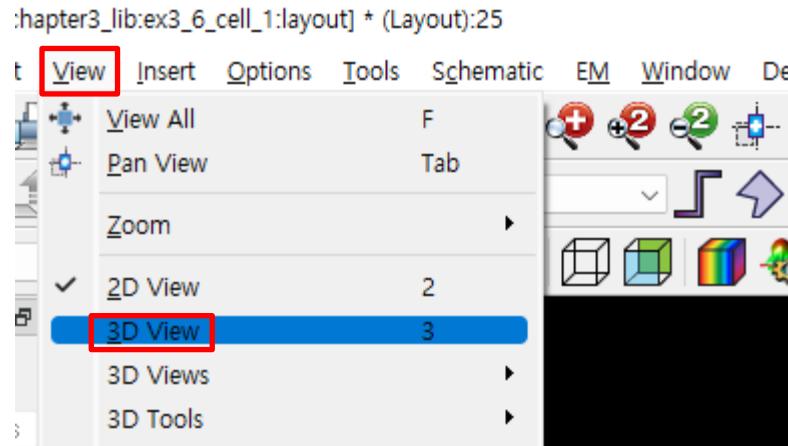
- 앞 장의 우측 그림에 보인 바와 같이 "Edge"를 선택하면, 다음 그림에 보인 바와 같이 "L" 항목이 보인다.
- "Edge" Pin의 길이 ("Length")를 설정할 수 있다.



7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - ADS Layout의 "2D View"를 다음 그림에 보인 바와 같이 "3D View"로 확인할 수 있다.



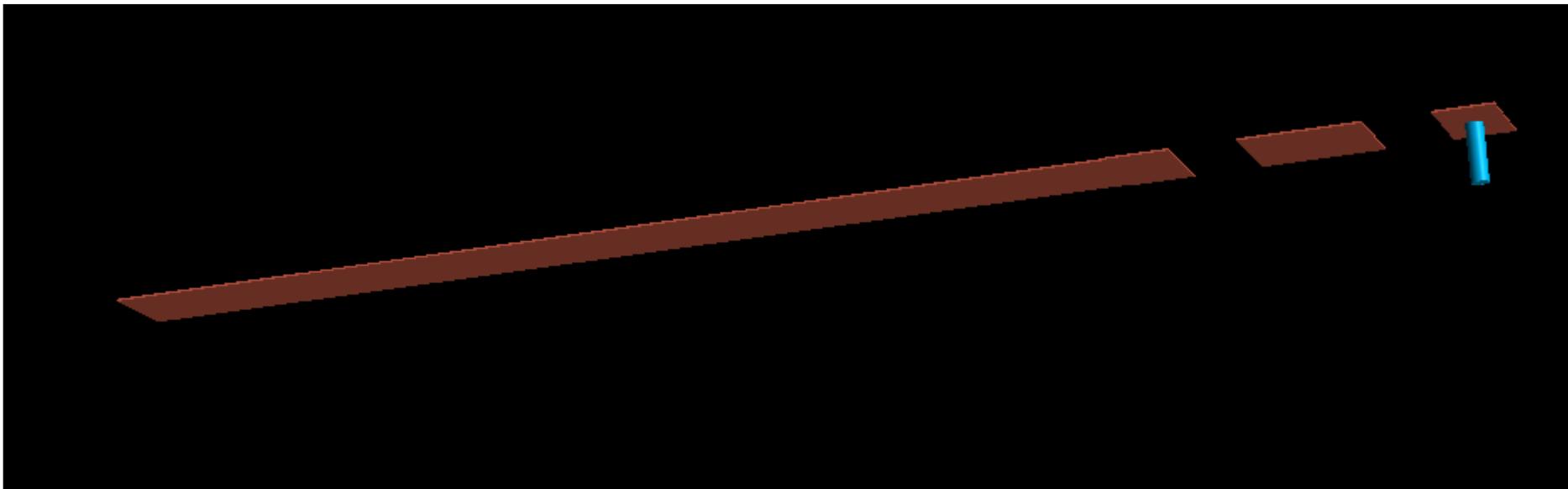
7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

IT COOKBOOK

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- 위 그림의 "2D View"를 다음 그림에 보인 바와 같이 "3D View"로 확인해보면 커패시터의 출력 패드에 via가 형성되어 있는 것을 확인할 수 있다.
- Layout Window의 "2D View" 또는 "3D View"에서 암시적 GND면인 "Cover" layer는 표시되지 않는다.



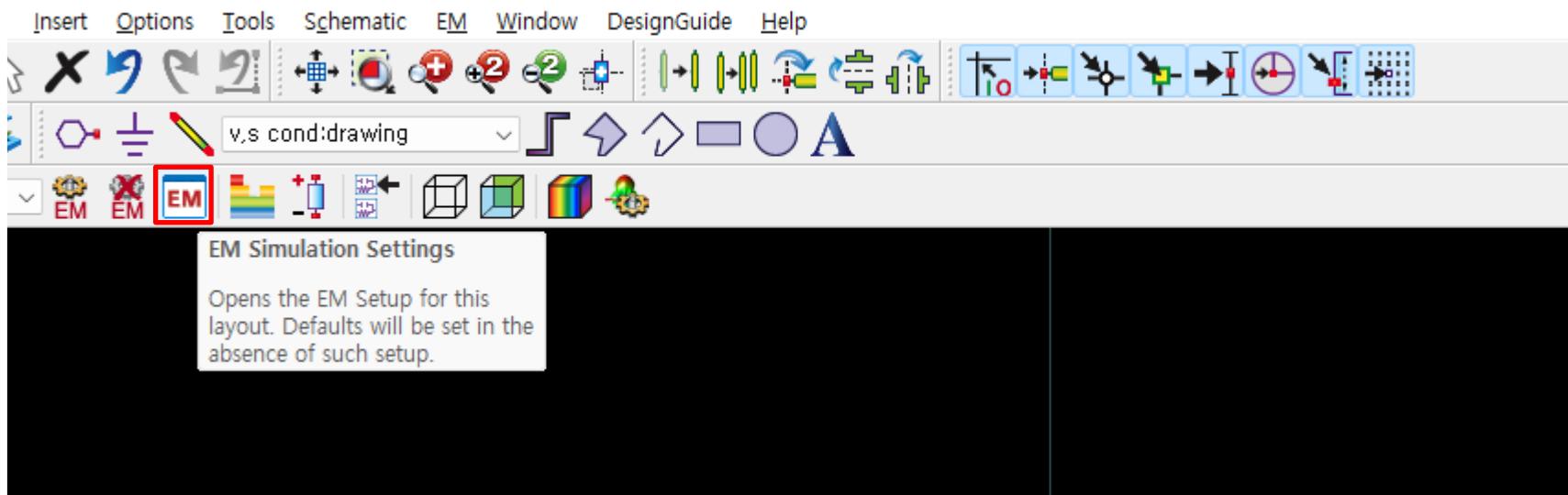
7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- 이제 Layout Window에서 "EM Simulation Settings" 아이콘을 클릭하여 "ex3_6_cell_2" cell을 위한 "ex3_6_cell_2:emSetup"을 생성한다.

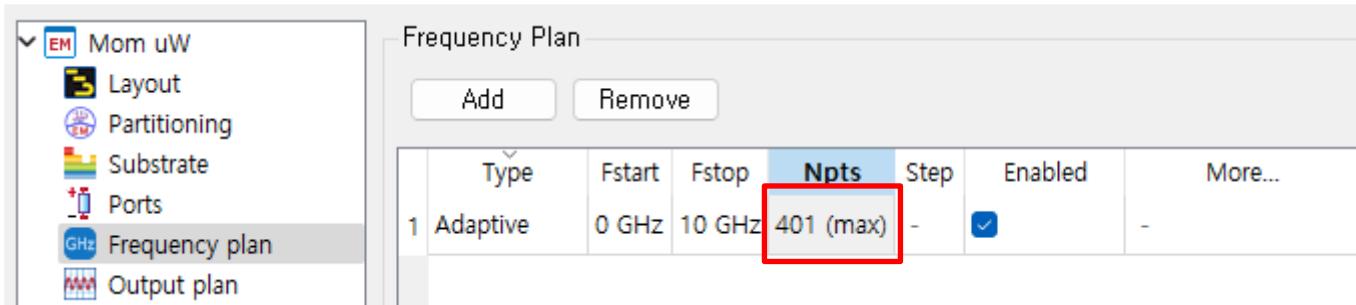
lib:ex3_4_cell_1:layout] * (Layout):11



7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

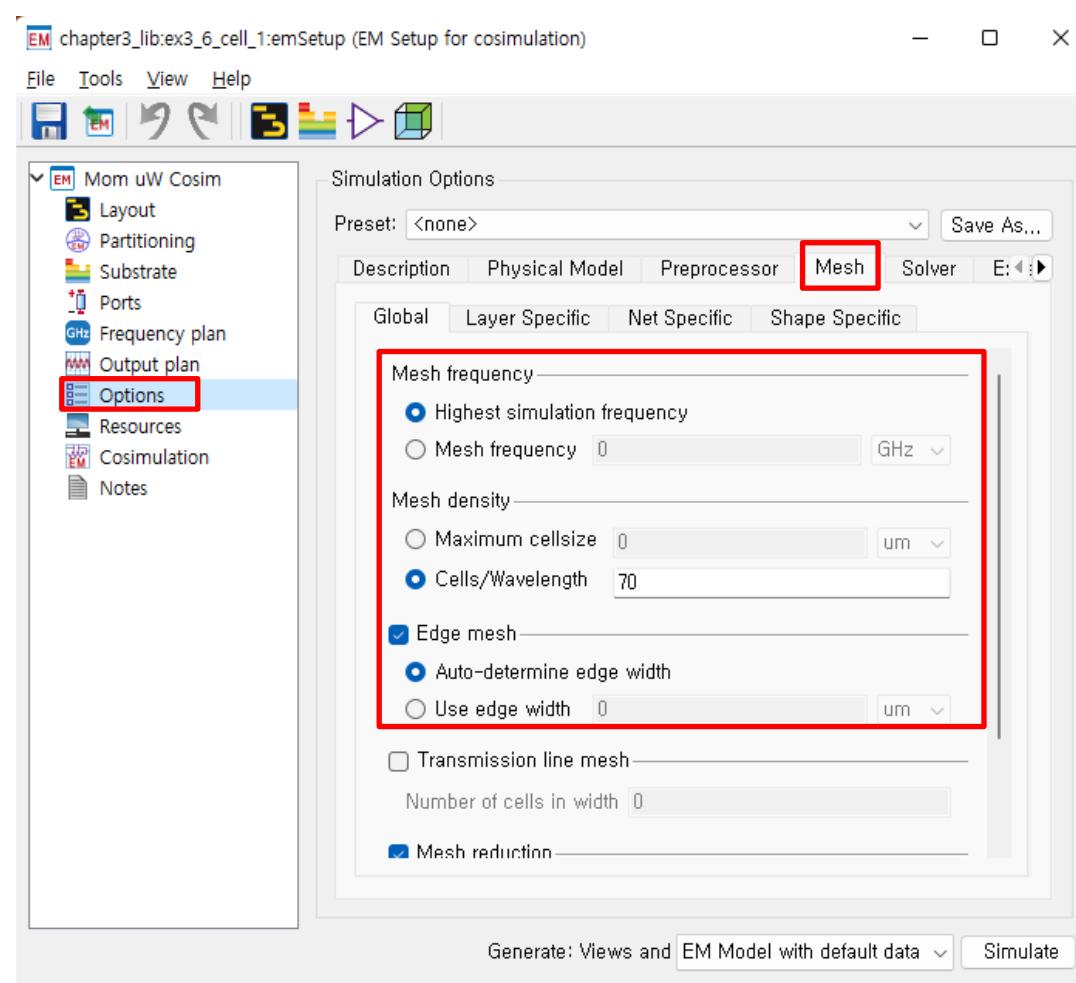
- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - "Frequency plan" 메뉴는 그림에 보인 바와 같이 설정한다.



7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - 그리고, "Options" 메뉴에서 "Mesh" 탭의 "Global" 탭을 아래 그림에 보인 바와 같이 설정한다.

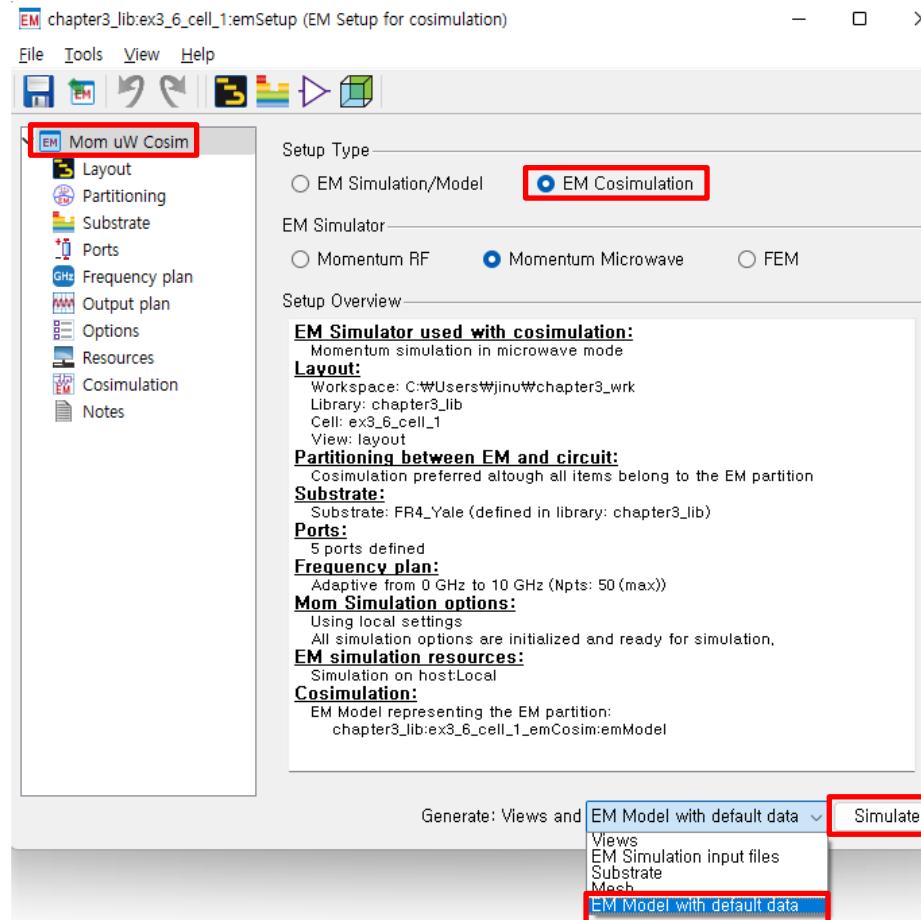


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- "Setup Type"을 그림에 보인 바와 같이 "EMCosimulation"로 선택하면 왼쪽의 최상단 항목이 "Mom uW Cosim"로 변경되어 있는 것을 확인할 수 있다.



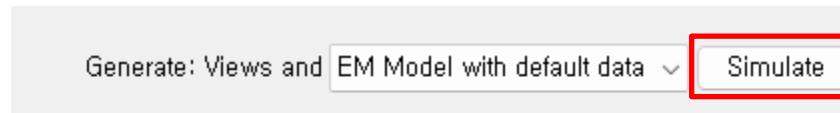
7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

IT COOKBOOK

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- 그리고 "Resources" 메뉴 밑에 있던 "Model" 메뉴도 Cosimulation으로 자동 변경되어 있는 것도 확인할 수 있다.
- "Setup Overview" 영역의 일부 항목도 자동 변경된다.
- 앞 장의 그림에 보인 바와 같이 emSetup 윈도우의 하단에 "Generate" 다운 메뉴에서 "EM Model with default data"를 선택한다.
- 이 선택과 함께 emSetup 윈도우의 하단은 그림에 보인 바와 같이 변경된다.
- 이제 그림의 우측에는 "Simulate" 버튼을 클릭한다.



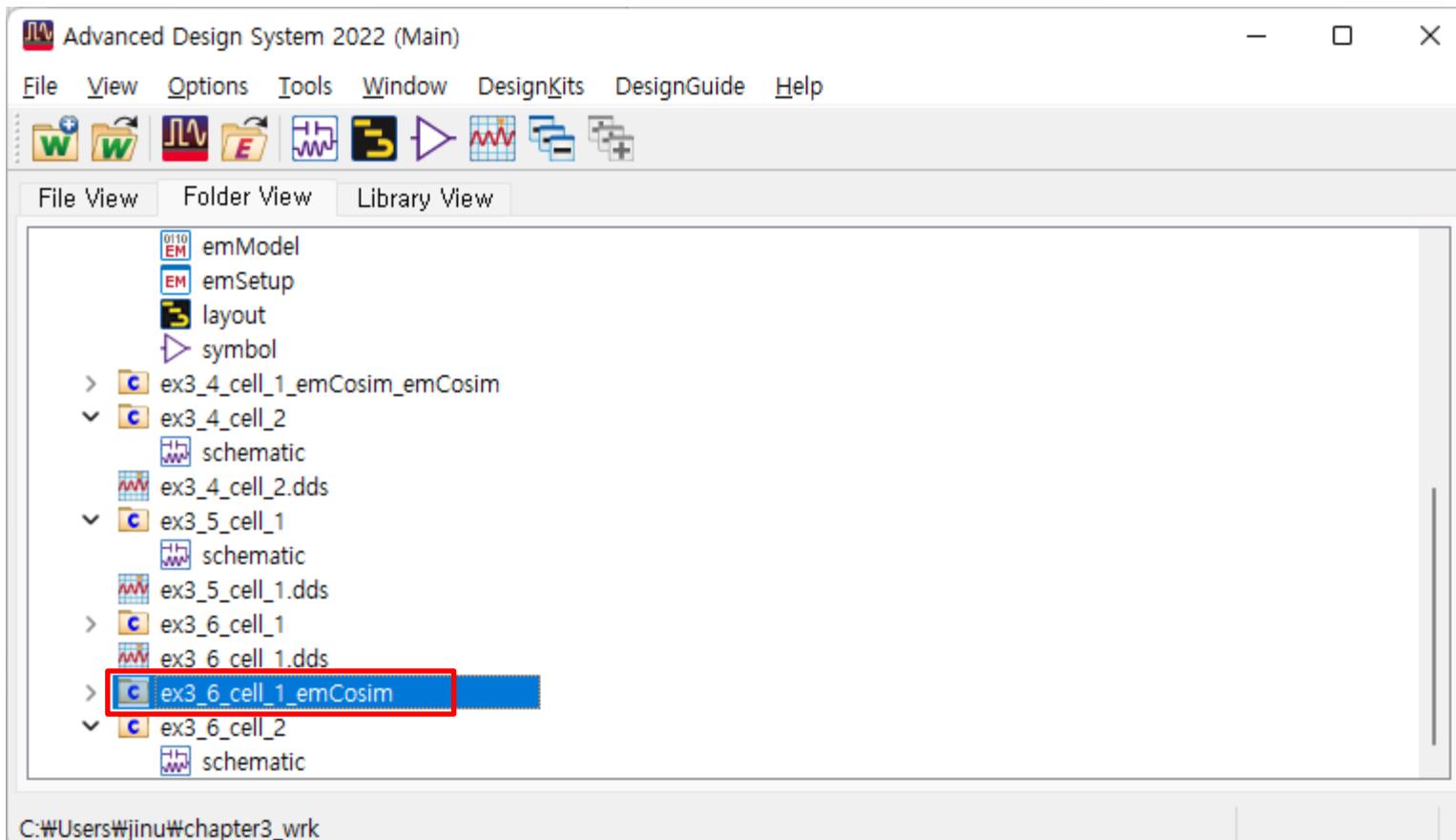
7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

IT COOKBOOK

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- EM Cosimulation이 종료되면, ADS Main Window에 EM Cosimulation 결과가 저장된 "ex3_6_cell_1_emCosim" cell이 자동 생성되어 있는 것을 그림에서 보인 바와 같이 확인할 수 있다.

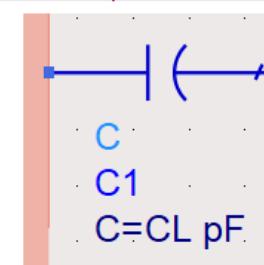
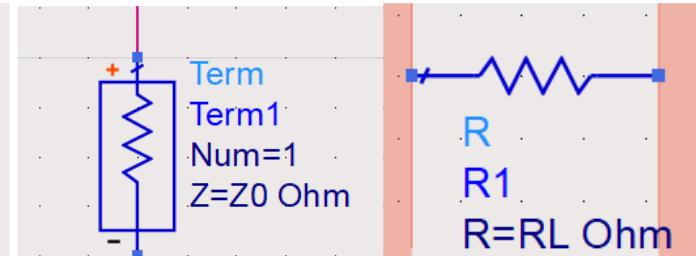
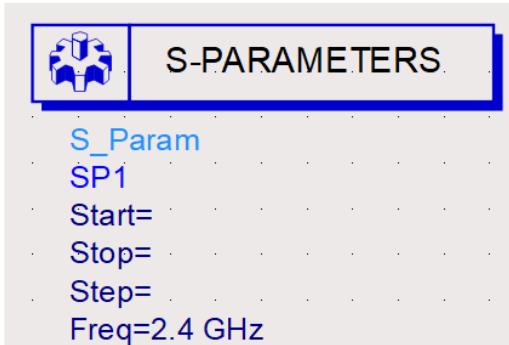
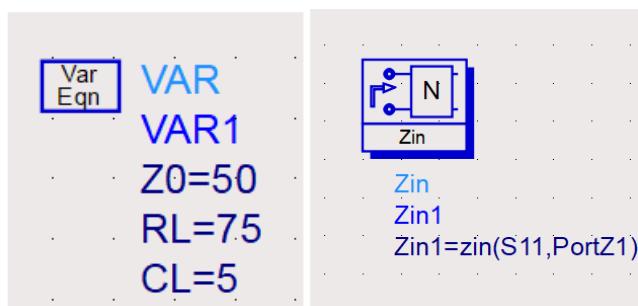
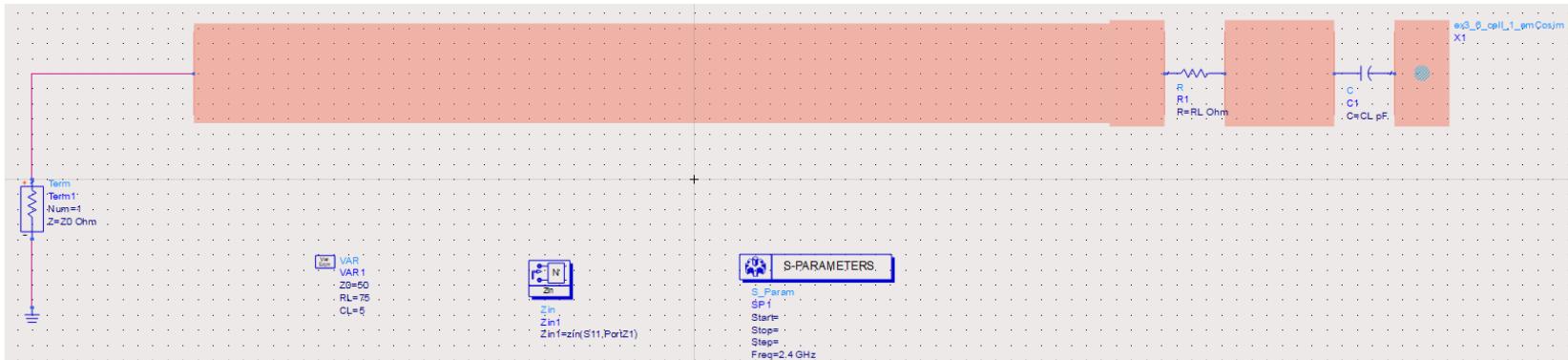


7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- 앞 장의 그림에 대한 EM Cosimulation을 수행한 후 생성된 emCosim 모델을 사용하여, 다음 그림과 같은 ADS Schematic을 생성할 수 있다.



7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

■ 해답

- 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성
 - Schematic Simulation을 수행하면 다음 그림에 보인 "Zin1"값과 같은 입력 임피던스를 얻을 수 있다

freq	Zin1	ex3_6_cell_1..Zin1
2.400 GHz	$32.535 + j2.706$	$32.323 + j5.716$

7. Layout Simulation VS. Schematic Simulation: RC 부하로 종단된 마이크로스트립 라인

IT COOKBOOK

■ 해답

▪ 마이크로스트립 라인 모델을 이용한 ADS Schematic 과 ADS Layout의 생성

- 커패시터의 출력 패드 중앙에 via가 삽입된 ADS Layout을 앞의 그림에 보였다.
- 앞의 그림의 "2D View"를 "3D View"로 확인해보면 커패시터의 출력 패드에 via가 형성되어 있는 것을 확인할 수 있다.
- Layout Window의 "2D View" 또는 "3D View"에서 암시적 GND면인 "Cover" layer는 표시되지 않는다.
- 앞의 그림에 대한 EM Cosimulation을 수행한 후 생성된 emCosim 모델을 사용하여, 앞 장의 상단 그림과 같은 ADS Schematic을 생성할 수 있다.
- Schematic Simulation을 수행하면 앞 장의 하단 그림에 보인 "Zin1"값과 같은 입력 임피던스를 얻을 수 있다.
- 앞 장의 하단 그림에서 "ex3_6_cell_1..Zin1"은 Schematic Simulation으로부터 얻은 입력 임피던스 값이다.
- 이상적인 전송 선로 모델과 마이크로스트립 모델을 사용한 입력 임피던스 값은 매우 유사하지만, emCosim 모델로부터 얻은 입력 임피던스와는 차이가 상대적으로 크다.
- 특히 허수부 값이 차이가 두드러진다.
- Schematic Simulation로부터 얻은 입력 임피던스 값은 저항과 커패시터 패드 사이의 기생 소자 (parasitic element)의 영향을 포함할 수 없기 때문에, emCosim 모델로부터 얻은 입력 임피던스 값과 차이가 발생하게 된다.
- 따라서, 실제 소자가 포함된 회로의 성능을 정확히 파악하기 위해서는 EM Cosimulation을 통한 emCosim 모델로부터 성능을 확인해야 한다.

Thank You