

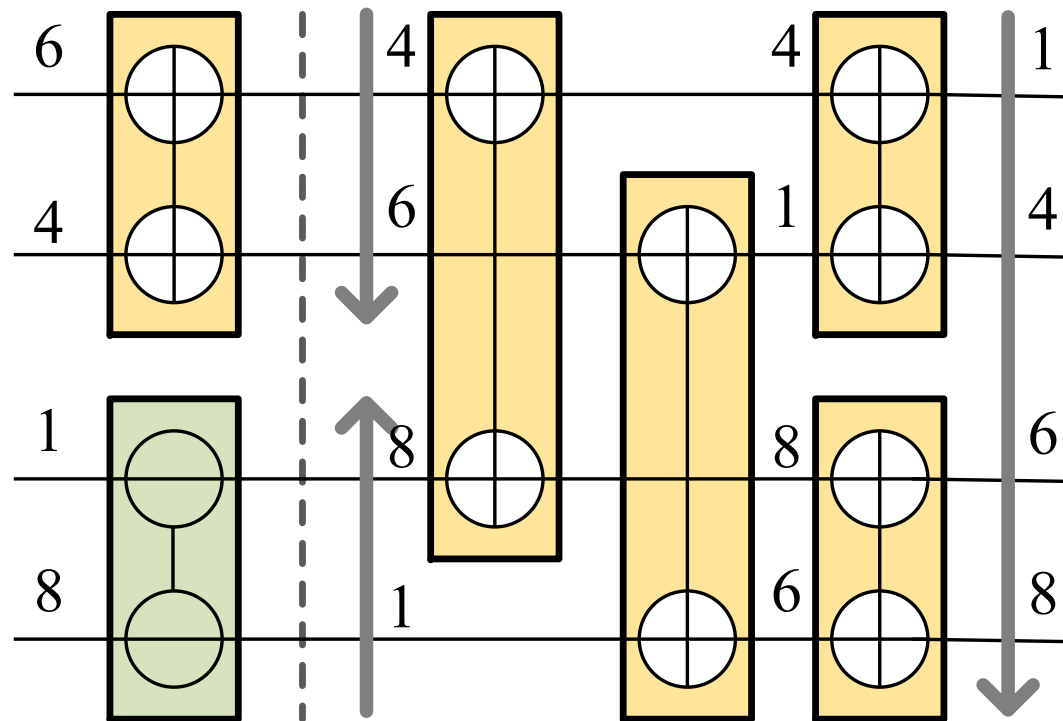


Homework 03

Ren-Der Chen (陳仁德)
Department of Computer Science and
Information Engineering
National Changhua University of Education
E-mail: rdchen@cc.ncue.edu.tw
Fall, 2023

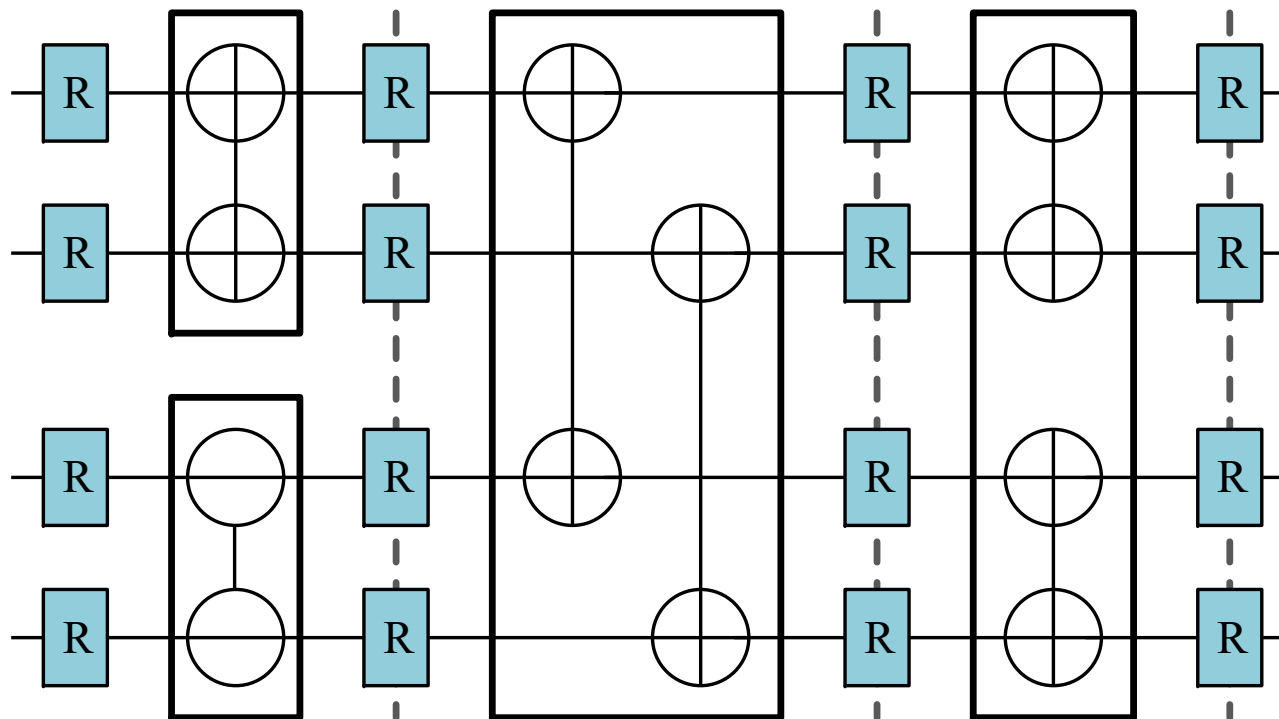
4個數字之遞增排序電路

- 下圖是hw01利用2輸入遞增與遞減排序模組，所組成之4個數字遞增排序電路。



4個數字之管線化(Pipelined)遞增排序電路

- 插入2個stages之pipeline registers及input/output registers，設計3-stage之pipelined排序電路。



作業描述 (1/4)

- 利用hw01之4個數字遞增排序電路，設計3-stage之pipelined排序電路(sort4_pipe.v)。
- 利用D flip-flop概念設計8-bit之暫存器模組電路(R)，該模組為時脈正緣觸發(clk)，並具有非同步reset輸入(rst)。
- 電路中應加入適當之延遲(delay)估計，以模擬輸出信號產生時之延遲現象。輸出信號之變化不可跟clock之正緣觸發同時發生。
- sort4_pipe電路之input/output信號如下
 - **input** clk, rst;
 - **input** [7:0] x0, x1, x2, x3; // X
 - **output** [7:0] y0, y1, y2, y3; // Y

作業描述 (2/4)

- 另外再設計一個testbench檔案(sort4_pipe_tb.v)來驗證電路的正確性。
- Testbench中需再設計時脈信號(clk)產生器，週期為**20ns**。
- 請使用Modelsim進行Functional simulation，觀察**text message**及**waveform**之輸出。

作業描述 (3/4)

- 於每個時脈週期，依序輸入下列測試樣本
 - $X = \{38, 94, 61, 50\}$
 - $X = \{24, 15, 82, 65\}$
 - $X = \{89, 20, 63, 51\}$
 - $X = \{72, 24, 36, 77\}$
 - $X = \{50, 69, 13, 30\}$
 - $X = \{23, 60, 30, 11\}$
 - $X = \{45, 54, 22, 56\}$
 - $X = \{71, 42, 90, 89,\}$

作業描述 (4/4)

- Text message部分，針對每個時脈週期之測試樣本，先列印出4個輸入值X，再印出4個輸出排序值Y。
- Waveform部分，應清楚標示出每個時脈週期測試樣本之4個輸入值，及4個輸出值。
- 於**testbench**中加入判斷機制，自動檢查每一個時脈週期之排序結果是否均正確，並輸出文字訊息**"Pass!"**。
- 若有任何一個排序錯誤，則輸出文字訊息**"Fail!"**。

作業繳交

- 繳交之作業檔案請以”您的學號_03”(ex. **S1154000_03**)命名，包含
 - Verilog原始檔 (請將整個資料夾壓縮成一個 **S1154000_03.zip**)
 - 作業報告檔 (請參考範本 **S1154000_03.ppt**)
- 繳交方式：彰化師大雲端學院，課程作業區，以附檔作答
- 繳交期限：**2023/12/21 (四) 12:00**