

## 符合ISO/IEC14443A/B标准13.56MHz非接触式读写卡芯片

### 目录

主要特性 .....	5
主要应用 .....	5
芯片简介 .....	5
1 芯片封装 .....	6
2 管脚定义 .....	7
3 寄存器列表 .....	8
3.1 WS1850S寄存器概述 .....	8
3.2 寄存器位的操作及其名称 .....	10
3.3 寄存器描述 .....	10
3.3.1 PAGE0: 命令和状态 .....	10
3.3.1.1 Reserved .....	10
3.3.1.2 CommandReg .....	11
3.3.1.3 CommIEnReg .....	11
3.3.1.4 DivIEnReg .....	12
3.3.1.5 CommIRqReg .....	12
3.3.1.6 DivIRqReg .....	13
3.3.1.7 ErrorReg .....	13
3.3.1.8 Status1Reg .....	14
3.3.1.9 Status2Reg .....	15
3.3.1.10 FIFODataReg .....	16
3.3.1.11 FIFOLevelReg .....	16
3.3.1.12 WaterLevelReg .....	17
3.3.1.13 ControlReg .....	17
3.3.1.14 BitFramingReg .....	17
3.3.1.15 CollReg .....	18
3.3.1.16 Reserved .....	19
3.3.2 PAGE1: 通信 .....	19
3.3.2.1 Reserved .....	19
3.3.2.2 ModeReg .....	20
3.3.2.3 TxModeReg .....	20
3.3.2.4 RxModeReg .....	21
3.3.2.5 TxControlReg .....	21
3.3.2.6 TxASKReg .....	22
3.3.2.7 TxSelReg .....	22
3.3.2.8 RxSelReg .....	23
3.3.2.9 RxThresholdReg .....	24
3.3.2.10 DemodReg .....	24
3.3.2.11 Reserved .....	25
3.3.2.12 Reserved .....	25
3.3.2.13 MfTxReg .....	26
3.3.2.14 MfRxReg .....	26
3.3.2.15 TypeBReg .....	26
3.3.2.16 SerialSpeedReg .....	27

3.3.3	PAGE2: 配置 .....	27
3.3.3.1	Reserved .....	27
3.3.3.2	CRCResultReg .....	28
3.3.3.3	Reserved .....	28
3.3.3.4	ModWidthReg .....	28
3.3.3.5	Reserved .....	29
3.3.3.6	RFCfgReg .....	29
3.3.3.7	GsNReg .....	29
3.3.3.8	CWGSPReg .....	30
3.3.3.9	ModGsPReg .....	30
3.3.3.10	TModeReg, TPrescalerReg .....	31
3.3.3.11	TReloadReg .....	32
3.3.3.12	TcounterValReg .....	32
3.3.4	PAGE3: 测试 .....	33
3.3.4.1	Reserved .....	33
3.3.4.2	TestSel1Reg .....	33
3.3.4.3	TestSel2Reg .....	33
3.3.4.4	TestPinEnReg .....	34
3.3.4.5	TestPinValueReg .....	34
3.3.4.6	TestBusReg .....	35
3.3.4.7	AutoTestReg .....	35
3.3.4.8	VersionReg .....	36
3.3.4.9	AnalogTestReg .....	36
3.3.4.10	TestDAC1Reg .....	37
3.3.4.11	TestDAC2Reg .....	37
3.3.4.12	TestADCReg .....	38
3.3.4.13	RFTReg .....	38
4	WS1850S的功能 .....	39
5	数据接口 .....	41
5.1	自动检测微控制器接口类型 .....	41
5.2	SPI接口 .....	41
5.2.1	概述 .....	41
5.2.2	读数据 .....	42
5.2.3	写数据 .....	42
5.2.4	地址字节 .....	42
5.3	UART接口 .....	43
5.3.1	连接到主机微控制器 .....	43
5.3.2	选择传输速率 .....	43
5.3.3	帧格式 .....	44
5.4	IIC总线接口 .....	46
5.4.1	概述 .....	46
5.4.2	数据有效 .....	46
5.4.3	起始和停止条件 .....	47
5.4.4	字节格式 .....	47
5.4.5	应答 .....	48
5.4.6	位寻址 .....	48
5.4.7	寄存器写访问 .....	49
5.4.8	寄存器写访问 .....	49
5.4.9	高速模式 .....	50

5.4.10 高速传输.....	50
5.4.11 高速模式下的串行数据传输格式.....	51
5.4.12 F/S模式和HS模式之间的切换.....	52
5.4.13 低速模式下的WS1850S.....	52
6 模拟接口和非接触式UART.....	53
6.1 概述.....	53
6.2 Tx驱动器.....	53
6.3 串行数据变换.....	54
6.4 CRC协处理器.....	55
7 FIFO缓冲区.....	55
7.1 概述.....	55
7.2 访问FIFO缓冲区.....	55
7.3 控制FIFO缓冲区.....	56
7.4 FIFO缓冲区的状态信息.....	56
8 定时器组.....	57
9 中断请求系统.....	58
10 振荡电路.....	59
11 节电模式.....	59
11.1 硬掉电.....	59
11.2 软掉电.....	59
11.3 发送器掉电.....	60
12 复位和振荡器启动时间.....	60
12.1 复位时序要求.....	60
12.2 振荡器启动时间.....	60
13 WS1850S命令集.....	61
13.1 概述.....	61
13.2 通用特性.....	61
13.3 WS1850S命令描述.....	61
13.3.1 IDLE命令.....	61
13.3.2 CALCCRC命令.....	61
13.3.3 TRANSMIT 命令.....	62
13.3.4 NOCMDCHANGE命令.....	62
13.3.5 RECEIVE命令.....	62
13.3.6 TRANSCEIVE命令.....	62
13.3.7 MFAUTHENT命令.....	62
13.3.8 SOFTRESET命令.....	63
14 测试信号.....	64
14.1 测试总线.....	64
14.2 管脚AUX的测试信号.....	65
14.3 PRBS.....	65
15 电气特性.....	65
15.1 绝对最大额定值.....	65
15.2 极限值.....	66
15.3 ESD特性.....	66
15.4 温度特性.....	66
15.5 工作条件范围.....	66

15.6	输入/输出管脚特性 .....	67
15.6.1	EA,12C,MFIN和NRESET输入管脚特性 .....	67
15.6.2	D1,D2,D3,D4,D5,D6和D7输入/输出管脚特性 .....	67
15.6.3	SDA输入/输出管脚特性 .....	67
15.6.4	MFOUT输入/输出管脚特性 .....	68
15.6.5	IRQ输入/输出管脚特性 .....	68
15.6.6	RX输入管脚特性 .....	68
15.6.7	OSCIN输入管脚特性 .....	68
15.6.8	AUX2输出管脚特性 .....	69
15.6.9	TX1和TX2输出管脚特性 .....	69
15.7	电气参数 .....	70
15.8	RX输入电压范围 .....	71
15.9	RX输入灵敏度 .....	71
15.10	时钟频率 .....	71
15.11	XTAL振荡器 .....	71
15.12	典型27.12MHz晶体的要求 .....	72
15.13	SPI接口时序 .....	72
15.14	I <sup>2</sup> C时序 .....	73
16	典型应用 .....	74
17	封装 .....	75

## 主要特性

- 高集成度超低功耗的非接触式读写卡芯片，工作在13.56MHz，支持双线圈驱动的各类读写卡方案
- 宽电压工作范围，电压2.0 ~ 5.5V
- 极低的待机和扫描功耗，有效读卡距离可达8 ~ 10cm
- 支持完整的ISO/IEC 14443 Type A/Type B协议
- 支持高传输速率的通信：106kbit/s、212kbit/s、424kbit/s
- 支持的主机接口，
  - SPI接口，速率10Mbit/s
  - I<sup>2</sup>C接口，标准模式速率为100kbps/s
  - UART接口，传输速率1228.8kbit/s
- 64字节的发送和接收FIFO缓冲区
- 可编程定时器
- 具备硬件掉电、软件掉电和发送器掉电等多种节电模式
- 内置温度传感器，以便在芯片温度过高时自动停止 RF 发射
- 采用相互独立的多组电源供电，以避免模块间的相互干扰，提高工作的稳定性
- 具备 CRC 和奇偶校验功能，内置 CRC 协处理器，符合 ISO/IEC14443 和 CCITT 协议
- 内部振荡器，外接 27.12MHz 的晶体
- 支持低功耗卡检测（LPCD）功能
- QFN32 封装进一步减小 PCB 的面积，降低生产成本

## 主要应用

- 金融领域读卡设备，身份证读卡器
- 智能家庭门锁，酒店锁，桑拿柜锁等非接触式读卡装置
- 各种非接触式读卡设备，公交卡、校园卡读卡器
- 各类非接触式门禁系统，签到、考勤机

## 芯片简介

WS1850S是针对金融领域及非接触式门锁类、门禁类和各种读卡设备应用推出的低电压、低成本的符合ISO/IEC 14443 Type A/Type B协议并工作在13.56MHz高频模式下的读写卡芯片，具有高集成度和超低功耗的特点。特别适用于在追求低成本的同时需要较高性能的非接触式读卡数据传输的应用场合。

## 1 芯片封装

WS1850S采用通用的管脚间距为0.5mm的QFN32封装形式，管脚定义如图1.1所示。

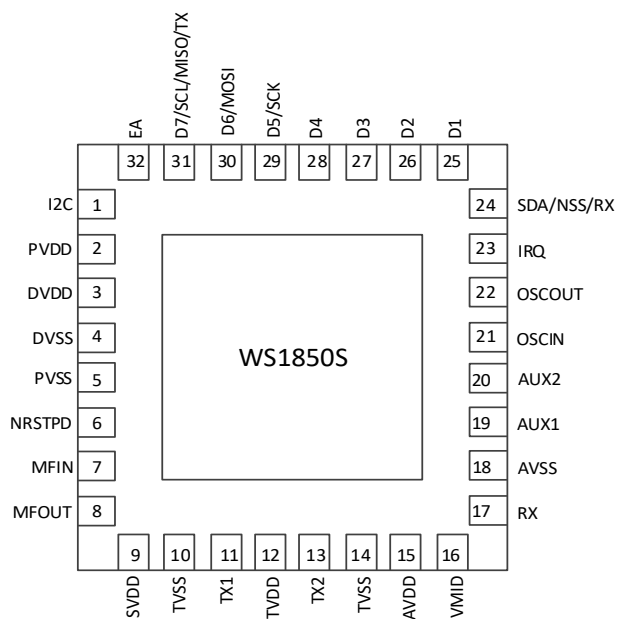


图1.1 QFN32封装脚位图

## 2 管脚定义

表2.1 芯片管脚定义

序号	名称	类型	描述
1	I <sup>2</sup> C	I	I <sup>2</sup> C接口使能, 高电平有效
2	PVDD	PWR	管脚电源
3	DVDD	PWR	数字电源
4	DVSS	PWR	数字地
5	PVSS	PWR	管脚电源地
6	NRSTPD	I	复位引脚, 低电平复位
7	MFIN	I	MF信号输入
8	MFOUT	O	MF信号输出
9	SVDD	PWR	MFIN和MFOUT 的电源
10	TVSS	PWR	发射器的地
11	TX1	O	发射器1, 输出调制的13.56MHz 的能量载波信号
12	TVDD	PWR	发射器电源
13	TX2	O	发射器2, 输出调制的13.56MHz 的能量载波信号
14	TVSS	PWR	发射器地
15	AVDD	PWR	模拟电源
16	VMID	PWR	内部参考电压
17	RX	I	RF信号输入
18	AVSS	PWR	模拟地
19	AUX1	O	测试管脚
20	AUX2	O	测试管脚
21	OSCIN	I	外接27.12MHz晶体, 也可接外部时钟信号
22	OSCOU	O	外接27.12MHz晶体
23	IRQ	O	中断信号管脚, 输出中断信号。
24	SDA/NSS/RX	I/O	数字通信接口 / I <sup>2</sup> C的SDA / SPI从片的片选 / UART的RX。与选择的通讯方式有关。
25	D1	I/O	并口通讯接口 / I <sup>2</sup> C从片地址选择位 ADDR_0
26	D2	I/O	并口通讯接口 / I <sup>2</sup> C从片地址选择位 ADDR_1
27	D3	I/O	并口通讯接口 / I <sup>2</sup> C从片地址选择位 ADDR_2

28	D4	I/O	并口通讯接口 / I <sup>2</sup> C从片地址选择位 ADDR_3
29	D5/ /SCK	I/O	并口通讯接口 / I <sup>2</sup> C从片地址选择位 ADDR_4 / SPI接口的时钟输入端。与选择的通讯方式有关
30	D6/MOSI	I/O	并口通讯接口 / I <sup>2</sup> C从片地址选择位 ADDR_5
31	D7/SCL/MISO/TX	I/O	并口通讯接口 / I <sup>2</sup> C从片的SCL / SPI从输出 / UART的输出。与选择的通讯方式有关
32	EA	I	I <sup>2</sup> C地址编码使能

## 3 寄存器列表

### 3.1 WS1850S寄存器概述

**表3.1寄存器概述**

地址 (HEX)	寄存器名称	功能
<b>PAGE0: 命令和状态</b>		
0x00	Reserved	保留为将来之用
0x01	CommandReg	启动和停止命令的执行
0x02	ComIEnReg	中断请求传递的使能和禁能控制位
0x03	DivIEnReg	中断请求传递的使能和禁能控制位
0x04	ComIrqReg	包含中断请求标志
0x05	DivIrqReg	包含中断请求标志
0x06	ErrorReg	错误标志, 指示执行的上个命令的错误状态
0x07	Status1Reg	包含通信的状态标志
0x08	Status2Reg	包含接收器和发送器的状态标志
0x09	FIFODataReg	64 字节 FIFO 缓冲区的输入和输出
0x0A	FIFOLevelReg	指示 FIFO 中存储的字节数
0x0B	WaterLevelReg	定义 FIFO 下溢和上溢报警的FIFO 深度
0x0C	ControlReg	不同的控制寄存器
0x0D	BitFramingReg	面向位的帧的调节
0x0E	CollReg	RF 接口上检测到的第一个位冲突的位的位置
0x0F	Reserved	保留为将来之用
<b>PAGE1: 通信</b>		
0x10	Reserved	保留为将来之用
0x11	ModeReg	定义发送和接收的常用模式
0x12	TxModeReg	定义发送过程的数据传输速率
0x13	RxModeReg	定义接收过程中的数据传输速率
0x14	TxControlReg	控制天线驱动器管脚TX1 和 TX2 的逻辑特性



0x15	TxASKReg	发送调制的设置
0x16	TxSeIReg	选择天线驱动器的内部源
0x17	RxSeIReg	选择内部的接收器设置
0x18	RxThresholdReg	选择位译码器的阈值
0x19	DemodReg	定义解调器的设置
0x1A	Reserved	保留为将来之用
0x1B	Reserved	保留为将来之用
0x1C	MfTxReg	MIFRE通信传输参数的设置
0x1D	MfRxReg	MIFRE通信接收参数的设置
0x1E	TypeBReg	控制ISO/IEC 14443B功能
0x1F	SerialSpeedReq	选择串行 UART 接口的速率
PAGE2: 配置		
0x20	Reserved	保留为将来之用
0x21	CRCResultReg	显示 CRC 计算的 实际 MSB 和LSB 值
0x22		
0x23	Reserved	保留为将来之用
0x24	ModWidthReg	控制 ModWidth 的设置
0x25	Reserved	保留为将来之用
0x26	RFCfgReg	配置接收器增益
0x27	GsNReg	选择天线驱动器管脚TX1 和 TX2 的调制电导
0x28	CWGScfgReg	选择天线驱动器管脚TX1 和 TX2 的调制电导
0x29	ModGsCfgReg	选择天线驱动器管脚TX1 和 TX2 的调制电导
0x2A	TModeReg	定义内部定时器的设置
0x2B	TPrescalerReg	
0x2C	TReloadReg	描述 16 位长的定时器重装值
0x2D		
0x2E	TcounterValueReg	显示 16 位长的实际定时器值
0x2F		
PAGE3: 测试		
0x30	Reserved	保留为将来之用
0x31	TestSel1Reg	常用测试信号的配置
0x32	TestSel2Reg	常用测试信号的配置和 PRBS 控制
0x33	TestPinEnReg	D1-D7 输出驱动器的使能管脚（注：仅用于串行接口）
0x34	TestPin ValueReg	定义 D1-D7 用作I/O 总线时的值
0x35	TestBusReg	显示内部测试总线的状态
0x36	AutoTestReg	控制数字自测试
0x37	VersionReg	显示版本
0x38	AnalogTestReg	控制管脚 AUX1 和AUX2
0x39	TestDAC1Reg	定义TestDAC1 的测试值

0x3A	TestDAC2Reg	定义TestDAC2 的测试值
0x3B	TestADCReg	显示 ADC I 和 Q 通道的实际值
0x3C-0x3F	RFTReg	保留用于产品测试

## 3.2 寄存器位的操作及其名称

**表3.2 寄存器位操作及名称**

缩写	操作	描述
r/w	读和写	这些位由微控制器写入和读出。由于它们只用作控制用途，它们的内容不受内部状态机的影响，例如，CommIEn 寄存器可由微控制器写入和读出，也可由内部状态机读出，但状态机不能改变它们的内容。
dy	动态	这些位由微控制器写入和读出。然而，它们也可由内部状态机自动写入，例如，当执行完一个实际的命令后，命令寄存器的内容随之自动更改。
r	只读	这些寄存器保存着大量的标志，其值仅由内部状态来决定，例如，CRCReady 标志不是从外部写入，而是显示了一个内部的状态。
w	只写	读这些只写寄存器时通常返回零。
Reserved	-	这些寄存器保留为将来之用或用于产品测试，它们的值不应被更改。

## 3.3 寄存器描述

### 3.3.1 PAGE0: 命令和状态

#### 3.3.1.1 Reserved

保留为将来所用的寄存器。

<b>Reserved</b>	地址: <b>0x00</b>	复位值: <b>00000000 (0x00)</b>
	7 6 5 4 3 2 1 0	
		00000000
访问权限		Reserved

**表3.3 Reserved的位描述**

位	符号	功能
7-0	00000000	Reserved

### 3.3.1.2 CommandReg

启动和停止命令的执行。

<b>CommandReg</b>		地址：0x01			复位值：00100000（0x20）			
	7	6	5	4	3	2	1	0
	00		RcvOff	PowerDown	Command			
访问权限	Reserved		r/w	dy	dy	dy	dy	dy

**表3.4 CommandReg的位描述**

位	符号	功能
7-6	00	Reserved
5	RcvOff	该位置位时, 接收器的模拟电路部分被关断。
4	PowerDown	该位置位时, 进入软PowerDown 模式。 该位清零时, WS1850S启动唤醒过程。在唤醒过程中该位始终为 1。 0表示 WS1850S 已准备好, 可以开始操作。 注: 如果命令SoftReset 已经被激活, PowerDown 位就不能再置位。
3-0	Command	根据命令代码来激活命令。通过读该寄存器来了解实际正在执行的命令。

### 3.3.1.3 CommIEnReg

中断请求传递的使能和禁能控制位。

CommIEnReg

地址: 0x02

复位值: 10000000 (0x80)

	7	6	5	4	3	2	1	0
	IRqInv	TxIEn	RxIEn	IdleIEn	HiAlertI En	LoAlertIEn	ErrIEn	TimerIEn
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表3.5 CommIEnReg的位描述**

位	符号	功能
7	IRqInv	该位置位时, 管脚IRQ 上的信号与寄存器Status1Reg 的IRq 位的值相反。 该位清零时, 管脚 IRQ 上的信号与IRq 位的值相同。该位与 DivIEnReg 寄存器的IrqPushPull 位一起使用, 如果是默认值 1, 则管脚IRQ 的输出电平为三态。
6	TxIEn	允许发送器中断请求 (由位TxIRq 来指示) 传递到IRQ 管脚。
5	RxIEn	允许接收器中断请求 (由位 RxIRq 来指示) 传递到IRQ 管脚。
4	IdleIEn	允许空闲中断请求 (由位IdleIRq 来指示) 传递到IRQ 管脚。
3	HiAlertIEn	允许高报警中断请求 (由位HiAlertIRq) 传递到IRQ 管脚。
2	LoAlertIEn	允许低报警中断请求 (由位LoAlertIRq) 传递到IRQ 管脚。
1	ErrIEn	允许错误中断请求 (由位ErrIRq) 传递到IRQ 管脚。
0	TimerIEn	允许定时器中断请求 (由位TimerIRq) 传递到 IRQ 管脚。

### 3.3.1.4 DivIEnReg

<b>DivIEnReg</b>	地址: <b>0x03</b>				复位值: <b>00000000 (0x00)</b>	
	7	5	4	3	2	1 0
	IRQPushPull	00	MfinActIEn	0	CRCIEn	00
访问权限	r/w	Reserved	r/w	Reserved	r/w	Reserved

**表3.6 DivIEnReg的位描述**

位	符号	功能
7	IRQPushPull	该位置位时, IRQ 用作标准CMOS 输出管脚。 该位清零时, IRQ 用作开漏输出管脚。
6-5	00	Reserved
4	MfinActIEn	允许 MFIN 有效中断请求传递到IRQ 管脚。
3	0	Reserved
2	CRCIEn	允许 CRC 中断请求 (由 CRCIRq 来指示) 传递到IRQ 管脚。
1-0	00	Reserved

### 3.3.1.5 CommIRqReg

包含中断请求标志。

<b>CommIRqReg</b>	地址: <b>0x04</b>				复位值: <b>00000100 (0x04)</b>		
	7	6	5	4	3	2	1 0
	Set1	TxIRq	RxIRq	IdleIRq	HiAlertIRq	LoAlertIRq	ErrIRq TimerIRq
访问权限	w	dy	dy	dy	dy	dy	dy

**表3.7 CommIRQReg的位描述**

位	符号	功能
7	Set1	该位置位时, Set1 定义 CommIRqReg 寄存器中的屏蔽位置位。 该位清零时, Set1 定义 CommIRqReg 寄存器中的屏蔽位清零。
6	TxIRq	该位在发送数据的最后一位发送出去后立刻置位。
5	RxIRq	当接收器检测到一个有效数据流结束后, 该位置位。如果寄存器 RxModeReg 的 RxNoErr 位置位, 当 FIFO 中有可用的数据字节时, RxIRQ 位只能置位。
4	IdleIRq	当一个命令自身终止 (例如, 当 CommandReg 的值从其它命令变为空闲命令时) 该位置位。 如果启动一个未知命令, CommandReg 的值变为空闲命令, 并且 IdleIRq 置位。由微控制器启动的空闲命令不会置位 IdleIRq。
3	HiAlertIRq	该位在 Status1Reg 寄存器的 HiAlert 位置位时置位。与 HiAlert 相反, HiAlertIRq 将保存此中断事件, 直到得到 Set1 的清零指示时才能被复位。

2	LoAlertIRq	该位在 Status1Reg 寄存器的 LoAlert 位置位时置位。与 LoAlert 相反，LoAlertIRq 将保存此中断事件，直到得到Set1的清零指示时才能被复位。
1	ErrIRq	只要Error 寄存器中任何一个错误标志被设置，该位就置位。
0	TimerIRq	当定时器的TimerValue 寄存器的值递减到零时，该位置位。

注：CommIRqReg 寄存器的每一位都可通过软件来清零。

### 3.3.1.6 DivIRqReg

包含中断请求标志。

DivIRqReg

地址：0x05

复位值：000x0000（0Xx0）

7	6	5	4	3	2	1	0
Set2	00		MfinActIRq	0	CRCIRq	00	
访问权限	w	Reserved		dy	Reserved	dy	Reserved

表3.8 DivIRqReg的位描述

位	符号	功能
7	Set2	该位置位时，Set2 定义 DivIRqReg 寄存器中的屏蔽位置位。该位清零时，Set2 定义 DivIRqReg 寄存器中的屏蔽位清零。
6-5	00	Reserved
4	MfinActIRq	MFIN 有效时该位置位。当检测到一个上升或下降信号沿时中断被设置。
3	0	Reserved
2	CRCIRq	当 CRC 命令有效且所有数据被处理时该位置位。
1-0	00	Reserved

注：DivIRqReg 寄存器中的每一位都可通过软件来清零。

### 3.3.1.7 ErrorReg

错误标志寄存器，显示执行的上个命令的错误状态。

ErrorReg

地址：0x06

复位值：00000000（0x00）

7

6

5

4

3

2

1

0

WrErr

TempErr

0

BufferOfl

CollErr

CRCErr

ParityErr

ProtocolErr

访问权限

r

r

Reserved

r

r

r

r

r

**表3.9 ErrorReg的位描述**

位	符号	功能
7	WrErr	当在AutoColl 命令或 MFAuthent 命令执行过程中微控制器向 FIFO 写入数据或在发送 RF 接口的最后一位数据和接收 RF 接口的最后一位数据之间的时间内微控制器向 FIFO 写入数据时, 该位置位。
6	TempErr	如果内部温度传感器检测到过热, 则该位置位。这时天线驱动器自动关断。
5	0	Reserved
4	BufferOvfI	如果 FIFO 缓冲区已满时微控制器或 WS1850S 的内部状态机 (如接收器) 还向 FIFO 写入数据, 则该位置位。
3	CollErr	该位在检测到位冲突时置位。它在接收器启动阶段自动清除。此标志只在106kbit/s 的位良好的防冲突机制中有效。在 212 和 424kbit/s 的通信机制下此标志始终为 0。
2	CRCErr	如果RxModeReg 寄存器的RxCRCEn 置位且 CRC 计算出错, 则该位置位。此标志在接收器启动阶段自动清零。
1	ParityErr	如果奇偶校验出错, 则该位置位。此标志在接收器启动阶段自动清零。它只在 106kbit/s 的ISO 14443A/MIFARE 通信中有效。
0	ProtocolErr	只要出现以下一种情况, 该位就置位: a.) 如果 SOF 出错, 则该位置位。它在接收器启动阶段自动清零。此标志只在 106kbit/s 的通信中有效。 b.) 在 MFAuthent 命令执行过程中, 如果数据流接收到的字节数错误, 则ProtocolErr 置位。

注: 执行命令时除 TempErr 之外的所有错误标志都将清除。这些标志不能通过软件置位。

### 3.3.1.8 Status1Reg

包含通信的状态标志。

Status1Reg	地址 <b>0x07</b>							复位值: <b>00100001</b>
								( <b>0x21</b> )
	7	6	5	4	3	2	1	0
	0	CRCOk	CRCReady	IRq	TRunning	0	HiAlert	LoAlert
访问权限	Reserved	r	r	r	r	Reserved	r	r

**表3.10 Status1Reg的位描述**

位	符号	功能
7	0	Reserved
6	CRCOk	CRC 结果为 0 时该位置位。发送和接收数据时不定义 CRCOk(使用 ErrorReg 寄存器的 CRCErr) CRCOk 用来指示 CRC 协处理器的状态, 在计算过程中其值变为 0; 当计算正确执行后, 其值变为 1。
5	CRCReady	CRC 计算完成后该位置位。此标志只在 CRC 协处理器计算时才有效。
4	IRq	该位用来显示请求中断的中断源(有关中断使能标志的设置, 见寄存器 CommIE nReg 和 DivIE nReg)。
3	TRunning	WS1850S 的定时器单元运行时, 该位置位。定时器使 TcounterValReg 的值跟随下个定时器时钟的到来而递减。 注: 在门控模式中, 如果定时器通过寄存器位使能, 则 TRunning 位置位。该位不受门控信号的影响。
2	0	Reserved
1	HiAlert	当 FIFO 缓冲区中保存的字节数满足下面的等式时, 该位置位。 等式: $HiAlert = (64 - FIFOLength) \leq WaterLevel$ 举例: $FIFOLength = 60, WaterLevel = 4 \rightarrow HiAlert = 1$ $FIFOLength = 59, WaterLevel = 4 \rightarrow HiAlert = 0$
0	LoAlert	当 FIFO 缓冲区中保存的字节数满足下面的等式时, 该位置位。 等式: $LoAlert = FIFOLength \leq WaterLevel$ 举例: $FIFOLength = 4, WaterLevel = 4 \rightarrow LoAlert = 1$ $FIFOLength = 5, WaterLevel = 4 \rightarrow LoAlert = 0$

### 3.3.1.9 Status2Reg

包含接收器、发送器和数据模式检测器的状态标志。

Status2Reg

地址: 0x08

复位值: 00000000 (0x00)

7	6	5	4	3	2	1	0
TempSens Off	0	00	MFCrypto1On	Modem State			
访问权限	r/w	r/w	Reserved	dy	r	r	r

**表3.11 Status2Reg的位描述**

位	符号	功能
7	TempSensOff	内部温度传感器关断时该位置位。
6	0	Reserved
5-4	00	Reserved

3	MFCrypto10n	该位用来指示 MIFARE Cypto1 单元接通和因此所有卡的数据通信被加密的情况。只有成功执行 MFAuthent 命令后，该位才能置位。该位只在 MIFARE 标准卡的读写器模式中有效。该位通过软件来清零。
2-0	ModemState	ModemState 用来显示发送器和接收器状态机的状态。 状态描述 000 IDLE 001 等待寄存器BitFramingReg 的 StartSend 的设置 010 TxWait 011 发送数据 100 RxWait 101 等待数据 110 接收数据

### 3.3.1.10 FIFODataReg

64 字节 FIFO 缓冲区的输入和输出。

FIFODataReg	地址: 0x09				复位值: xxxxxxxx (0xXX)			
	7	6	5	4	3	2	1	0
	FIFOData							
访问权限	dy	dy	dy	dy	dy	dy	dy	dy

表3.12 FIFODataReg的位描述

位	符号	功能
7-0	FIFOData	内部 64 字节 FIFO 缓冲区的数据输入和输出口。FIFO 缓冲区用作所有数据流输入和输出的并行输入/并行输出转换器。

### 3.3.1.11 FIFOLevelReg

指示 FIFO 中保存的字节数。

<b>FIFOLevelReg</b>	地址: <b>0x0A</b>	复位值: <b>00000000 (0x00)</b>
	7 6 5 4 3 2 1 0	
	FlushBuffer	FIFOLevel
访问权限	w	r r r r r r r

表3.13 FIFOLevelReg的位描述

位	符号	功能
7	FlushBuffer	该位置位时，内部 FIFO 缓冲区的读和写指针以及寄存器 ErrReg 的BufferOvfl 标志立刻被清除。该位被读出时返回 0。
6-0	FIFOLevel	指示 FIFO 缓冲区中保存的字节数。写 FIFODataReg 时该字段的值递增；读FIFODataReg 时该字段的值递减。



## 3.3.1.12 WaterLevelReg

定义 FIFO 下溢和上溢报警的 FIFO 深度。

**WaterLevelReg**

地址: **0x0B**

复位值: **00000000 (0x00)**

	7	6	5	4	3	2	1	0
	00		WaterLevel					
访问权限	Reserved	r	r	r	r	r	r	r

**表3.14 WaterLevelReg的位描述**

位	符号	功能
7-6	00	Reserved
5-0	WaterLevel	该寄存器定义了用于微控制器的 WS1850S 的 FIFO 缓冲区上溢或下溢的报警深度。 如果 FIFO 缓冲区剩余空间可保存的字节数等于或小于定义的 WaterLevel 字节时, Status1Reg 寄存器的HiAlert 位置位。 如果 FIFO 缓冲区的长度等于或小于定义的 WaterLevel 字节时, Status1Reg 寄存器的LoAlert 位置位。

## 3.3.1.13 ControlReg

包含不同的控制位。

**ControlReg**

地址: **0x0C**

复位值: **00010000 (0x10)**

	7	6	5	4	3	2	1	0
	TstopNow	TstartNow	010		RxLastBits			
访问权限	w	w	Reserved		r	r	r	r

**表3.15 ControlReg的位描述**

位	符号	功能
7	TStopNow	该位置位时, 定时器立刻停止运行。该位读出时返回 0。
6	TStartNow	该位置位时, 定时器立刻开始运行。该位读出时返回 0。
5-3	010	Reserved
2-0	RxLastBits	显示最后接收到的字节的有效位的数目。如果该位为 0, 则整个字节有效。

## 3.3.1.14 BitFramingReg

面向位的帧的调节。

**BitFramingReg**

地址: **0x0D**

复位值: **00000000 (0x00)**

	7	6	5	4	3	2	1	0
	StartSend	RxAlign			0	TxLastBits		
访问权限	w	dy	dy	dy	Reserved	dy	dy	dy

**表3.16 BitFramingReg的位描述**

位	符号	功能
7	StartSend	该位置位时启动数据的发送。 该位只在与收发命令一起使用时才有效。
6-4	RxAlign	用于面向位的帧的接收：RxAlign 定义第一个接收到的位在 FIFO 中的存放位置。接收到的其它位依次存放在后面的位置。 例如：RxAlign=0：接收到的 LSB 位存放在位 0，接收到的第 2 位存放在位 1。 RxAlign=1：接收到的 LSB 位存放在位 1，接收到的第 2 位存放在位 2。 RxAlign=7：接收到的 LSB 位存放在位 7，接收到的第 2 位存放在下个字节的位 0 的位置上。 此标志只在 106kbit/s 的位良好的防冲突机制中有效。其它模式中应设置为 0。
3	0	Reserved
2-0	TxLastBits	用于面向位的帧的发送：TxLastBits 定义发送的最后一个字节的位数。000 表示最后一个字节的所有位都应发送。

### 3.3.1.15 CollReg

定义在 RF 接口上检测到的第一个位冲突。

**CollReg**

地址：0x0E

复位值：101xxxxx (0xXX)

7	6	5	4	3	2	1	0
Values	0	CollPos	CollPos				
AfterColl		NotValid					

访问权限

r/w    Reserved    r    r    r    r    r    r

**表3.17 CollReg的位描述**

位	符号	功能
7	ValuesAfterColl	如果该位设置成 0，则所有接收的位在冲突后将被清除。 该位只在 106kbit/s 的位良好的防冲突过程中使用，其它情况下该位应当设置成 1。
6	0	Reserved
5	CollPosNotValid	如果未检测到冲突或产生冲突的位置超出CollPos 的范围，则该位置位。

4-0	CollPos	这些位显示了在接收帧中检测到的第一个冲突的位的位置，它们只能显示数据位的位置 例如： 0x00 表明位冲突发生在起始位 0x01 表明位冲突发生在第 1 位 0x08 表明位冲突发生在第 8 位 只有位CollPosNotValid 清零时上面的这些位才能被识别。
-----	---------	---

### 3.3.1.16 Reserved

保留为将来之用的寄存器。

<b>Reserved</b>	地址: <b>0x0F</b>	复位值: <b>00000000 (0x00)</b>
	7      6      5      4      3      2      1      0	
		00000000
访问权限		Reserved

表3.18 Reserved的位描述

位	符号	功能
7-0	00000000	Reserved

## 3.3.2 PAGE1: 通信

### 3.3.2.1 Reserved

保留为将来之用的寄存器。

<b>Reserved</b>	地址: <b>0x10</b>	复位值: <b>00000000 (0x00)</b>
	7      6      5      4      3      2      1      0	
		00000000
访问权限		Reserved

表3.19 Reserved的位描述

位	符号	功能
7-0	00000000	Reserved

### 3.3.2.2 ModeReg

定义发送和接收的常用模式。

ModeReg	地址: 0x11				复位值: 00111111 (0x3F)			
	7	6	5	4	3	2	1	0
	00		TxWaitRF		1	PolMfin	1	CRCPreset
访问权限	Reserved		r/w		Reserved	r/w	Reserved	r/w

表3.20 ModeReg的位描述

位	符号	功能
7-6	00	Reserved
5	TxWaitRF	如果 RF 场 (RF field) 产生, 则 TxWaitRF 置位, 发送器只能在此时被启动。
4	1	Reserved
3	PolMfin	PolMfin定义 NFIN 管脚的极性。PolMfin为1 时, MFIN 管脚高电平有效; PolMfin为 0 时, MFIN 管脚低电平有效。 注: 内部的包络信号 (envelope signal) 被编码为低有效。
2	1	Reserved
1-0	CRCPreset	定义 CRC 协处理器CalCRC 命令的预置值。
		注: 通信过程中, 预置值根据模式的定义自动选择。
		状态 描述
		00 0000h
		01 6363h
		10 A671h
		11 FFFFh

### 3.3.2.3 TxModeReg

定义发送过程的数据速率。

TxModeReg	地址: 0x12				复位值: 00000000 (0x00)			
	7	6	5	4	3	2	1	0
	TxCRCEn	TxSpeed			InvMod	000		
访问权限	r/w	dy	dy	dy	r/w	Reserved		

表3.21 TxModeReg的位描述

位	符号	功能
7	TxCRCEn	如果该位置位，则使能在数据发送过程中产生 CRC。
6-4	TxSpeed	定义数据发送的位速率。WS1850S的传输速率高达 424kbit/s。状态描述： 000 106kbit/s 001 212kbit/s 010 424kbit/s 011 848kbit/s 100 Reserved 101 Reserved 110 Reserved 111 Reserved
3	InvMod	该位置位时，发送数据的调制反相。
2-0	000	Reserved

### 3.3.2.4 RxModeReg

定义接收过程的数据速率。

**RxModeReg**

地址：0x13

复位值：00000000 (0x00)

	7	6	5	4	3	2	1	0
	RxCRCEn	RxSpeed			RxNoErr	000		
访问权限	r/w	dy	dy	dy	r/w	Reserved		

表3.22 RxModeReg的位描述

位	符号	功能
7	RxCRCEn	如果该位置位，则使能在数据接收过程中产生CRC。 注：该位只能在 106kbit/s 的传输中清零。
6-4	RxSpeed	定义数据接收的位速率。WS1850S的传输速率高达 424kbit/s。状态描述： 000 106kbit/s 001 212kbit/s 010 424kbit/s 011 848kbit/s 100 Reserved 101 Reserved 110 Reserved 111 Reserved
3	RxNoErr	忽略接收到的无效数据流（接收到的数据小于 4 位）接收器仍然保持有效。
2-0	000	Reserved

### 3.3.2.5 TxControlReg

控制天线驱动器管脚 Tx1 和 Tx2 的逻辑操作。

## TxControlReg

 地址: **0x14**

 复位值: **10000000 (0x80)**

7	6	5	4	3	2	1	0
InvTX2RF	InvTX1RF	InvTX2RF	InvTX1RF	Tx2CW	0	Tx2RFEn	Tx1RFEn
On	On	Off	Off				
r/w	r/w	r/w	r/w	r/w	Reserved	r/w	r/w

访问权限

**表3.23TxControlReg的位描述**

位	符号	功能
7	InvTX2RFOn	如果驱动器TX2 被使能, 则该位置位, TX2 管脚的输出信号反相。
6	InvTX1RFOn	如果驱动器TX1 被使能, 则该位置位, TX1 管脚的输出信号反相。
5	InvTX2RFOff	如果驱动器TX2 被禁能, 则该位置位, TX2 管脚的输出信号反相。
4	InvTX1RFOff	如果驱动器TX1 被禁能, 则该位置位, TX1 管脚的输出信号反相。
3	Tx2CW	该位置位时, TX2 管脚的输出信号不断传递未调制的 13.56MHz 的能量载波信号。 该位清零时, Tx2CW 使能调制 13.56MHz 的能量载波信号。
2	0	Reserved
1	Tx2RFEn	该位置位时, TX2 管脚的输出信号将传递经发送数据调制的 13.56MHz 的能量载波信号。
0	Tx1RFEn	该位置位时, TX1 管脚的输出信号将传递经发送数据调制的 13.56MHz 的能量载波信号。

### 3.3.2.6 TxASKReg

发送调制的设置。

## TxASKReg

 地址: **0x15**

 复位值: **00000000 (0x00)**

7	6	5	4	3	2	1	0
0	Force 100ASK	000000					
Reserved	r/w	Reserved					

访问权限

**表3.24TxASKReg的位描述**

位	符号	功能
7	0	Reserved
6	Force 100ASK	强制进行100%ASK的调制, 他独立于寄存器ModGsPReg 的设置。
5-0	000000	Reserved

### 3.3.2.7 TxSelReg

选择模拟部分的内部源。

**TxSelReg**

 地址: **0x16**

 复位值: **00010000 (0x10)**

	7	6	5	4	3	2	1	0
	00		DriverSel		SigOutSel			
访问权限	Reserved		r/w	r/w	r/w	r/w	r/w	r/w

**表3.25 TxSelReg的位描述**

位	符号	功能
7-6	00	Reserved
5-4	DriverSel	选择驱动器Tx1 和Tx2 的输入。 状态描述: 00 三态 注: 如果 DriverSel 设置成三态模式, 则在软掉电 (softpower down) 中驱动器只能处于三态模式。 01 内部编码器的调制信号 (包络) 10 Reserved 11 高电平 注: 高电平取决于 InvTx1RFOn/InvTx1RFOff 和 Tx2RFOn/InvTx2RFOff 的设置。
3-0	MFOutSel	选择 MFOutSel 管脚的输入。 状态描述: 0000 三态 0001 低电平 0010 高电平 0011 TestBusBitSel 寄存器定义的测试总线信号 0100 内部编码器的调制信号 (包络) 0101 发送的串行数据流 0110 Reserved 0111 TestBusBitSel 寄存器定义的接收到的串行数据流 1000-1011 Reserved 1100-1111 Reserved

### 3.3.2.8 RxSelReg

选择内部接收器设置。

**RxSelReg**

 地址: **0x17**

 复位值: **10000100 (0x84)**

	7	6	5	4	3	2	1	0
	UartSel		RxWait					
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表3.26 RxSelReg的位描述**

位	符号	功能
---	----	----

7-6	UartSel	选择非接触式 UART 的输入 状态      描述 00      固定的低电平 01      Reserved 10      内部模拟部分的调制信号 11      Reserved
5-0	RxWait	数据发送后，接收器的启动会延迟 RxWait 个位时钟。在这段‘帧保护时间（frame guard time）’内，Rx 管脚上的所有信号都被忽略。 接收命令忽略此参数。但所有其它命令（如收发命令、MFAuthent 命令）会考虑该参数。

### 3.3.2.9 RxThresholdReg

选择位译码器的阈值。

RxThresholdReg	地址: 0x18				复位值: 10000100 (0x84)			
	7	6	5	4	3	2	1	0
	MinLevel				0	CollLevel		
	r/w	r/w	r/w	r/w	Reserved	r/w	r/w	r/w

表3.27 RxThresholdReg的位描述

位	符号	功能
7-4	MinLevel	定义应当接受的译码器输入的最小信号强度。如果信号强度低于此字段的值，则该信号被忽略。
3	0	Reserved
2-0	CollLevel	定义译码器输入的最小信号强度，曼彻斯特编码的信号的弱半位必须达到这个强度，来产生与较强半位的幅度相关的一个位冲突。

### 3.3.2.10 DemodReg

定义解调器的设置。

DemodReg	地址: 0x19				复位值: 01001101 (0x4D)			
	7	6	5	4	3	2	1	0
	AddIQ		FixIQ	0	TauRcv		TauSync	
访问权限	r/w	r/w	r/w	Reserved	r/w	r/w	r/w	r/w

表3.28DemodReg的位描述

位	符号	功能
---	----	----



7-6	AddIQ	定义接收过程中I 和 Q 通道的使用。 注：要使能下面的设置，FixIQ 必须为 0。 <table><tr><td>状态</td><td>描述</td></tr><tr><td>00</td><td>选择更强的通道</td></tr><tr><td>01</td><td>选择更强的通道，冻结通信中选择的通道</td></tr><tr><td>10</td><td>Reserved</td></tr><tr><td>11</td><td>Reserved</td></tr></table>	状态	描述	00	选择更强的通道	01	选择更强的通道，冻结通信中选择的通道	10	Reserved	11	Reserved
状态	描述											
00	选择更强的通道											
01	选择更强的通道，冻结通信中选择的通道											
10	Reserved											
11	Reserved											
5	FixIQ	如果该位置位且 AddIQ 的低位为 0，则接收固定使用I 通道。 如果该位置位且 AddIQ 的低位为 1，则接收固定使用Q 通道。										
4	0	Reserved										
3-2	TauRcv	更改数据接收过程中内部 PLL 的时间常数。										
1-0	TauSync	更改突发过程中内部 PLL 的时间常数。										

### 3.3.2.11 Reserved

保留为将来之用的寄存器。

<b>Reserved</b>	地址: <b>0x1A</b>	复位值: <b>00000000 (0x00)</b>
	7      6      5      4      3      2      1      0	
		00000000
访问权限		Reserved

表3.29 Reserved的位描述

位	符号	功能
7-0	00000000	Reserved

### 3.3.2.12 Reserved

保留为将来之用的寄存器。

<b>Reserved</b>	地址: <b>0x1B</b>	复位值: <b>00000000 (0x00)</b>
	7      6      5      4      3      2      1      0	
		00000000
访问权限		Reserved

表3.30 Reserved的位描述

位	符号	功能
7-0	00000000	Reserved

### 3.3.2.13 MfTxReg

MIFARE通信时发送参数的设置。

<b>MfTxReg</b>	地址: <b>0x1C</b>	复位值: <b>01100010 (0x62)</b>
	7      6      5      4      3      2      1      0	
	011000	TxWait[1:0]
访问权限	Reserved	r/w

表3.31 MfTxReg的位描述

位	符号	功能
7-2	011000	Reserved
1-0	TxWait[1:0]	定义附加的响应时间, 附加的7位的值为默认值。

### 3.3.2.14 MfRxReg

MIFARE通信时接收参数的设置。

MfRxReg	地址: 0x1D				复位值: 00100000 (0x20)			
	7	6	5	4	3	2	1	0
	000			ParitiDisable	0000			
	Reserved			r/w	Reserved			
访问权限								

表3.32 MfRxReg的位描述

位	符号	功能
7-5	000	Reserved
4	ParitiDisable	数据传输时禁止生成奇偶位同时在数据接收时禁止奇偶位校验, 接收到的奇偶位作为数据位来处理。
3-0	0000	Reserved

### 3.3.2.15 TypeBReg

保留为将来之用的寄存器。

TypeBReg	地址: 0x1E				复位值: 00000000 (0x00)		
	7	6	5	4	3	2	1 0
	RxSOFReq	RxEOFReq	0	EOFSOF Width	NoTxSOF	NoTxEOF	TxEgt[1:0]
	r/w	r/w	Reserved	r/w	r/w	r/w	r/w
访问权限							

**表3.33 TypeBReg的位描述**

位	符号	功能
7	RxSOFReq	1: 需要SOF, 不使用SOF启动的数据流将被忽略。 0: 接受以SOF启动或不以SOF启动的数据流, SOF被删除而不是写进FIFO。
6	RxEOFReq	1: 需要EOF, 在没有EOF的情况下, 数据流会产生协议错误 0: 接受以EOF结尾或不以EOF结尾的数据流, EOF被删除而不是写进FIFO。
5	0	Reserved
4	EOFSOF Width	1: EOS和SOF在ISO/IEC 14443 B协议中的最大长度。 0: EOS和SOF在ISO/IEC 14443 B协议中的最小长度。
3	NoTxSOF	限制SOF
2	NoTxEOF	限制EOF
1-0	TxEgt[1:0]	定义EGT位长度 00: 0位 01: 1位 10: 2位 11: 3位

### 3.3.2.16 SerialSpeedReg

选择串行 UART 接口的速率。

<b>SerialSpeedReg</b>	地址: <b>0x1F</b>	复位值: <b>11101011 (0xEB)</b>
	7 6 5 4 3 2 1 0	
	BR_T0	BR_T1
访问权限	r/w r/w r/w r/w r/w r/w r/w r/w	

**表3.34 SerialSpeedReg的位描述**

位	符号	功能
7-5	BR_T0	BR_T0 用来调整传输速率。
4-0	BR_T1	BR_T1 用来调整传输速率。

## 3.3.3 PAGE2: 配置

### 3.3.3.1 Reserved

保留为将来之用的寄存器。

<b>Reserved</b>	地址: <b>0x20</b>	复位值: <b>00000000 (0x00)</b>
	7 6 5 4 3 2 1 0	
	00000000	
访问权限	Reserved	

**表3.35 Reserved的位描述**

位	符号	功能
7-0	00000000	Reserved

### 3.3.3.2 CRCResultReg

显示 CRC 计算的实际 MSB 和 LSB 值。

注：该寄存器分成 2 个 8 位的寄存器。

CRCResultReg	地址： 0x21-0x22				复位值： 11111111 (0xFF)			
	7	6	5	4	3	2	1	0
	CRCResultMSB							
访问权限	r	r	r	r	r	r	r	r

**表3.36 CRCResultReg的位描述**

位	符号	功能
7-0	CRCResultMSB	该寄存器显示了 CRC 寄存器的高字节的实际值。只有寄存器 Status1Reg的CRCReady 位置位时 CRCResultMSB 的内容才有效。

### 3.3.3.3 Reserved

保留为将来之用的寄存器。

Reserved	地址：0x23				复位值：00000000（0x00）			
	7	6	5	4	3	2	1	0
	00000000							
访问权限	Reserved							

**表3.37 Reserved的位描述**

位	符号	功能
7-0	00000000	Reserved

### 3.3.3.4 ModWidthReg

控制调制宽度的设置。

ModWidthReg	地址：0x24				复位值：00100110（0x26）			
	7	6	5	4	3	2	1	0
	ModWidth							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表3.38 ModWidthReg 的位描述**

位	符号	功能
7-0	ModWidth	这些位将Miller 调制宽度定义成载波频率的倍数 (ModWidth+1/fc)，最大值是半个位周期。

### 3.3.3.5 Reserved

保留为将来之用的寄存器。

Reserved	地址: 0x25				复位值: 10000000 (0x80)			
	7	6	5	4	3	2	1	0
	00000000							
访问权限	Reserved							

表3.39 Reserved的位描述

位	符号	功能
7-0	1000000	Reserved

### 3.3.3.6 RFCfgReg

配置接收器增益。

RFCfgReg	地址: 0x26				复位值: 01001111 (0x4F)			
	7	6	5	4	3	2	1	0
	0	RxGain			1111			
	Reserved	r/w	r/w	r/w	Reserved			
访问权限								

表3.40 RFCfgReg的位描述

位	符号	功能
7	0	Reserved
6-4	RxGain	该寄存器定义了接收器信号电压的增益因子: 状态描述: 000          18dB 001          23dB 010          28dB 011          23dB 100          33dB 101          38dB 110          43dB 111          48dB
3-0	1111	Reserved

### 3.3.3.7 GsNReg

选择天线驱动器管脚 TX1 和TX2 的 N 驱动器的电导。

GsNReg	地址: 0x27				复位值: 10001000 (0x88)			
	7	6	5	4	3	2	1	0
	CWGsN				ModGsN			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表3.41 GsNReg的位描述**

位	符号	功能
7-4	CWGsn	此字段定义了输出N驱动器的电导。它用来调节输出功率以及后面的消耗电流和工作距离。 注：电导值用二进制数来计量。 注：在软掉电模式中最高位强制为 1。
3-0	ModGsN	此字段定义了输出 N 驱动器的电导，便于时间的调制。它用来调节调制系数（modulation index） 注：电导值用二进制数来计量。 注：在软掉电模式中最高位强制为1。

### 3.3.3.8 CWGsPReg

定义 P 驱动器的电导。

<b>CWGSPReg</b>	地址: <b>0x28</b>	复位值: <b>00100000 (0x20)</b>
	7      6      5      4      3      2      1      0	
	00	CWGSP
访问权限	Reserved	r/w      r/w      r/w      r/w      r/w      r/w

**表3.42 CWGsPReg的位描述**

位	符号	功能
7-6	00	Reserved
5-0	CWGSP	此字段定义了输出P 驱动器的电导。它用来调节输出功率以及后面的消耗电流和工作距离。 注：电导值用二进制数来计量。 注：在软掉电模式中最高位强制为1。

### 3.3.3.9 ModGsPReg

定义驱动器 P 输出电导，便于时间的调制。

<b>ModGsPReg</b>	地址: <b>0x29</b>	复位值: <b>00100000 (0x20)</b>
	7      6      5      4      3      2      1      0	
	00	ModGsP
访问权限	Reserved	r/w      r/w      r/w      r/w      r/w      r/w

**表3.43 ModGsPRg的位描述**

位	符号	功能
7-6	00	Reserved
5-0	ModGsP	此字段定义了输出P 驱动器的电导，便于时间的调制。它用来调节调制系数。 注：电导值用二进制数来计量。 注：在软掉电模式中最高位强制为1。

### 3.3.3.10 TModeReg, TPrescalerReg

定义内部定时器的设置。

注：该寄存器分为 2 个 8 位的寄存器。

TModeReg		地址：0x2A		复位值：00000000（0x00）			
7	6	5	4	3	2	1	0
TAuto	Reserv ed		TAuto Restart	TPrescaler_Hi			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表3.44 TModeReg的位描述

位	符号	功能
7	TAuto	该位置位时，定时器在所有速率的发送结束时自动启动。在接收到第一个数据位后定时器立刻停止运行。如果该位清零，表明定时器不受通信协议的影响。
6-5	Reserved	Reserved
4	TAutoRestart	该位置位时，定时器自动重新从 TReloadValue 的值开始递减计数，而不是从0 计数值开始操作。 该位清零时，定时器递减计数到 0，TimerIRq 位设置为 1。
3-0	TPrescaler_Hi	定义TPrescaler 的高 4 位. 利用下面的公式来计算 $f_{\text{Timer}}$ ： $f_{\text{Timer}} = 6.78\text{MHz} / \text{TPreScaler}$ 。

TPrescalerReg	地址：0x2B				复位值：00000000（0x00）			
	7	6	5	4	3	2	1	0
	TPrescaler_Lo							
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

表3.45 TPrescalerReg的位描述

位	符号	功能
7-0	TPrescaler_Lo	定义TPrescaler 的高低位. 利用下面的公式来计算 $f_{\text{Timer}}$ ： $f_{\text{Timer}} = 6.78\text{MHz} / \text{TPreScaler}$ 。

### 3.3.3.11 TReloadReg

描述 16 位长的定时器重装值。

注：该寄存器分成 2 个 8 位的寄存器。

<b>TReloadReg</b>	地址：0x2C								复位值：00000000 (0x00)
	7	6	5	4	3	2	1	0	
	TReloadVal_Hi								
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	

表3.46 TReloadReg的位描述

位	符号	功能
7-0	TReloadVal_Hi	定义TReloadReg 的高 8 位。 当一个启动事件出现时，TReload 的值装入定时器。只有下次启动事件出现时，此寄存器的内容才会改变，进而影响定时器。

<b>TReloadReg</b>	地址：0x2D								复位值：00000000 (0x00)
	7	6	5	4	3	2	1	0	
	TReloadVal_Lo								
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	

表3.47 TReloadReg的位描述

位	符号	功能
7-0	TReloadVal_Lo	定义TReloadReg 的低 8 位。 当一个启动事件出现时，TReload 的值装入定时器。只有下次启动事件出现时，此寄存器的内容才会改变，进而影响定时器。

### 3.3.3.12 TCounterValReg

定义定时器的当前值。

注：该寄存器分成 2 个 8 位的寄存器。

<b>TCounterValReg</b>	地址：0x2E								复位值：xxxxxxx (0xXX)
	7	6	5	4	3	2	1	0	
	TCounterVal_Hi								
访问权限	r	r	r	r	r	r	r	r	

表3.48 TCounterValReg的位描述

位	符号	功能
7-0	TCounterVal_Hi	定时器的当前值，高 8 位。

<b>TCounterValReg</b>	地址：0x2F								复位值：xxxxxxx (0xXX)
	7	6	5	4	3	2	1	0	
	TCounterVal_Lo								
访问权限	r	r	r	r	r	r	r	r	



**表3.49 TCounterValReg的位描述**

位	符号	功能
7-0	TCounterVal_Lo	定时器的当前值，低 8 位。

### 3.3.4 PAGE3: 测试

#### 3.3.4.1 Reserved

保留为将来之用的寄存器。

Reserved	地址：0x30				复位值：00000000（0x00）			
	7	6	5	4	3	2	1	0
	00000000							
访问权限	Reserved							

**表3.50 Reserved的位描述**

位	符号	功能
7-0	00000000	Reserved

#### 3.3.4.2 TestSel1Reg

常用测试信号配置。

TestSel1Reg	地址: 0x31				复位值: 00000000 (0x00)			
	7	6	5	4	3	2	1	0
	00000					TstBusBitSel		
访问权限	Reserved					r/w	r/w	r/w

**表3.51 TestSel1Reg的位描述**

位	符号	功能
7-3	00000	Reserved
2-0	TstBusBitSel	从测试总线选择TstBusBit。

#### 3.3.4.3 TestSel2Reg

常用测试信号配置和 PRBS 控制。

TestSel2Reg	地址：0x32			复位值：00000000（0x00）				
	7	6	5	4	3	2	1	0
	TstBusFlip	PRBS9	PRBS15	TestBusSel				
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表3.52 TestSel2Reg的位描述**

位	符号	功能
7	TstBusFlip	如果该位置位，测试总线按下面的顺序映射到并行端口： TstBusBit4, TstBusBit3, TstBusBit2, TstBusBit6, TstBusBit5, TstBusBit0,
6	PRBS9	根据ITU-T0150 来启动和使能PRBS9 序列。 注：所有相关的发送数据的寄存器必须先配置好再进入 PRBS9 模式。 注：定义序列的数据发送通过发送命令来启动。
5	PRBS15	根据ITU-T0150 来启动和使能 PRBS15 序列。 注：所有相关的发送数据的寄存器必须先配置好再进入 PRBS15 模式。 注：定义序列的数据发送通过发送命令来启动。
4-0	TestBusSel	选择测试总线。

#### 3.3.4.4 TestPinEnReg

使能测试总线的管脚输出驱动器。

<b>TestPinEnReg</b>	地址: <b>0x33</b>				复位值: <b>10000000 (0x80)</b>			
	7	6	5	4	3	2	1	0
	0	TestPinEn						
访问权限	Reserved	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表3.53 TestPinEnReg的位描述**

位	符号	功能
7	0	Reserved
6-0	TestPinEn	使能 D1-D7 的管脚输出驱动器。例如：置位1来使能D1置位 5来使能D5。 注：如果使用SPI接口则只有D1-D4可以使用。

#### 3.3.4.5 TestPinValueReg

定义测试端口用作 I/O 口时的值。

<b>TestPinValueReg</b>	地址: <b>0x34</b>				复位值: <b>00000000 (0x00)</b>			
	7	6	5	4	3	2	1	0
	UseIO	TestPinValue						
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表3.54 TestPinValueReg的位描述**

位	符合	功能
7	UseIO	如果使用了串行接口，则置位该位来使能测试端口的 I/O 功能。测试端口的输入/输出操作由TestPinEnReg 寄存器的TestPinEn 来定义。输出值在 TestPin 值中定义。
6-0	TestPinValue	如果测试端口用作I/O 口，则该字段用来定义它们的值。每个输出必须通过 TestPinEnReg 寄存器中的TestPinEn 位来使能。 注：如果UseIO 置位，则读出的该字段值就是 D6-D1 管脚的值。如果 UseIO 清零，则TestPinValueReg 寄存器的值被读回。

### 3.3.4.6 TestBusReg

显示内部测试总线的状态。

TestBusReg	地址: 0x35				复位值: xxxxxxxx (0xXX)			
	7	6	5	4	3	2	1	0
	TestBus							
访问权限	r	r	r	r	r	r	r	r

**表3.55 TestBusReg的位描述**

位	符号	功能
7-0	TestBus	显示内部测试总线的状态。测试总线由寄存器TestSel2Reg来选择。

### 3.3.4.7 AutoTestReg

控制数字自测试。

AutoTestReg	地址: 0x36				复位值: 01000000 (0x40)			
	7	6	5	4	3	2	1	0
	0100				SelfTest			
访问权限	Reserved				r/w	r/w	r/w	r/w

**表3.56 AutoTestReg的位描述**

位	符号	功能
7-4	0100	Reserved
3-0	SelfTest	使能数字自测试。自测试由命令寄存器中的自测试命令来启动。自测试通过 1001来使能。 注：默认条件下自测试被禁止（0000）。

### 3.3.4.8 VersionReg

显示当前芯片版本。

<b>VersionReg</b>	地址: <b>0x37</b>				复位值: <b>xxxxxxx (0xXX)</b>			
	7	6	5	4	3	2	1	0
	Version							
访问权限	r	r	r	r	r	r	r	r

**表3.57 VersionReg的位描述**

位	符号	功能
7-0	Version	指示当前芯片版本。

### 3.3.4.9 AnalogTestReg

控制管脚 AUX1 和 AUX2。

<b>AnalogTestReg</b>	地址: <b>0x38</b>				复位值: <b>00000000 (0x00)</b>			
	7	6	5	4	3	2	1	0
	AnalogSelAux1				AnalogSelAux2			
访问权限	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**表3.58 AnalogTestReg的位描述**

位	符号	功能
7-4	AnalogSelAux1	控制 AUX 管脚。注：所有测试信号见第 16 章的描述。
3-0	AnalogSelAux2	状态 描述
		0000 三态
		0001 TestDAC1 (AUX1) 的输出, TESTDAC2 (AUX2) 的输出 注：电流输出。AUX 使用 1k 的下拉电阻。
		0010 Testsignal Corr1 注：电流输出。AUX 使1的下拉电阻。0011 RESERVED
		0100 Testsignal MinLevel 注：电流输出。AUX 使用 1k 的下拉电阻。0101 ADC 通道I
		注：电流输出。AUX 使用 1k 的下拉电阻。0110 ADC 通道Q
		注：电流输出。AUX 使用 1k 的下拉电阻。0111 Testsignal ADC 通道I 和 Q 结合使用。
		注：电流输出。AUX 使用 1k 的下拉电阻。
		1000 产品测试的信号。
		注：电流输出。AUX 使用 1k 的下拉电阻。
		1001 Reserved
		1010 高电平
		1011 低电平

1100	TxActive
106kbit/s:	在起始位、数据位、奇偶位和 CRC 传输过程中为高电平。
212 和 424kbit/s:	在数据和 CRC 传输过程为高电平。
1101	RxActive
106kbit/s:	在数据位、奇偶位和 CRC 传输过程中为高电平。
212 和 424kbit/s:	在数据和 CRC 传输过程为高电平。
1110	检测到副载波
106kbit/s:	不适用。
212 和 424kbit/s:	在最后部分的数据和 CRC 传输过程为高电平。
1111	测试总线寄存器定义的测试总线位。

### 3.3.4.10 TestDAC1Reg

定义 TestDAC1 的测试值。

<b>TestDAC1Reg</b>	地址: <b>0x39</b>	复位值: <b>00xxxxxx (0xXX)</b>
	7 6 5 4 3 2 1 0	
	00	TestDAC1
访问权限	Reserved	r/w r/w r/w r/w r/w r/w

表3.59 TestDAC1Reg的位描述

位	符号	功能
7-6	00	Reserved
5-0	TestDAC1	定义 TestDAC1 的测试值。通过将 AnalogSelAux1 设置成 0001 可使 DAC1 的输出切换成 AUX1。

### 3.3.4.11 TestDAC2Reg

定义 TestDAC2 的测试值。

<b>TestDAC2Reg</b>	地址: <b>0x3A</b>	复位值: <b>00xxxxxx (0xXX)</b>
	7 6 5 4 3 2 1 0	
	00	TestDAC2
访问权限	Reserved	r/w r/w r/w r/w r/w r/w

表3.60 TestDAC2Reg的位描述

位	符号	功能
7-6	00	Reserved
5-0	TestDAC2	定义 TestDAC2 的测试值。通过将 AnalogSelAux2 设置成 0001 可使 DAC2 的输出切换成 AUX2。

### 3.3.4.12 TestADCReg

显示 ADC I 和 Q 通道的实际值。

TestADCReg	地址: 0x3B				复位值: xxxxxxxx (0xXX)			
	7	6	5	4	3	2	1	0
	ADC_I				ADC_Q			
访问权限	r	r	r	r	r	r	r	r

表3.61 TestADCReg的位描述

位	符号	功能
7-4	ADC_I	显示 ADC I 通道的实际值。
3-0	ADC_Q	显示 ADC Q 通道的实际值。

### 3.3.4.13 RFTReg

保留用于产品测试。

RFTReg	地址: 0x3C				复位值: 11111111 (0xFF)			
	7	6	5	4	3	2	1	0
	1	1	1	1	1	1	1	1
访问权限	Reserved							

表3.62 RFTReg的位描述

位	符号	功能
7-0	11111111	Reserved

RFTReg	地址: 0x3D				复位值: 00000000 (0x00)			
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0
访问权限	Reserved							

表3.63 RFTReg的位描述

位	符号	功能
7-0	00000000	Reserved

RFTReg	地址: 0x3E				复位值: 00000111 (0x07)			
	7	6	5	4	3	2	1	0
	0	0	0	0	0	1	1	1
访问权限	Reserved							

表3.64 RFTReg的位描述

位	符号	功能
7-0	00000111	Reserved

RFTReg	地址: 0x3F				复位值: 01110000 (0x70)			
	7	6	5	4	3	2	1	0
	0	1	1	1	0	0	0	0
访问权限	Reserved							

表3.65 RFTReg的位描述

位	符号	功能
7-0	01110000	Reserved

## 4 WS1850S的功能

WS1850S 发送模块支持具有多种传输速率和调制方法的 ISO 14443A/MIFARE 的读写器模式。

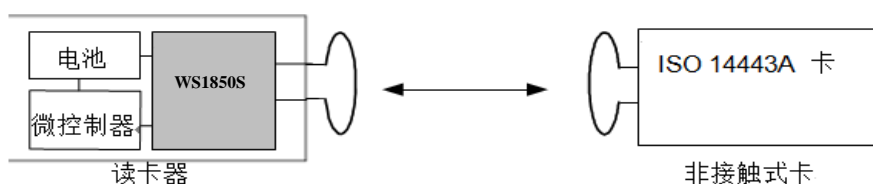


图 4.1 WS1850S 读写器模式

ISO 14443A / MIFARE 的读写器模式是遵循ISO 14443A/ MIFARE 规范的卡通信的常用读卡器。下图描述了物理层上的通信，通信表列出了相关的参数。

- ISO 14443A / MIFARE → 读写器功能的通信图

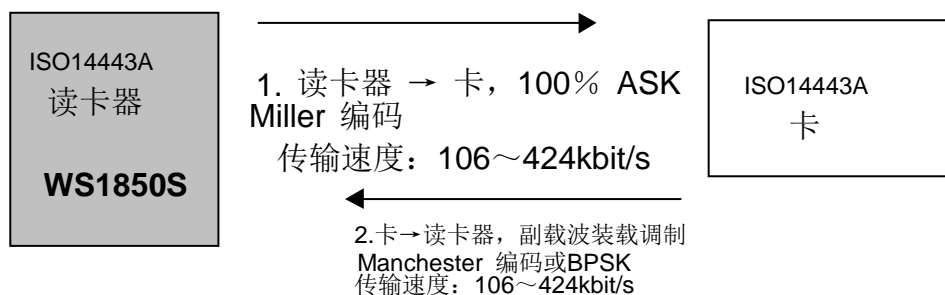


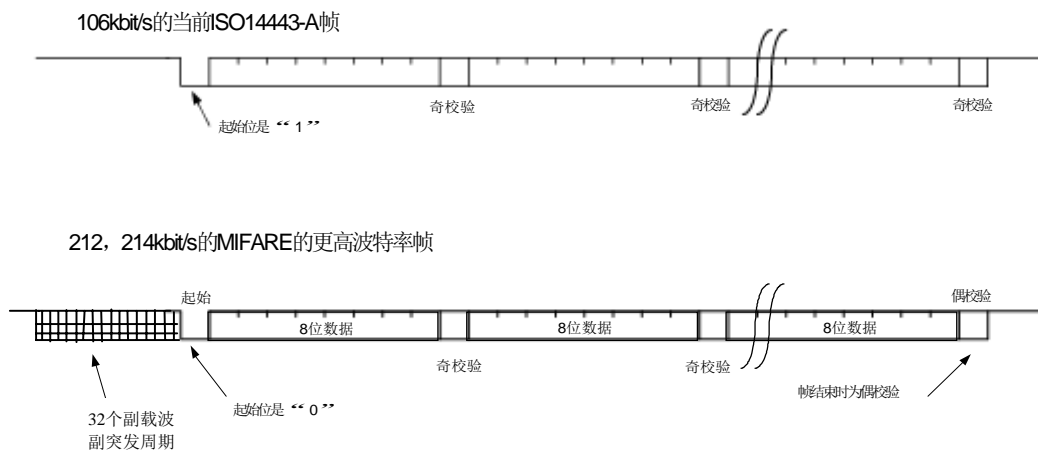
图 4.2 ISO 14443A / MIFARE → 读写器通信图

- ISO 14443A / MIFARE<sup>®</sup>读写器功能通信概述

**表 4.1 ISO 14443A / MIFARE<sup>®</sup>读写器通信概述**

通信方向	传输速率	ISO 14443A / MIFARE	MIFARE 更高的传输速率	
		106kbit/s	212kbit/s	424kbit/s
读卡器→卡 (数据从WS1850S发送到卡)	读卡器一方的调制	100 % ASK	100 % ASK	100 % ASK
	位编码	改变的Miller 编码	改变的Miller 编码	改变的Miller 编码
	位长度	(128/13.56) us	(64/13.56) us	(32/13.56) us
卡→读卡器 (接收卡的数据)	卡一方的调制	副载波装载调制	副载波装载调制	副载波装载调制
	副载波频率	13.56MHz/16	13.56MHz/16	13.56MHz/16
	位编码	Manchester 编码	BPSK	BPSK

- ISO 14443A / MIFARE 的数据编码和帧



**图 4.3 ISO 14443A 的数据编码和帧**

内部 CRC 协处理器根据 ISO 14443A part3 给出的定义来计算 CRC 值。



## 5 数据接口

### 5.1 自动检测微控制器接口类型

WS1850S 支持可直接相连的各种微控制器接口类型，如 SPI、I2C 和串行 UART。WS1850S 可复位其接口，并可对执行了上电或硬复位的当前微控制器接口的类型进行自动检测。它通过复位阶段后控制管脚上的逻辑电平来识别微控制器接口。每种接口有固定管脚的连接组合。

下表列出了不同的配置：

**表 5.1 检测不同接口类型的连接方法**

不同接口连接方法				
WS1850S		接口类型		
管脚号	管脚名称	UART	SPI	I <sup>2</sup> C
1	I <sup>2</sup> C	0	0	1
32	EA	0	1	EA
31	D7	TX	MISO	SCL
30	D6	MX	MOSI	ADDR_5
29	D5	DTRQ	SCK	ADDR_4
28	D4	—	—	ADDR_3
27	D3	—	—	ADDR_2
26	D2	—	—	ADDR_1
25	D1	—	—	ADDR_0
24	SDA	RX	NSS	SDA

### 5.2 SPI接口

支持串行外围接口(SPI)来使能到主机的高速通信。SPI 接口可处理高达 10Mbit/s 的数据速率。在与主机微控制器通信时，WS1850S 用作从机，接收寄存器设置的外部控制器的数据以及发送和接收 RF 接口相关的通信数据。

#### 5.2.1 概述

SPI 接口可使能 WS1850S 和一个微控制器之间的高速串行通信。兼容 SPI 接口的处理与标准 SPI 接口相同。

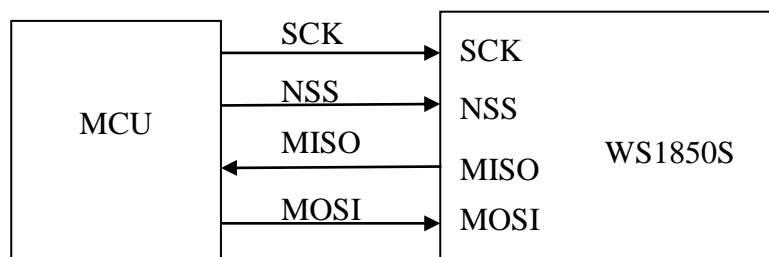


图 5.1 连接到带有 SPI 接口的微控制器

在 SPI 通信中 WS1850S 模块用作从机。SPI 时钟 SCK 由主机产生。数据通过 MOSI 线从主机传输到从机；数据通过 MISO 线从 WS1850S 发回到主机。MOSI 和 MISO 传输每个字节时都是高位在前。MOSI 上的数据在时钟的上升沿保持不变，在时钟的下降沿改变。MISO 也与之类似，在时钟的下降沿，MISO 上的数据由 WS1850S 来提供，在时钟的上升沿数据保持不变。

## 5.2.2 读数据

使用下面的结构可将数据通过兼容 SPI 的接口读出。这样可能读出 n 个数据字节。

发送的第一个字节定义了模式本身和地址。

**表 5.2 MOSI 和 MISO 的字节顺序**

	字节 0	字节 1	字节 2	.....	字节 n	字节 n+1
MOSI	地址 0	地址 1	地址 2	.....	地址n	00
MISO	X	数据 0	数据 1	.....	数据n-1	数据n

注：先发送最高位（MSB）

## 5.2.3 写数据

使用下面的结构可将数据通过兼容 SPI 的接口写入。这样对应一个地址可以写入多达

n 个数据字节。

发送的第一个字节定义了模式本身和地址。注：先发送最高位（MSB）。

**表 5.3 MOSI 和 MISO 的字节顺序**

	字节 0	字节 1	字节 2	.....	字节 n	字节 n+1
MOSI	地址	数据 0	数据 1	.....	数据n-1	数据n
MISO	X	X	X	.....	X	X

注：先发送最高位（MSB）

## 5.2.4 地址字节

地址字节按下面的格式传输。第一个字节的 MSB 位设置使用的模式。MSB 位为 1 时从 WS1850S 读出数据；MSB 位为 0 时将数据写入 WS1850S。第一个字节的位 6-1 定义地址，最后一位应当设置为 0。

**表5.4 地址字节格式**

地址 (MOSI)	位 7, MSB	位 6—位 1	位 0
字节 0	1 (读) 0 (写)	地址	Reserved (0)

## 5.3 UART接口

### 5.3.1 连接到主机微控制器

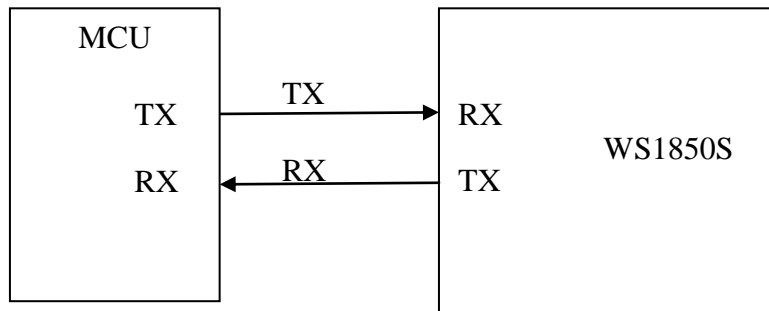


图 5.2 连接到带 UART 的微控制器

### 5.3.2 选择传输速率

内部 UART 接口兼容 RS232 串行接口。

表5.5列举了一些传输速率和对应的寄存器设置。默认的传输速率为 9.6kbit/s。

要改变传输速率，主机控制器必须向 SerialSpeedReg 寄存器写入一个新的传输速率值。位 BR\_T0 和BR\_T1 定义的因数用来设置 SerialSpeedReg 中的传输速率。

表 5.4 描述了 BR\_T0 和BR\_T1 的设置。

表 5.4 BR\_T0 和 BR\_T1 的 设 置

BR_T0	0	1	2	3	4	5	6	7
因数BR_T0	1	1	2	4	8	16	54	64
范围BR_T1	1-32	33-64	33-64	33-64	33-64	33-64	33-64	33-64

表 5.5 可选的传输速率

传输速率 [bit/s]	SerialSpeedReg		传输速率精度
	十进制	十六进制	
7.2K	250	FA	-0, 25 %
9.6K	235	EB	0, 32 %
14.4K	218	DA	-0, 25 %
19.2K	203	CB	0, 32 %
38.4K	171	AB	0, 32 %
57.6K	154	9A	-0, 25 %
115.2K	122	7A	-0, 25 %

128K	116	74	-0, 06 %
230. 4K	90	5A	-0, 25 %
460. 8K	58	3A	-0, 25 %
921. 6K	28	1C	1, 45 %
1228. 8K	21	15	0, 32 %

表 5.5 列出的可选传输速率可通过下面的公式计算得到：如果  $BR\_T0=0$ ：  
 传输速率 =  $27,12\text{MHz} / (BR\_T1+1)$

如果  $BR\_T0 > 0$ ：传输速率 =  $27,12\text{MHz} / (BR\_T1+33) / 2^{\wedge}(BR\_T0-1)$

注：不支持大于 1228.8k 的传输速率。

### 5.3.3 帧格式

表 5.6 UART 帧 格 式

	长度	值
起始位	1 位	0
数据位	8 位	数据
停止位	1 位	1

对于数据和地址位，先发送 **LSB** 位。注：发送数据时不使用奇偶校验位。

读数据：

使用下面的结构通过 UART 接口将数据读出。

表 5.7 读数据示意图

	字节 0	字节 1
RX	地址	
TX		数据 0

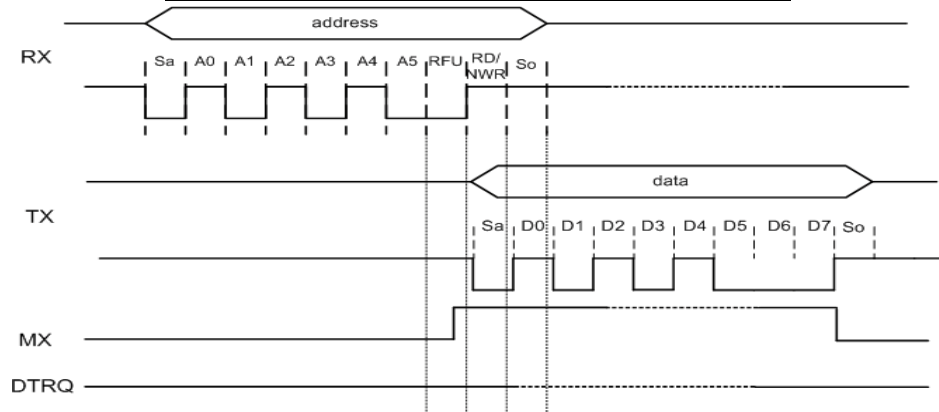


图 5.3 读数据示意图

写数据：

使用下面的结构通过 UART 接口将数据写入 WS1850S。

表 5.8 写数据示意图

	字节 0	字节 1
RX	地址 0	数据 0
TX	数据 0	地址 0

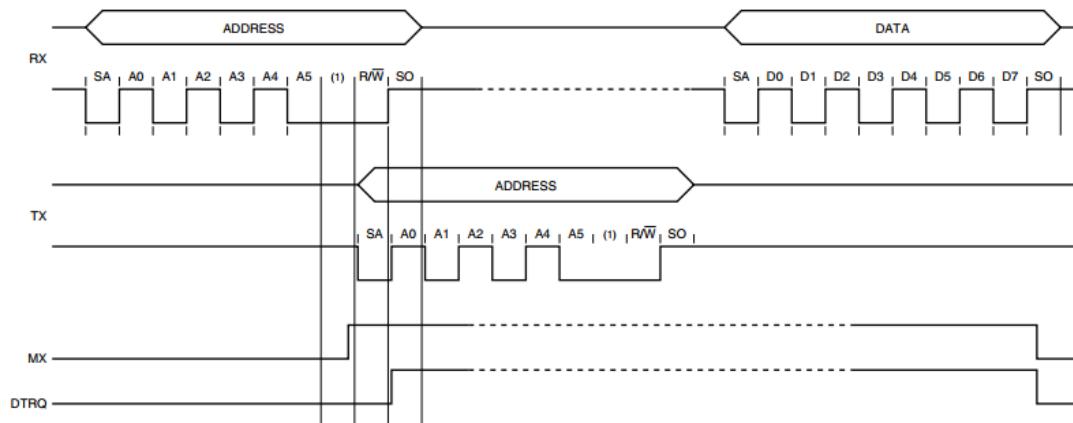


图 5.4 写数据示意图

注：地址字节到达 RX 线后数据字节可直接发送。

## 地址字节

地址字节按下面的格式传输。第一个字节的 MSB 位设置使用的模式。MSB 位为 1 时从 WS1850S 读出数据；MSB 位为 0 时将数据写入 WS1850S。第一个字节的位 6 为 Reserved，位 5-1 定义地址。

表 5.9 地址字节

地址	位 7, MSB	位 6	位 5 - 位 0
字节 0	1 (读) 0 (写)	Reserved	地址

## 5.4 IIC总线接口

支持 I2C 总线接口来使能到主机的低成本、少管脚数的串行总线接口。I2C 接口操作遵循 Philips 半导体 I2C 接口规范 V2.1 (2000 年 1 月)。实现 I2C 接口时只工作在从机模式。因此，WS1850S 不产生时钟，也不执行访问仲裁。

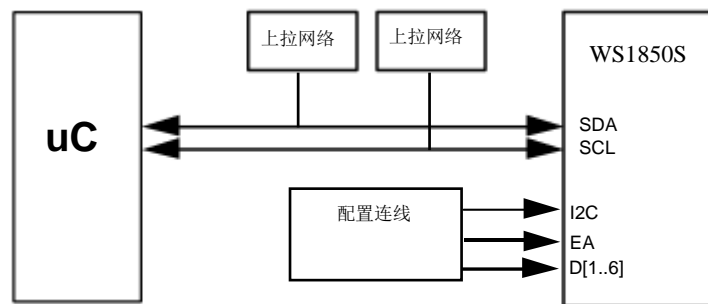


图 5.5 I<sup>2</sup>C 接口

### 5.4.1 概述

接口遵循 I2C 总线规范 V2.1 (2000 年 1 月)。在标准、快速和高速模式中，WS1850S 可用作从接收器或从发送器。

SDA 是一个双向数据线，通过一个电流源或上拉电阻连接到正电压。如果不传输数据，SDA 和 SCL 均为高电平。WS1850S 有一个三态输出级来执行线与功能。标准模式下 I2C 总线的传输速率为 100kbit/s、快速模式下为 400kbit/s、高速模式下高达 3.4Mbit/s。

如果选择 I2C 接口，管脚 SCL 和 SDA 管脚都有尖峰脉冲抑制功能，完全符合 I2C 接口规范。

### 5.4.2 数据有效

SDA 线上的数据在时钟周期的高电平时间内保持不变。只有当 SCL 的时钟信号为低电平时数据线的高电平或低电平状态才能改变。

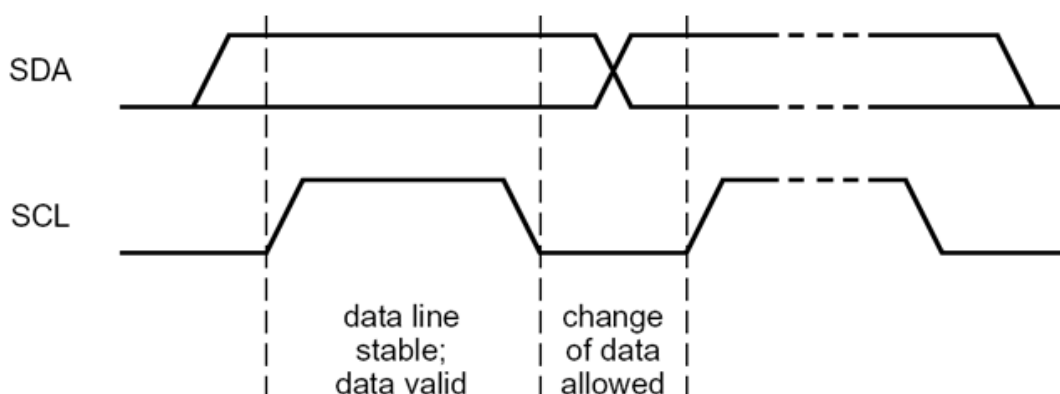


图 5.6 I<sup>2</sup>C 总线的位传输

### 5.4.3 起始和停止条件

要处理 I<sup>2</sup>C 总线的数据传输，必须定义起始和停止条件。

起始条件定义成 SCL 高电平时间内 SDA 线上高到低的跳变。停止条件定义成 SCL 高电平时间内 SDA 线上低到高的跳变。

起始和停止条件通常由主机产生。起始条件后主机被认为处于忙状态；主机在停止条件结束一段时间后被认为重新回到空闲状态。

如果产生的是重复起始（Sr）条件而非停止条件，则总线仍处于忙状态。这时，起始条件和重复起始（Sr）条件的功能完全相同。因此，S 符号就用作一个常用术语，代表起始和重复起始（Sr）条件。

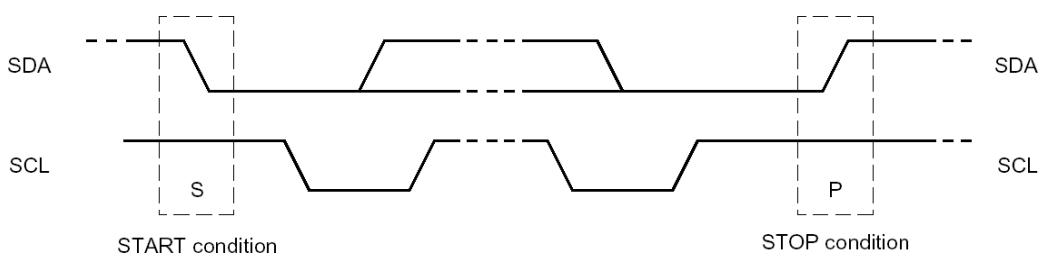


图 5.7 起始和停止条件

### 5.4.4 字节格式

一个字节由 8 个位组成。每个字节后面跟一个应答位。数据传输时高位在前，如图 5.10所示。一次数据传输发送的字节数不限，但必须符合读/写周期格式。

## 5.4.5 应答

应答是在一个数据字节结束后强制产生的。应答相应的时钟脉冲由主机产生。在应答时钟脉冲周期内，数据发送器释放 SDA 线（高电平）；接收器拉低 SDA 线使得 SDA 线在这个时钟脉冲的高电平时间内保持低电平。

主机可以产生一个停止条件来终止传输，也可以产生一个重复起始（Sr）条件来启动一次新的传输。

主接收器通过在最后一个字节后不产生应答来向从发送器指示数据的结束。从发送器应当释放数据线以允许主机产生停止（P）或重复起始（Sr）条件。

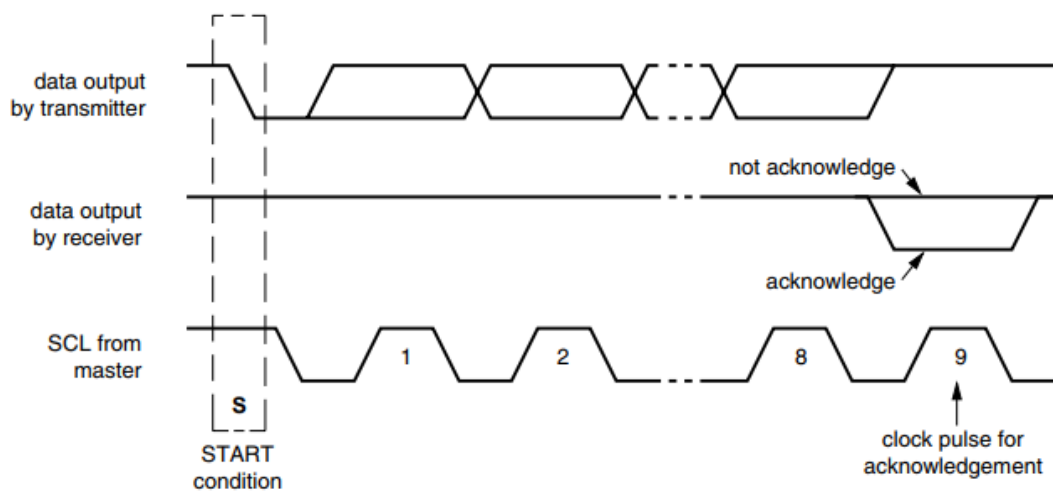


图 5.8 I<sup>2</sup>C 总线的应答

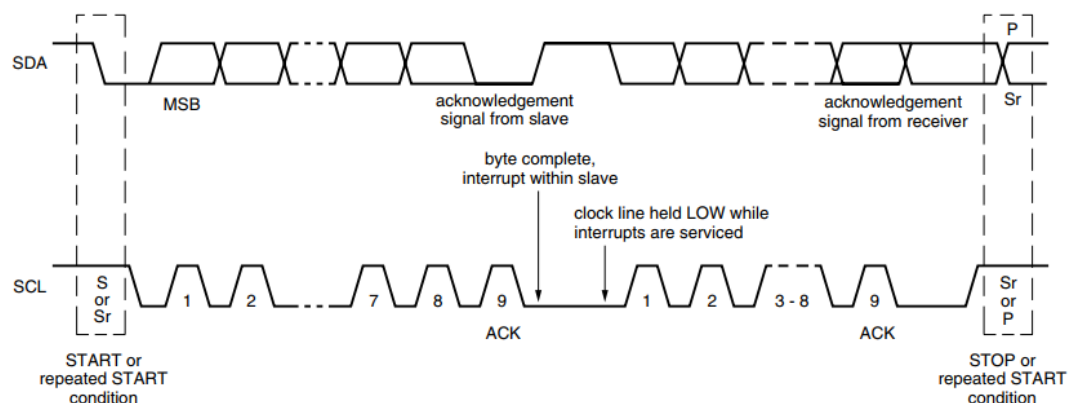


图5.9 I<sup>2</sup>C 总线的数据传输

## 5.4.6 位寻址

在 I2C 总线的寻址过程中，起始条件后的第一个字节用来确定主机选择的通信从机。有多个保留地址的情况除外。这时，在器件配置过程中，设计者必须确保器件地址不会与保留的地址产生冲突。请检查相应的 I2C 规范中的保留地址一览表。



I2C 地址规范与 EA 管脚的定义有关。在复位管脚释放或上电复位后，器件根据 EA 管脚的逻辑电平来决定总线地址。

如果EA 管脚为低电平，则对于所有WS1850S的器件，器件总线地址的高4位由芯片内部设定，设置成 0101（二进制），从机地址剩余的 3 位（ADR\_0, ADR\_1, ADR\_2）可由用户自由配置，接地为0，接VCC为1。这样可以防止与其它 I2C 器件产生冲突。

如果 EA 管脚设置成高电平，则 ADR\_0 – ADR\_5 完全由外部管脚来指定，接地为0，接VCC为1，ADR\_6 总是为 0。

在这两种模式下，外部地址编码都在复位条件释放后立即锁定。不考虑数据端口上的进一步变化。通过配置外部连线，数据端口还可用作测试信号的输出。

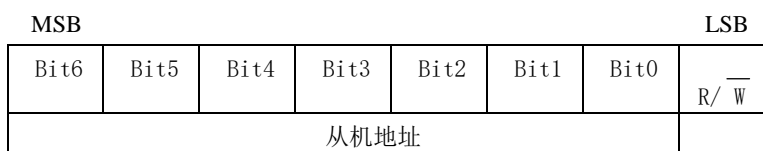


图 5.10 起始条件后的第一个字节

#### 5.4.7 寄存器写访问

使用下面的格式可将数据通过I2C 接口从主机控制器写入指定的WS1850S 寄存器中。帧的第一个字节是器件地址（遵循 I2C 规则），第二个字节是寄存器地址，接下来是 n个数据字节。在一帧中，所有 n 个数据字节都被写入相同的存储器地址。这种方法可使能FIFO 的快速访问。读/写标志应当清零。

#### 5.4.8 寄存器写访问

使用下面的格式可读出指定地址的WS1850S寄存器中的数据。首先，必须写入指定寄存器的地址，格式描述如下。

帧的第一个字节是器件地址（遵循 I2C 规则），第二个字节是寄存器地址。这个写寄存器地址的操作不需要增加数据字节。

读/写标志应当清零。

写地址操作完成后，开始启动读访问。主机发送WS1850S的器件地址。作为回应，WS1850S将寄存器的内容发回。一帧中所有 n 个数据字节都从相同的寄存器地址读出。这种方法可使能 FIFO 的快速访问或寄存器查询。

读/写标志应当置位

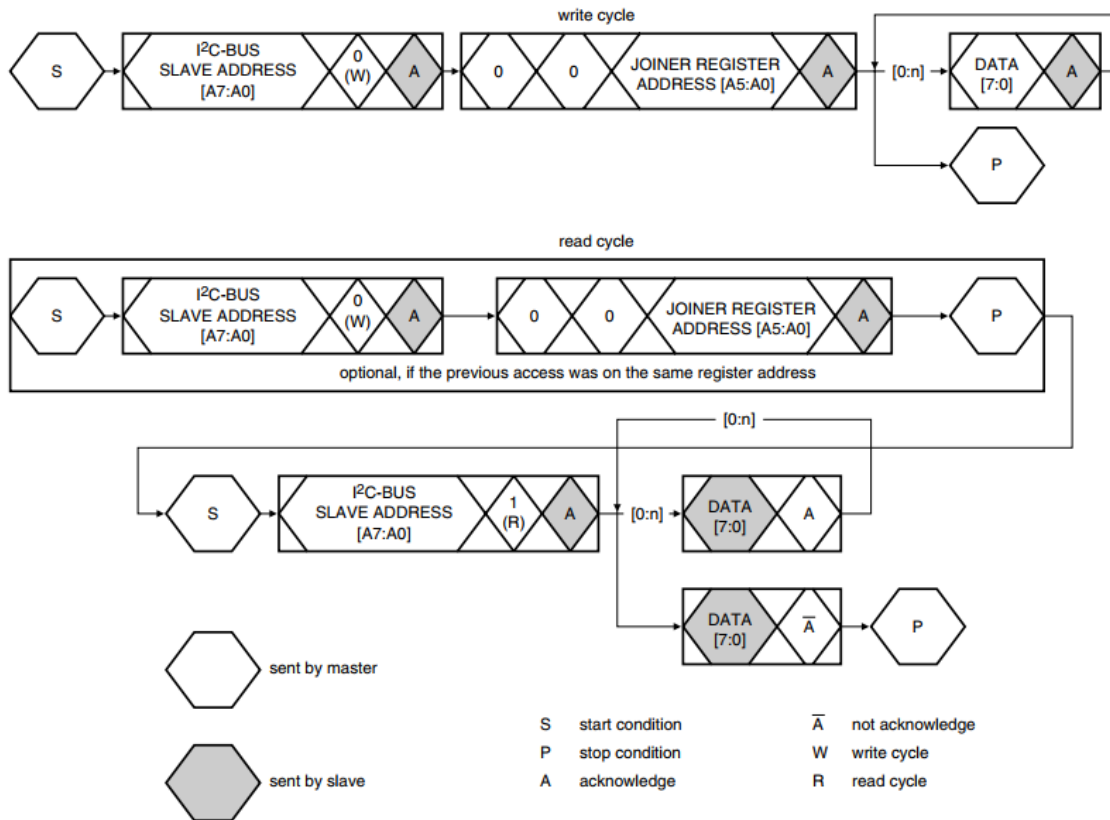


图5.11 寄存器读和写访问

#### 5.4.9 高速模式

高速模式下（Hs 模式）器件的传输位速率高达 3.4Mbit/s。在混合速率的总线系统中，它保持完全向下兼容快速或标准模式（F/S 模式）的双向通信。

#### 5.4.10 高速传输

为了获得高达 3.4Mbit/s 的位传输速率，对常规的 I2C 总线性能作了以下改善。

高速模式下器件的输入具有尖峰脉冲抑制功能，SDAH 和 SCLH 输入有施密特触发器，它们与 F/S 模式相比有不同的时序常数。

高速模式下器件的输出可控制 SDAH 和 SCLH 信号的下降沿斜率，它们与 F/S 模式相比有不同的时序常数。

## 5.4.11 高速模式下的串行数据传输格式

高速模式下的串行数据传输满足标准模式的 I2C 总线规范。只有满足以下条件高速模式传输才能启动（所有 F/S 模式下的条件）：

1. 起始条件（S）
2. 8 位主机代码（00001XXX）
3. 非应答位（A）

在 7 位从地址和 R/W 位之后，有效主机再发送一个重复起始条件（Sr），从选择的 WS1850S 中接收一个应答位（A）。下个重复起始条件（Sr）后继续执行高速模式的数据传输，停止条件（P）后切换回 F/S 模式。为了降低主机的代码开销，主机可能将大量的高速模式的传输链接到一起，这些传输通过起始条件分隔开来。

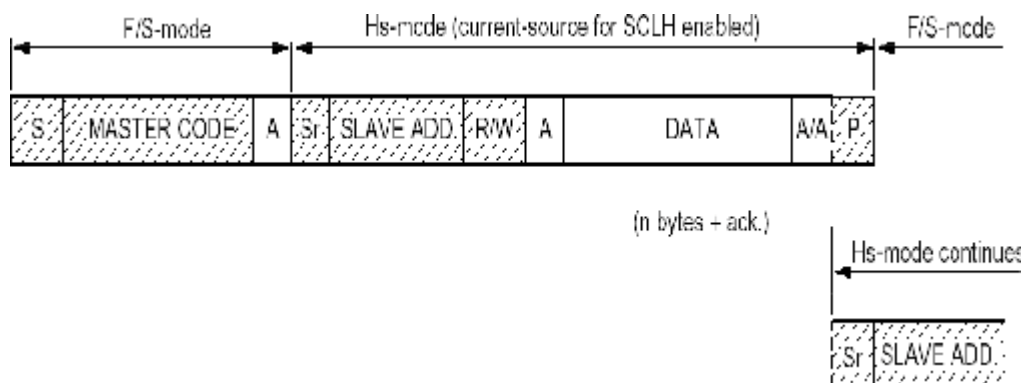


图 5.12 I<sup>2</sup>C 高速模式协议转换

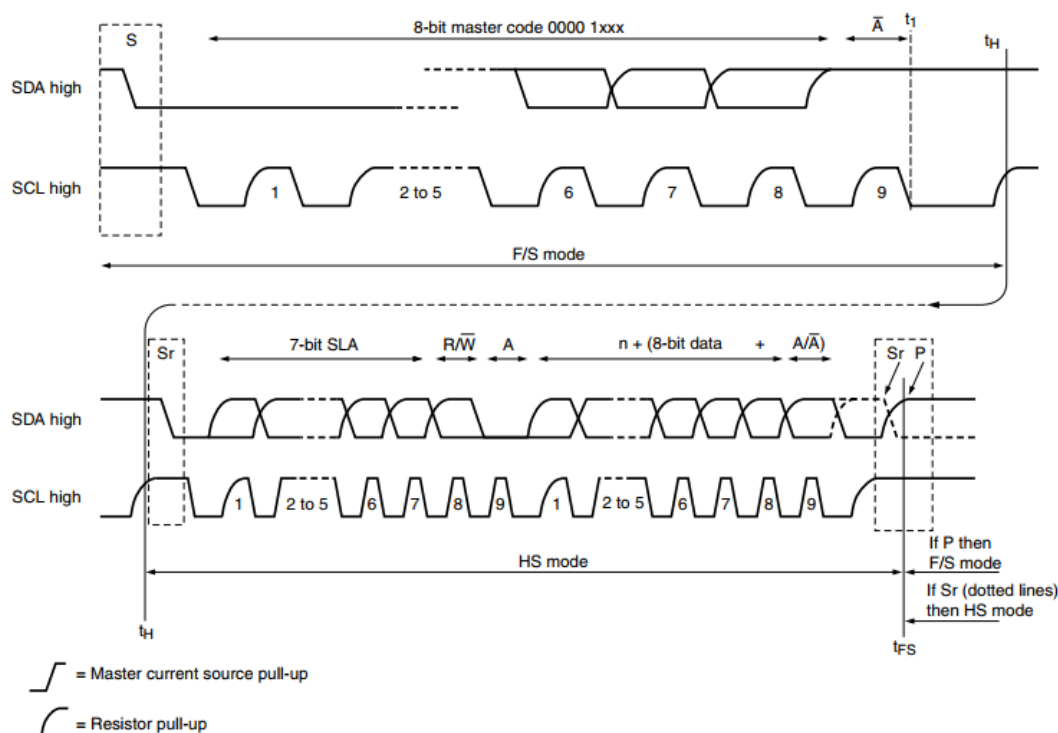


图 5.13 I<sup>2</sup>C 高速模式协议帧

#### 5.4.12 F/S模式和HS模式之间的切换

复位和初始化后，WS1850S 工作在快速模式（当快速模式向下兼容标准模式时，它实际上就是 F/S 模式）。连接的WS1850S识别到“S00001XXXA”时将其内部电路从快速模式设置转换成高速模式设置。

WS1850S执行以下操作：

- 1 根据 HS 模式的尖峰脉冲抑制要求来调整 SDAH 和 SCLH 的输入滤波器。
- 2 调整 SDAH 输出级的斜率控制。

对于通信中不含有其它 I<sup>2</sup>C 器件的系统配置，可以通过另一种方法切换到 HS 模式：置位 Status2Reg 寄存器的 I2CForceHS 位。该位置位将使 Hs 模式永久保持，这就意味着无需再发送主机代码了。这个操作不符合总线规范，只能用在总线无其它器件的情况下。由于尖峰脉冲的减弱抑制，尖峰脉冲可忽略。

#### 5.4.13 低速模式下的WS1850S

WS1850S完全向下兼容，可连接到 F/S 模式的 I<sup>2</sup>C 总线系统。由于此配置中不发送主机代码，因此器件处于 F/S 模式，以F/S 模式的速率进行通信。

## 6 模拟接口和非接触式UART

### 6.1 概述

非接触式 UART 可处理与主机之间的通信协议要求。协议本身可产生面向位和字节的帧，也可处理不同的非接触式通信机制的奇偶&CRC 错误检测。

注：天线的规格和调谐以及电源电压都会对通信距离产生重大的影响。

### 6.2 Tx驱动器

管脚 Tx1 和Tx2 发送的信号是经包络信号调制的 13.56MHz 的能量载波。它可用来直接驱动天线,使用一些无源元件进行匹配和滤波。Tx1 和 Tx2 的信号可通过 TxControlReg 寄存器来配置。

调制系数（modulation index）可通过调节驱动器的电阻进行设置。P 驱动器的电阻通过寄存器 CWGsPReg 和ModGsPReg 来配置；n 驱动器的电阻通过寄存器 GsNReg 来配置。并且，调制系数还取决于天线的设计和调谐。

寄存器TxModeReg 和 TxAutoSelReg 控制着发送和天线驱动器设置过程中发送数据的速率和帧，以便支持不同模式和传输速率下的不同要求。

表 6.1 Tx1的设置

TX1RFEN	INVTX1	ENVELOPE	TX1	GSPMOS	GSNMOS	备注
0	0	0	0		nMod	如果 TX1RFEN=0，管脚 TX1 被设为 0 或 1，由 InvTx1 来决定。
		1	0		nCW	
	1	0	1	pMod		
		1	1	pCW		
1	1	0	0	pMod	nMod	TX1 下拉为 0,与nvTx1 无关。

表 6.2 Tx2的设置

TX2RFEN	TX2CW	INVTX2	ENVELOPE	TX2	GSPMOS	GSNMOS	备注
0	0	0	0	0		nMod	如果 TX2RFEN=0, 管脚 TX2 被设为 0 或 1, 由InvTx2 来决定。
			1	0		nCW	
		1	0	1	pMod		
			1	1	pCW		
	1	0	0	0		nCW	TX2CW: 总是 gsCW 的值。
			1	0		nCW	
		1	0	1	pCW		
			1	1	pCW		
1	0	0	0	0	pMod	nMod	TX2 下拉为 0 (与 InvTx2 无关)
			1	RF	pCW	nCW	
		1	0	0	pMod	nMod	
			1	RF_n	pCW	nCW	
	1	0	x	RF	pCW	nCW	
		1	x	RF_n	pCW	nCW	

注:

表中使用了以下缩写:

RF: 13.56MHz 时钟, 由 27.12MHz 的石英晶振 2 分频所得。

RF\_n: 反相 13.56MHz 的时钟

gspmos: 电导, PMOS 阵列的配置

gsnmos: 电导, NMOS 阵列的配置

pCW: CWGsP 寄存器定义的连续波的 PMOS 电导值。

pMod: ModGsP 寄存器定义的调制的 PMOS 电导值。

nCW: CWGsN 寄存器定义的连续波的 NMOS 电导值。

nMod: ModGsN 寄存器定义的调制的 NMOS 电导值。

## 6.3 串行数据变换

WS1850S 主要包含 2 个模块: 1 个数字电路和 1 个模拟电路。数字电路由状态机、编码器和译码器逻辑电路组成; 模拟电路包括调制器、天线驱动器、接收器和放大器电路。例如, 2 个模块之间的接口必须按一定的方式进行配置, 以便连接信号可以通过管脚 MFIN 和 MFOUT。串行数据的变换由寄存器 TxSelReg 和 RxSelReg 来控制。

下图所示为 TX1 和 TX2 的串行数据变换。

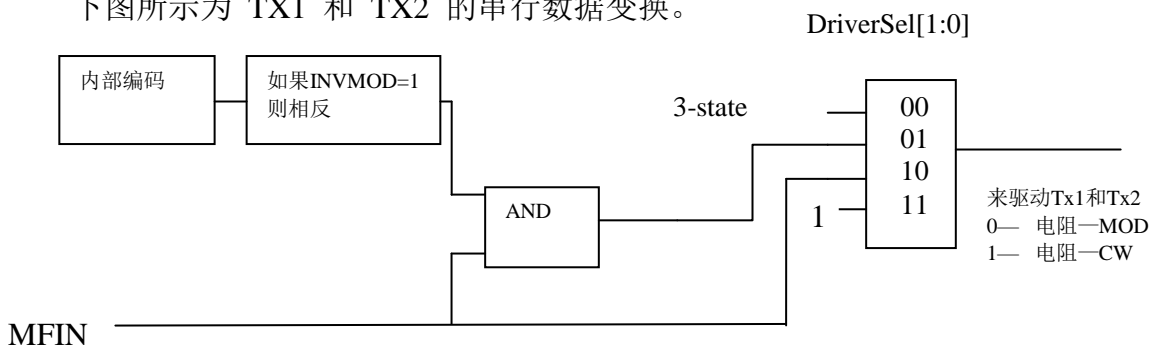


图6.1 TX1 和 TX2 的串行数据变换

## 6.4 CRC协处理器

CRC 协处理器操作必须对下面的参数进行配置：

表 6.3 CRC 协处理器参数

参数	值
CRC 寄存器长度	16 位 CRC
CRC 算法	根据 ISO14443A 和CCITT 来制定算法
CRC 预置值	0000, 6363, A671 或FFFF, 取决于CRCPresetReg 寄存器的设置

16 位 CRC 的 CRC 多项式为  $X^{16}+X^{12}+X^5+1$ 。

下面的寄存器可以对协处理器进行配置。

寄存器 CRCPresetReg 定义 CRC 协处理器的预置值。该寄存器只能选择 0000、6363、A671 或 FFFF。

寄存器 CRCResultReg 用来指示 CRC 计算的结果。该寄存器分成 2 个 8 位的寄存器， 分别用来代表 MSB 字节和 LSB 字节。

## 7 FIFO缓冲区

### 7.1 概述

WS1850S 包含一个 64×8 位的 FIFO 缓冲区。它用来缓存主机微控制器和WS1850S的内部状态机之间的输入和输出数据流。因此，FIFO 缓冲区可能要处理长度大于 64 字节的数据流，但又不考虑时序的限制。

### 7.2 访问FIFO缓冲区

FIFO 缓冲区的输入和输出数据总线连接到 FIFODataReg 寄存器。通过写 FIFODataReg寄存器来将一个字节的数据存入 FIFO 缓冲区，之后内部 FIFO 缓冲区写指针加 1。读出的FIFODataReg 寄存器的内容是存放在 FIFO 缓冲区

读指针处的数据，之后 FIFO 缓冲区读指针减 1。FIFO 缓冲区的读和写指针之间的间隔通过读取 FIFOLevelReg 得到。

当微控制器发布一个命令后，WS1850S 可以在命令执行过程中根据命令要求来访问 FIFO 缓冲区。通常，只能实现一个 FIFO 缓冲区的操作，该缓冲区可用在输入和输出方向中。因此，微控制器必须小心不要以其它方式来访问 FIFO 缓冲区。

### 7.3 控制FIFO缓冲区

除了读写 FIFO 缓冲区外，FIFO 缓冲区指针还可通过置位寄存器 FIFOLevelReg 的 FlushBuffer 位来复位。从而，FIFOLevel 位被清零，寄存器 ErrorReg 的 BufferOvfl 位被清零，实际存储的字节不能再访问，FIFO 缓冲区可以用来存放下一批 64 字节的数据。

### 7.4 FIFO缓冲区的状态信息

微控制器可得到以下 FIFO 缓冲区状态的数据：

- 已经存放在 FIFO 缓冲区中的字节数：寄存器 FIFOLevelReg 的 FIFOLevel 字段
  - FIFO 缓冲区已满的警告：寄存器 Status1Reg 的 HiAlert 位
  - FIFO 缓冲区已空的警告：寄存器 Status1Reg 的 LoAlert 位
  - 指示 FIFO 缓冲区已满时仍有字节写入：寄存器 ErrorReg 的 BufferOvfl 位。
- BufferOvfl 位可通过置位 FIFOLevelReg 寄存器的 FlushBuffer 位来清零。

当出现以下情况时，WS1850S 可以产生中断信号：

- 如果寄存器 CommIEnReg 的 LoAlertIEn 被置位，当寄存器 Status1Reg 寄存器的 LoAlert 位变成 1 时管脚 IRQ 激活。
- 如果寄存器 CommIEnReg 的 HiAlertIEn 被置位，当寄存器 Status1Reg 寄存器的 HiAlert 位变成 1 时管脚 IRQ 激活。

如果 FIFO 缓冲区中只允许存放 WaterLevel 个（在寄存器 WaterLevelReg 中设置）或更少的字节，则 HiAlert 标志置位。它们满足下面的等式：

$$\text{HiAlert} = (64 - \text{FIFOLength}) \leq \text{WaterLevel}$$

如果实际只有 WaterLevel 个（在寄存器 WaterLevelReg 中设置）或更少的字节存放在 FIFO 缓冲区中，则 LoAlert 标志置位。它们满足下面的等式：

$$\text{LoAlert} = (64 - \text{FIFOLength}) \leq \text{WaterLevel}$$



## 8 定时器组

WS1850S 含有一个定时器组件。外部主机使用该定时器来管理与时间有关的任务。定时器可使用下面的一种配置：

- 超时计数器
- 看门狗计数器
- 停止监测
- 可编程一次触发 (one-shot)
- 周期性触发器

定时器可用来测量两个事件之间的时间间隔或指示某段时间后指定事件的出现。定时器可由出现的事件来触发（这将在下面进行详细描述），但它本身不会影响任何内部操作（例如，数据接收过程中的定时器超时并不会影响接收过程的自动处理）。并且，定时器还对应几个标志，这些标志可用来产生中断。

定时器有一个 6,78MHz（来自 27.12MHz 的石英晶体）的输入时钟。定时器包含 2 个阶段：1 个预分频器和 1 个计数器。

预分频器是一个 12 位的计数器。TPrescaler 的重装值在寄存器 TModeReg 和

TPrescalerReg 中定义，其值为 0 或 4095。

计数器的 16 位重装值在寄存器 TReloadReg 中定义，取值范围为 0~65535。定时器的当前值在寄存器 TCouterValReg 中显示。

如果计数值达到 0，则中断自动产生，通过置位寄存器 CommonIRqReg 的 TimerIRq 标志来指示。如果使能，该事件还会激活 IRQ 管脚。TimerIRq 标志由主机来置位和复位。根据配置，定时器可以在计数值达到 0 时停止运行，或者，将寄存器 TReloadReg 的内容作为初始值重新启动。

定时器的状态通过寄存器 Status1Reg 的 TRunning 位来指示。

定时器的启动和停止可分别由寄存器 ControlReg 的 TStartNow 和 TstopNow 来控制。

而且，定时器还可通过置位寄存器 TModeReg 的TAuto 位自动激活，以满足特定的协议要求。

定时器阶段的延迟时间为重装值+1。

最大时间：TPrescaler=4095，TReloadVal=65535

$$\rightarrow 4096 \times 65536 / 6,78\text{MHz} = 39,59\text{s}$$

举例：

为了得到 100us，需要计数 678 个时钟周期。这就意味着 TPrescaler 的值必须设为TPrescaler=677。这样，定时器就有了一个 100us 的输入时钟。定时器可计数 65535 个 100us。

## 9 中断请求系统

WS1850S通过置位寄存器 Status1Reg 的 IRq 位或激活 IRQ 管脚来指示中断。IRQ 管脚的信号可用来中断微控制器使用自身的中断处理功能。允许执行有效的微控制器软件。

下表列出了中断标志、相关的中断源以及设置条件。

寄存器 CommIRqReg 的 TimerIRq 标志指示定时器中断。该标志在定时器的值从减 1到变为 0 时设置。

如果发送器激活且其状态从发送数据变为发送帧结束，则寄存器 CommIRqReg 的TxIRq 位置位，发送器部件自动设置中断位。

CRC 协处理器在处理完 FIFO 缓冲区的所有数据后置位寄存器 DivIRqReg 的 CRCIRq标志。这通过设置 CRCReady=1 来指示。

寄存器 CommIRqReg 的RxIRq 标志用来指示检测到接收数据的结束。

如果执行完一个命令且命令寄存器的内容变为空闲时寄存器 CommIRqReg 的 IdleIRq标志置位。

如果 HiAlert 位置位，则寄存器 CommIRqReg 的 HiAlertIRq 标志置位，表明 FIFO 缓冲区已经达到 WaterLevel 位指示的长度。

如果 LoAlert 位置位，则寄存器 CommIRqReg 的 LoAlertIRq 标志置位，表明 FIFO 缓冲区已经达到 WaterLevel 位指示的长度。

寄存器 CommIRqReg 的 ErrIRq 标志指示非接触式 UART 在发送或接收过程中检测到一个错误。

**表 9.1 中断源**

中断标志	中断源	出现下列情况时中断标志自动置位
TimerIRq	定时器	定时器计数从 1 到 0
TxIRq	发送器	一次数据流发送结束
CRCIRq	CRC 协处理器	已处理完 FIFO 缓冲区的所有数据
RxIRq	接收器	一次数据流接收结束
IdleIRq	命令寄存器	执行完一个命令
HiAlertIRq	FIFO 缓冲区	FIFO 缓冲区已满
LoAlertIRq	FIFO 缓冲区	FIFO 缓冲区为空
ErrIRq	非接触式 UART	检测到一个错误

## 10 震荡电路

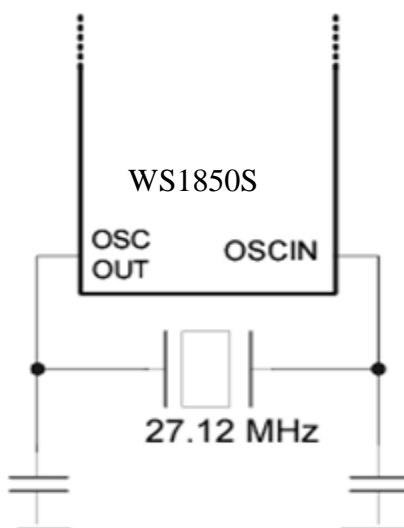


图 10.1 石英晶体的连接

WS1850S 的时钟可用作同步系统的编码器和译码器的时间基准。因此，时钟频率的稳定是保证系统良好性能的重要因素。为了得到最佳性能，要求时钟抖动尽可能小。最好的方法就是使用一个含有常用推荐电路的内部振荡缓冲器。如果使用外部时钟源，时钟信号就从管脚 OSCIN 输入。这时，要特别注意时钟的占空比，时钟抖动的要求以及检查时钟的质量。

## 11 节电模式

### 11.1 硬掉电

硬掉电通过 NRSTPD 管脚的低电平来使能。硬掉电模式下，包括振荡器在内的所有消耗能量的内部部件全部关闭。所有数字输入缓冲器和输入端分离，只能在内部定义（NRSTPD 管脚本身例外）。输出管脚冻结在某个特定值。

### 11.2 软掉电

寄存器 CommandReg 的 PowerDown 位置位后立刻进入软掉电模式。所有内部消耗电流的部件都关闭（包括振荡缓冲器在内）。

与硬掉电模式不同，数字输入缓冲器不和输入端分离，功能保持不变。数字输出管脚的状态不变。

所有寄存器的值、FIFO 的内容和配置信息在软掉电模式中都保持不变。

当寄存器 CommandReg 的 PowerDown 被设置成 0 后，还需要 1024 个时钟周期才能退出软掉电模式，由 PowerDown 位来指示。PowerDown 位设置成 0 并不能立刻将其清除。它在退出软掉电模式时自动由 WS1850S 清除。

注：如果使用了内部振荡器，必须考虑到它是由 AVDD 供电的，必须经过  $t_{osc}$  时间后，振荡器才能稳定运行，内部逻辑才能检测到时钟周期。

注：如果使用了串行 UART 接口，则软掉电模式通过向 WS1850S 发送值 55 (hex) 来复位。为了对寄存器进行进一步的访问，振荡器必须稳定运行。首次读或写访问的必须是地址 0。

对于串行 UART，建议先发送值 55 (hex)，直到 WS1850S 回应上一个寄存器内容为地址 0 的读命令时才执行对地址 0 的读访问。这样来指示 WS1850S 可以执行进一步的操作。

## 11.3 发送器掉电

发送器掉电模式切断内部天线驱动器来关闭 RF 场，通过清零寄存器 TXControlReg 的 TX1RfEn 或 TX2RfEn 来实现。

## 12 复位和振荡器启动时间

### 12.1 复位时序要求

复位信号必须经过一个滞后电路和窄带滤波器（抑制小于 10ns 的信号）再进入数字电路。为了实现复位，信号必须至少为 100ns。

### 12.2 振荡器启动时间

WS1850S 处于低功耗模式或使用 XVDD 对 IC 供电时的振荡器启动时序如下图所示。

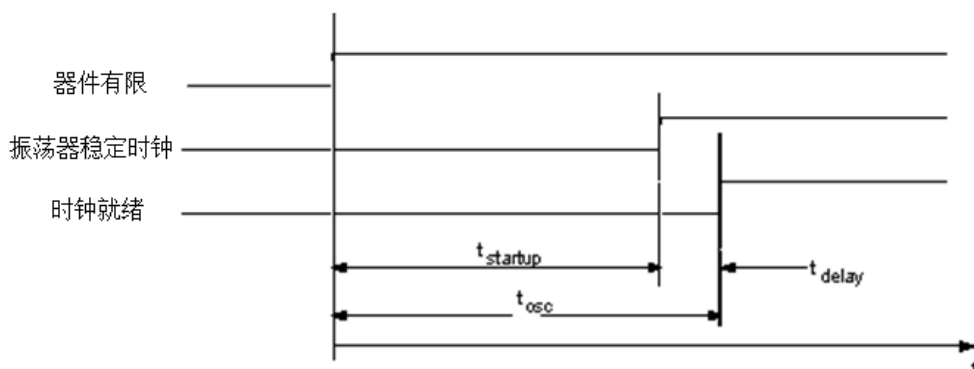


图 12.1 振荡器启动时间

时间 `tstartup` 定义了晶体振荡器电路的启动时间。该时间由晶体本身来定义。

`tdelay` 定义了时钟信号稳定时WS1850S的内部延迟时间，该延迟时间后WS1850S才能被寻址。这个时间延时可通过下式计算出来： $\text{tdelay[us]} = 1024/27.12 = 37.76\text{us}$ 。

`tosc` 定义成时间 `tdelay` 和 `tstartup` 之和。

## 13 WS1850S命令集

### 13.1 概述

WS1850S 的操作由可执行一系列命令的内部状态机来决定。通过向命令寄存器写入相应的命令代码来启动命令。

执行一个命令所需的参数和/或数据通过 FIFO 缓冲区来交换。

### 13.2 通用特性

- 每个需要数据流（或数据字节流）作为输入的命令在发现 FIFO 缓冲区有数据时会立刻处理，但收发命令除外。收发命令的发送由寄存器 `BitFramingReg` 的 `StartSend` 位来启动。
- 每个需要某一数量的参数的命令只有在它通过 FIFO 缓冲区接收到正确数量的参数时才能开始处理。
- FIFO 缓冲区不能在命令启动时自动清除。而且，也有可能要先将命令参数和/或数据字节写入 FIFO 缓冲区，再启动命令。
- 每个命令的执行都可能由微控制器向命令寄存器写入一个新的命令代码（如 `idle`命令）来中断。

### 13.3 WS1850S命令描述

#### 13.3.1 IDLE命令

WS1850S 处于空闲模式。该命令也用来终止实际正在执行的命令。

#### 13.3.2 CALCCRC命令

FIFO 的内容被传输到CRC 协处理器并执行CRC 计算。计算结果存放在

CRCResultReg 寄存器中。CRC 计算无需限制字节的数目。当在数据流过程中 FIFO 变成空时计算也不会停止。写入 FIFO 的下一个字节增加到计算中去。

CRC 的预置值由寄存器 ModeReg 的 CRCPreset 位控制，该值在命令启动时装入 CRC协处理器。

这个命令必须通过向命令寄存器写入任何一个命令（如空闲命令）来软件清除。如果寄存器 AutoTestReg 的 SelfTest 位设置正确，则WS1850S处于自测试模式，启动 CalCRC 命令执行一次数字自测试。自测试的结果写入 FIFO。

### 13.3.3 TRANSMIT 命令

发送 FIFO 的内容。在发送 FIFO 的内容之前必须对所有相关的寄存器进行设置。该命令在 FIFO 变成空后自动终止。

### 13.3.4 NoCMDCHANGE命令

该命令不会影响 CommandReg 寄存器中正在执行的任何命令。它可用来修改CommandReg 寄存器中除命令位之外的任何位，如 RcvOff 位或 PowerDown 位。

### 13.3.5 RECEIVE命令

WS1850S激活接收器通路，等待接收任何数据流。该命令在接收到的数据流结束时自动终止。根据所选的成帧和速度，通过帧模式结束或长度字节来指示。

### 13.3.6 TRANSCEIVE命令

该循环命令重复发送 FIFO 的数据，并不断接收 RF 场的数据。第一个动作是发送，发送结束后命令变为接收数据流。

发 送  
接 收  
发 送  
接 收

每个发送过程都在 BitFramingReg 寄存器的 StartSend 位置位时启动。TRANSCEIVE 命令通过向命令寄存器写入任何一个命令（如 idle 命令）来软件清除。

### 13.3.7 MFAUTHENT命令

该命令用来处理 Mifare 认证以使能到任何 Mifare 普通卡的安全通信。在命令激活前以下数据必须被写入 FIFO：

- 认证命令代码 (0x60, 0x61)
- 块地址
- 扇区密钥字节 0
- 扇区密钥字节 1
- 扇区密钥字节 2
- 扇区密钥字节 3
- 扇区密钥字节 4
- 扇区密钥字节 5
- 卡序列号字节 0
- 卡序列号字节 1
- 卡序列号字节 2
- 卡序列号字节 3

总共 12 字节，应当写入 FIFO 中。

注：当 MFAuthent 命令有效时，任何 FIFO 访问都被禁止。只要访问 FIFO 的操作发生，ErrorReg 寄存器的 WrErr 位就置位。

该命令在 Mifare 卡被认证且 Status2Reg 寄存器的MFCrypto1On 位置位时自动终止。

当卡未响应时该命令不会自动终止，因此，定时器必须初始化成自动模式。这时，除IdleIRQ 外，TimerIRQ 也可用作终止的标准。在认证过程中，RxIRQ 和TxIRQ 被禁止。认证命令结束后（处理完协议后或将 IDLE 写入命令寄存器后）只有 Crypto1On 位有效。

如果认证过程中有错误出现，则 ErrorReg 寄存器的 ProtocolErr 位置位。Status2Reg 寄存器的 Crypto1On 位清零。

### 13.3.8 SOFTRESET命令

该命令用来执行一次器件复位。内部缓冲区的配置数据保持不变。所有寄存器都设置成复位值。命令完成后自动终止。

注：由于 SerialSpeedReg 寄存器被复位，串行数据速率被设置成 9600kbps。



## 14 测试信号

### 14.1 测试总线

测试总线用来执行器件测试。下面的配置可用来改善包含 WS1850S 的系统的设计。测试总线允许使内部信号通向数字接口。测试总线信号通过访问 TestSel2Reg (0x32) 寄存器的 TestBusSel 来选择。

**表 14.1 TestSel2Reg 设置成0x07**

管脚	D6	D5	D4	D3	D2
测试信号	sdata	scoll	svalid	sover	RCV_reset

**表 14.2 测试信号描述**

测试信号	描述
sdata	指示实际接收到的数据值。
scoll	指示在实际的位中是否检测到冲突（仅适用于 106kbit/s 的传输）
svalid	指示 sdata 和 scoll 是否有效。
sover	指示接收器已经检测到一个停止位。
RCV_reset	指示接收器是否复位。

**表 14.3 TestSel2Reg 设置成0x0D**

管脚	D6	D5	D4	D3	D2
测试信号	clkstable	clk27/8	RESERVED	RESE RVED	clk27

**表 14.4 测试信号描述**

测试信号	描述
clkstable	指示振荡器是否产生一个稳定信号。
clk27/8	指示振荡器的输出信号 8 分频。
clk27	指示振荡器的输出信号。



## 14. 2管脚AUX的测试信号

表 14.5测试信号描述

SELAUX	AUX1/AUX2 的描述
0000	三态
0001	DAC: 寄存器 TestDAC 1/2
0010	DAC: 测试信号 corr1
0011	RESERVED
0100	DAC: 测试信号 MinLevel
0101	DAC: ADC_I
0110	DAC: ADC_Q
0111	DAC: 测试信号 ADC_I 和ADC_Q
1001	RESERVED
1010	高
1011	低
1100	TxActive
1101	RxActive
1111	TstBusBit

通过设置 AnalogTestReg 的SelAux1 或SelAux2, 每个信号都可切换到 AUX1 或 AUX2。

注: DAC 有一个电流输出, 建议 AUX1/AUX2 管脚使用一个 1k 的下拉电阻。

## 14. 3PRBS

根据 ITU-TO150 来使能 PRBS9 或 PRBS15。为了启动定义的数据流的发送, 必须激活命令发送。前导/同步字节/起始位/奇偶位自动产生, 由选择的模式决定。

注: 在进入 PRBS 模式前必须先配置好所有与发送数据相关的寄存器 (遵循 ITU-TO150)。

## 15 电气特性

### 15. 1绝对最大额定值

表 15.1 绝对最大额定值

符号	参数	最小	最大	单位
AVDD, DVDD, PVDD, TVDD	电源电压	-0.5	5.5	V

## 15.2 极限值

表 15.2 极限值

符号	参数	最小	最大	单位
P <sub>tot</sub>	总功耗		200	mW
T <sub>j</sub>	结点温度		100	℃

## 15.3 ESD特性

表 15.3 ESD特性

符号	参数	最小	最大	单位
ESDH	ESD 敏感度（人体模式）	1500 , 100pF	JESD22- A114-B	2000V
ESDM	ESD 敏感度（机器模式）	0.75uH, 200pF	JESD22- A114-A	200V
ESDC	ESD 敏感度（充电设备模式）	场感应 模式	JESC22- C101-A	1000V

## 15.4 温度特性

表 15.4 温度特性

符号	参数	条件	封装	值	单位
R <sub>thj-a</sub>	结点到周围环境的热电阻	暴露在静止空气中的四层 PCB 板的焊盘	HVQFN32	40	k/W

## 15.5 工作条件范围

表15.5 工作条件范围

符号	参数	条件	最小	典型	最大	单位
DVDD	数字电源电压	PVSS=DVSS=AVSS=TVSS=0V PVDD=DVDD<=AVDD<=TVDD	2.0	3.3	5.5	V
AVDD	模拟电源电压	PVSS=DVSS=AVSS=TVSS=0V PVDD=DVDD<=AVDD<=TVDD				
TVDD	发射器电源电压					
PVDD	管脚电源电压		2.0	3.3	5.5	V
TA	工作温度		-40		+85	℃

注：

- 1 电源电压在 3V 以下会降低器件的性能（如，可实现的操作距离）
- 2 AVDD, DVDD 和 TVDD 应当总是保持相同的电压。
- 3 PVDD 应当总是等于或低于 DVDD。

## 15.6 输入/输出管脚特性

### 15.6.1 EA,12C,MFIN和NRESET输入管脚特性

表 15.6 EA, 12C, MFIN 和 NRESET 输入管脚特性

符号	参数	条件	最小	典型	最大	单位
$I_{LEAK}$	输入漏电流		-1		1	uA
$V_{IH}$	输入电压高电平		0.7PVDD			V
$V_{IL}$	输入电压低电平				0.3PVDD	V

### 15.6.2 D1,D2,D3,D4,D5,D6和D7输入/输出管脚特性

表 15.7 D1, D2, D3, D4, D5, D6 和 D7 输入/输出管脚特性

符号	参数	条件	最小	典型	最大	单位
$I_{LEAK}$	输入漏电流		-1		1	uA
$V_{IH}$	输入电压高电平		0.7PVDD			V
$V_{IL}$	输入电压低电平				0.3PVDD	V
$V_{OH}$	输出电压高电平	PVDD=3V, $I_o=4mA$	PVDD-300mV		PVDD	V
$V_{OL}$	输出电压低电平	PVDD=3V, $I_o=4mA$	PVSS		PVSS+300mV	V
$I_{OL}$	输出电流驱动低电平	PVDD=3V			4	mA
$I_{OH}$	输出电流驱动高电平	PVDD=3V			4	mA

### 15.6.3 SDA输入/输出管脚特性

表 15.8 SDA 输入/输出管脚特性

符号	参数	条件	最小	典型	最大	单位
$I_{LEAK}$	输入漏电流		-1		1	uA
$V_{IH}$	输入电压高电平		0.7PVDD			V
$V_{IL}$	输入电压低电平				0.3PVDD	V
$V_{OL}$	输出电压低电平	PVDD=3V, $I_o=3mA$	-	-	PVSS+400mV	V
$I_{OL}$	输出电流驱动低电平	PVDD=3V	-	-	4	mA

#### 15.6.4 MFOUT输入/输出管脚特性

表 15.9 MFOUT 输出管脚特性

符号	参数	条件	最小	典型	最大	单位
$V_{OH}$	输出电压高电平	PVDD=3V, $I_o=4mA$	PVDD+300mV		PVDD	V
$V_{OL}$	输出电压低电平	PVDD=3V, $I_o=4mA$	PVSS		PVSS+300mV	V
$I_{OL}$	输出电流驱动低电平	PVDD=3V			4	mA
$I_{OH}$	输出电流驱动高电平	PVDD=3V			4	mA

#### 15.6.5 IRQ输入/输出管脚特性

表 15.10 IRQ 输出管脚特性

符号	参数	条件	最小	典型	最大	单位
$V_{OH}$	输出电压高电平	PVDD=3V, $I_o=4mA$	PVDD-300mV		PVDD	V
$V_{OL}$	输出电压低电平	PVDD=3V, $I_o=4mA$	PVSS		PVSS+300mV	V
$I_{OL}$	输出电流驱动低电平	PVDD=3V			4	mA
$I_{OH}$	输出电流驱动高电平	PVDD=3V			4	mA

#### 15.6.6 RX输入管脚特性

表 15.11 Rx 输入管脚特性

符号	参数	条件	最小	典型	最大	单位
$V_{IN, RX}$	输入电压范围		-1	-	AVDD+1V	V
$C_{IN, RX}$	RX 输入电容	AVDD=3V, 接收器有效, $V_{RX}=1V_{pp}$ , 1.5V <sub>DC</sub> 的偏移	-	10	-	pF
$R_{IN, RX}$	RX 输入串联电阻	AVDD=3V, 接收器有效, $V_{RX}=1V_{pp}$ , 1.5V <sub>DC</sub> 的偏移	-	350	-	Ohm

注：RX 的电压被内部二极管箝位到 AVSS 和 AVDD。

#### 15.6.7 OSCIN输入管脚特性

表 15.12外部时钟的 OSCIN 输入管脚特性

符号	参数	条件	最小	典型	最大	单位
$I_{LEAK}$	输入漏电流		-1	-	1	uA
$V_{IH}$	输入电压高电平		0.7AVDD	-	-	V
$V_{IL}$	输入电压低电平		-	-	0.3AVDD	V
$C_{OSCIN}$	输入电容	AVDD=2.8V, V <sub>DC</sub> =0.65V, V <sub>ac</sub> =1V <sub>pp</sub>	-	2	-	pF

## 15.6.8 AUX2输出管脚特性

**表 15.13 AUX2 输出管脚特性**

符号	参数	条件	最小	典型	最大	单位
$V_{OH}$	输出电压高电平	DVDD=3V, $I_O=4mA$	DVDD-300mV	-	DVDD	V
$V_{OL}$	输出电压低电平	DVDD=3V, $I_O=4mA$	DVSS	-	DVSS+300mV	V
$I_{OL}$	输出电流驱动低电平	DVDD=3V	-	-	4	mA
$I_{OH}$	输出电流驱动高电平	DVDD=3V	-	-	4	mA

## 15.6.9 TX1和TX2输出管脚特性

**表 15.14 TX1 和 TX2 输出管脚特性**

符号	参数	条件	最小	典型	最大	单位
$V_{OH}$	输出电压高电平	TVDD=3V, $I_{TX}=32mA$ , CWGsP=3F (hex)	TVDD -150mV	-	-	mV
$V_{OH}$	输出电压高电平	TVDD=3V, $I_{TX}=80mA$ , CWGsP=3F (hex)	TVDD -400mV	-	-	mV
$V_{OH}$	输出电压高电平	TVDD=2.5V, $I_{TX}=32mA$ , CWGsP=3F (hex)	TVDD -240mV	-	-	mV
$V_{OH}$	输出电压高电平	TVDD=2.5V, $I_{TX}=80mA$ , CWGsP=3F (hex)	TVDD -640mV	-	-	mV
$V_{OL}$	输出电压低电平	TVDD=3V, $I_{TX}=32mA$ , CWGsN=F (hex)	-	-	150	mV
$V_{OL}$	输出电压低电平	TVDD=3V, $I_{TX}=80mA$ , CWGsN=F (hex)	-	-	400	mV
$V_{OL}$	输出电压低电平	TVDD=2.5V, $I_{TX}=32mA$ , CWGsN=F (hex)	-	-	240	mV
$V_{OL}$	输出电压低电平	TVDD=2.5V, $I_{TX}=80mA$ , CWGsN=F (hex)	-	-	640	mV

## 15.7 电气参数

表 15.15 电气参数

符号	参数	条件	最小	典型	最大	单位
3.3V 电气特性						
$I_{HPD}$	硬掉电电流	AVDD=DVDD=TVDD=PVDD=3.3V NRSTPD=LOW	—	0.02	—	uA
$I_{SPD}$	软掉电电流	AVDD=DVDD=TVDD=PVDD=3.3V RF由电平检测器开启	—	0.5	—	uA
$I_{IDLE}$	空闲电流	AVDD=DVDD=TVDD=PVDD=3.3V	—	2.4	—	mA
$I_{DVDD}$	数字电源电流	DVDD=3.3V	—	1.97	—	mA
$I_{AVDD}$	模拟电源电流	AVDD=3.3V, 位RCVOff=0	—	1.98	—	mA
	模拟电源电流	AVDD=3.3V, 位RCVOff=1	—	1.95	—	mA
$I_{TVDD}$	发射器电源电流	连续发射载波, TVDD=3.3V	—	60	100	mA
$V_{Ripple}$	抗电源纹波				400	mV
$V_{Noise}$	抗电源随机噪声				1600	mV
$R_{TX}$	TX输出电阻			25		$\Omega$
$V_{RX}$	RX输入灵敏度	$f_{SUB}=848kHz$		0.5		mVrms
$R_{RX}$	Rx输入电阻			50		K $\Omega$
$V_{POR}$	上电复位电压			1.5		V
$T_{OSU}$	晶振启动时间			700		us
5V 电气特性						
$I_{HPD}$	硬掉电电流	AVDD=DVDD=TVDD=PVDD=5V NRSTPD=LOW	—	0.02	—	uA
$I_{SPD}$	软掉电电流	AVDD=DVDD=TVDD=PVDD=5V RF由电平检测器开启	—	0.6	—	uA
$I_{IDLE}$	空闲电流	AVDD=DVDD=TVDD=PVDD=5V	—	2.5	—	mA
$I_{DVDD}$	数字电源电流	DVDD=5V	—	2.2	—	mA
$I_{AVDD}$	模拟电源电流	AVDD=5V, 位RCVOff=0	—	2.1	—	mA
	模拟电源电流	AVDD=5V, 位RCVOff=1	—	2.07	—	mA
$I_{TVDD}$	发射器电源电流	连续发射载波, TVDD=5V	—	90	150	mA
$V_{Ripple}$	抗电源纹波				300	mV
$V_{Noise}$	抗电源随机噪声				1600	mV
$R_{TX}$	TX输出电阻			20		$\Omega$
$V_{RX}$	RX输入灵敏度	$f_{SUB}=848kHz$		0.5		mVrms
$R_{RX}$	Rx输入电阻			50		K $\Omega$
$V_{POR}$	上电复位电压			1.5		V
$T_{OSU}$	晶振启动时间			700		us

## 15. 8RX输入电压范围

表 15.16 RX 输入电压范围

符号	参数	条件	最小	典型	最大	单位
$V_{RX, MinIV, Mill}$	最小输入电压, Miller 编码	AVDD=3V, 106kbit/s	-	150	-	mVpp
$V_{RX, MinIV, Man}$	最小输入电压, Manchester 编码	AVDD=3V, 212 和 424kbit/s	-	100	-	mVpp
$V_{RX, MaxIV, Mill}$	最大输入电压, Miller 编码	AVDD=3V, 106kbit/s	-	4	-	Vpp
$V_{RX, MaxIV, Man}$	最大输入电压, Manchester 编码	AVDD=3V, 212 和 424kbit/s	-	4	-	Vpp

## 15. 9 RX输入灵敏度

表 15.17 RX 输入灵敏度

符号	参数	条件	最小	典型	最大	单位
$m_{RX, Mill}$	最小调制系数, Miller 编码	AVDD=3V, 106kbit/s $V_{RX}=1.5V_{PP}$ , SensMiller=3	-	33	-	%
$V_{RXMod, Man}^1$	最小调制电压	AVDD=3V, RxGain=7	-	5	-	mV

注 1: 除了Miller 编码的信号外, 最小调制电压对于所有调制机制都有效。

## 15. 10 时钟频率

表 15.18 时 钟 频 率

符号	参数	最小	典型	最大	单位
$f_{OSCIN}$	时钟频率		27.12		MHz
$d_{FEC}$	时钟频率的占空比	40	50	60	%
$t_{jitter}$	时钟边沿的抖动			10	Ps, RMS

## 15. 11 XTAL振荡器

表 15.19 XTAL 振 荡 器

符号	参数	最小	典型	最大	单位
$f_{XTAL}$	XTAL 频率	27.10 6	27.12	27.13 4	MHz
$R_{XTAL}$	XTAL 串联电阻			tbd	OHM
$C_{L, XTAL}$	XTAL 负载电容			tbd	pF

## 15.12 典型27.12MHz晶体的要求

表 15.20 XTAL 振荡器

符号	参数	最小	典型	最大	单位
$f_{XTAL}$	XTAL 频率范围	–	27.12	–	MHz
ESR	XTAL 等效串联电阻	–	–	100	OhM
$C_L$	XTAL 负载电容	–	18	–	pF
$P_{XTAL}$	XTAL 驱动电平	–	50	100	uW

## 15.13 SPI接口时序

表 15.21 SPI的时序规范

符号	参数	最小	最大	单位
$t_{SCKL}$	SCK 低电平脉宽	50	–	ns
$t_{SCKH}$	SCK 高电平脉宽	50	–	ns
$t_{SHDX}$	SCK 高电平到数据变化	25	–	ns
$t_{DXSH}$	数据变化到 SCK 高电平	25	–	ns
$t_{SLDX}$	SCK 低电平到数据变化	–	25	ns
$t_{SLNH}$	SCK 低电平到 NSS 高电平	0	–	ns

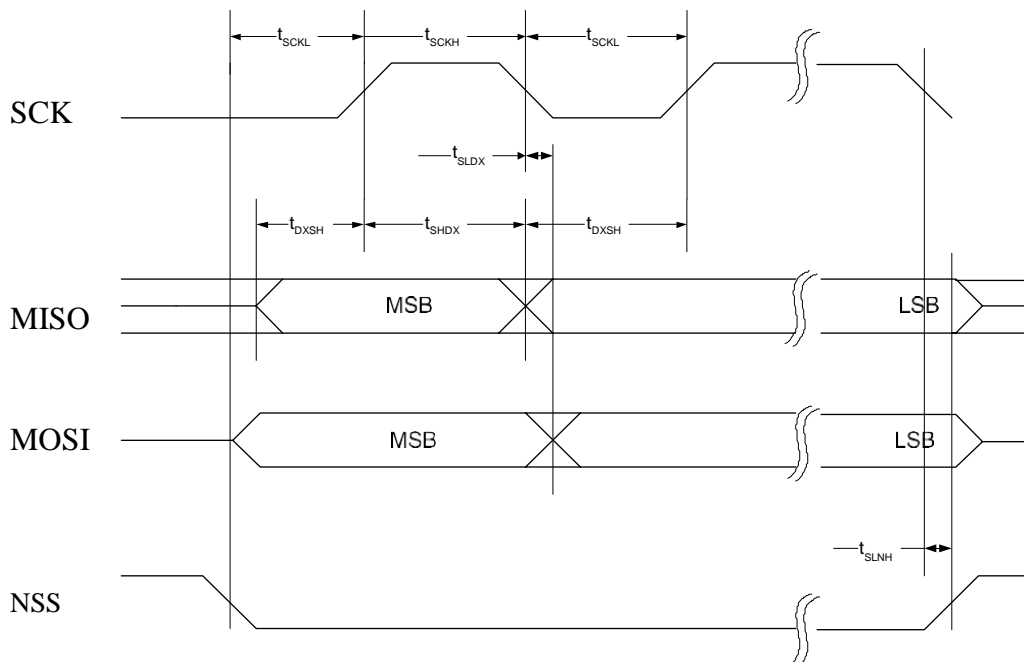


图15.1 SPI时序图

注：信号 NSS 必须为低以便可在一个数据流中发送多个字节。为了发送多个的数据流，NSS 必须在数据流之间设置成高电平。



## 15.14 I<sup>2</sup>C时序

表 15.22 快速模式下的 I<sup>2</sup>C 时序

符号	参数	快速模式		高速模式		单位
		最小	最大	最小	最大	
$f_{SCL}$	SCL 时钟频率	0	400	0	3400	kHz
$t_{HD; STA}$	保持时间（重复的）起始条件。这个周期之后产生第一个时钟脉冲。	600	—	160	—	ns
$t_{SU; STA}$	重复起始条件的建立时间	600	—	160	—	ns
$t_{SU; STO}$	停止条件的建立时间	600	—	160	—	ns
$t_{LOW}$	SCL 时钟的低电平周期	1300	—	160	—	ns
$t_{HIGH}$	SCL 时钟的高电平周期	600	—	60	—	ns
$t_{HD; DAT}$	数据保持时间	0	900	0	70	ns
$t_{SU; DAT}$	数据建立时间	100	—	10	—	ns
$t_{rsc1}$	SCL 信号的上升时间	20	300	10	40	ns
$t_{fsc}$	SCL 信号的下降时间	20	300	10	40	ns
$t_{rsda}$	SDA 和 SCL 信号的上升时间	20	300	10	80	ns
$T_{fsda}$	SDA 和 SCL 信号的下降时间	20	300	10	80	ns
$t_{BUF}$	停止和起始条件之间的总线空闲时间	1.3	—	1.3	—	us

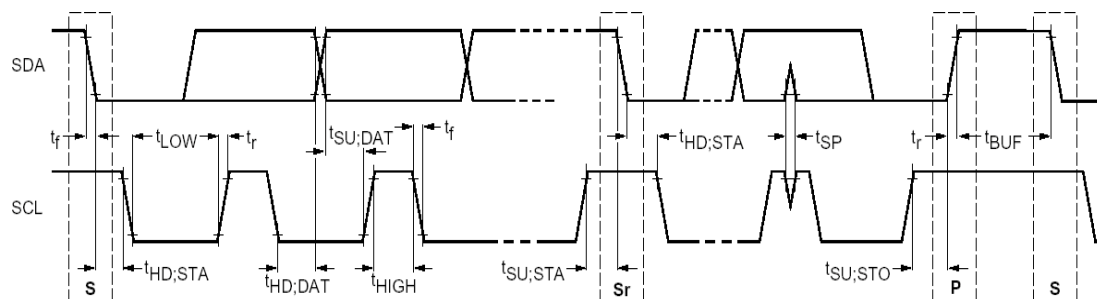


图 15.2 I<sup>2</sup>C 总线上 F/S 模式器件的时序

## 16 典型应用

图16.1是WS1850S在读卡器产品的典型应用原理框图。通过与MCU配合，加上相应的外围控制和反馈电路，可以简单方便地实现各类读写卡产品方案，降低生产成本和调试复杂度，同时可以获得高性能高速率的稳定可靠的非接触式数据传输。

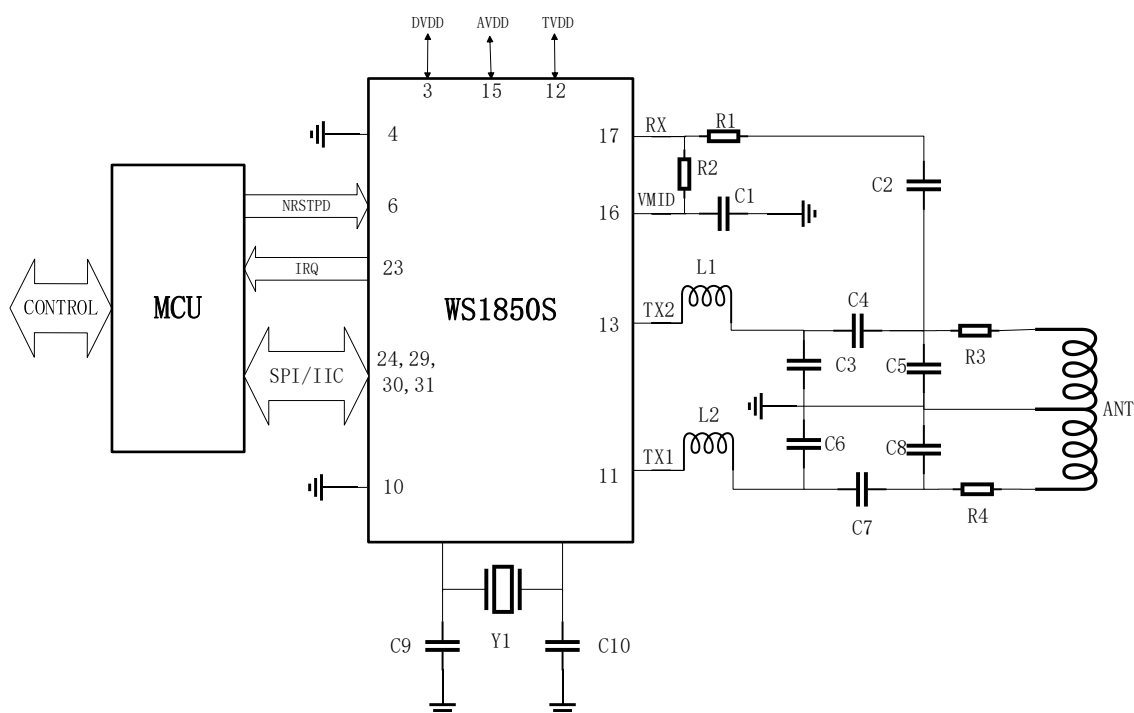
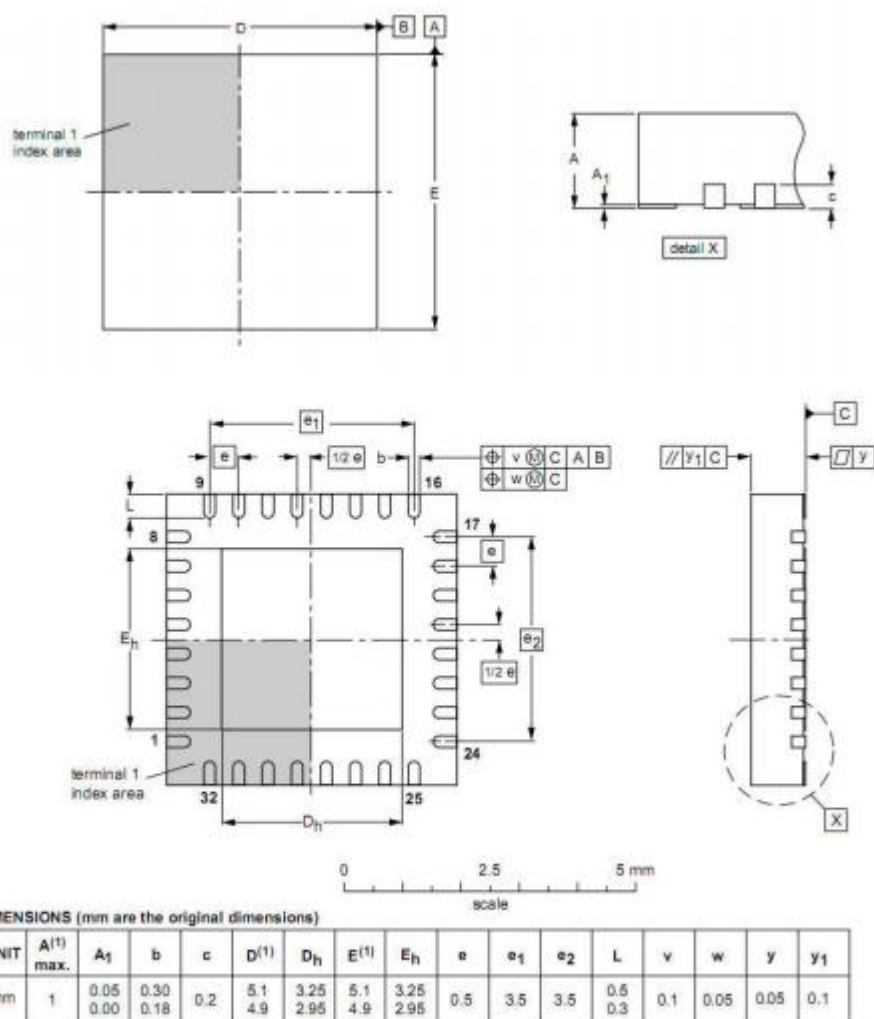


图16.1 读卡器典型应用框图

## 17 封装



### QFN32 封装尺寸

### 32-Pin QFN Package