



第六届

全国大学生集成电路创新创业大赛

报告类型*: 仿真验证环境说明文档

参赛杯赛*: 景嘉微杯

作品名称*: 一种应用于图形显示的 Upsampling IP

队伍编号*: CICC1215

团队名称*: 虹ヶ咲学园芯片设计同好会

仿真验证环境说明文档

——第六届全国大学生集成电路创新创业大赛景嘉微杯初赛提交文档

队名：虹ヶ咲学园芯片设计同好会

成员：黄金源 邓立唯 林明锋

2022 年 5 月 31 日

前言

本文档(仿真验证环境及说明文档)仅作为虹ヶ咲学园芯片设计同好会（成员：黄金源、邓立唯、林明锋）参加第六届全国大学生集成电路创新创业大赛景嘉微杯赛初赛提交文档供评委评分使用。

虹ヶ咲学园芯片设计同好会

2022 年 5 月 31 日

目录

第一章	验证工具	1
第二章	验证方法及策略	2
第三章	验证范围	3
3.1	Bicubic 上采样模块	3
3.2	纹理分类模块	3
3.3	自适应锐化模块	3
3.4	注意事项	4
第四章	验证环境	5
4.1	验证平台	5
4.2	工程目录	5
4.3	待验证设计	5
第五章	覆盖率	7
第六章	验证分析	8

第一章 验证工具

本次 IP 验证平台将基于 System Verilog 进行编写。

使用由队伍成员邓立唯开源的 [Bitmap Processing Library & AXI-Stream Video Image VIP](#) 进行测试样例图片读取写回，简化测试样例生成步骤及测试结果输出对比。

To verificate a video or a image processing IP, you may need to read a real image into your design, send its data by an interface. Then, get the output from the interface, and convert it to a new image, save or compare it. ——[Bitmap Processing Library & AXI-Stream Video Image VIP](#)

由于队伍成员每个人有不同的验证工具使用习惯，在本次项目中验证会使用到：

- Intel ModelSim
- Synopsys VCS & Verdi
- Verilator & GtkWave

第二章 验证方法及策略

采用直接验证与随机验证结合。

直接验证: 通过对比测试图片在 C Model 进行超分辨率算法运算结果与 RTL 代码在仿真中输出结果对比。

随机验证: 对部分子模块(如高斯滤波器、纹理分类器等)所需的运算数据通过产生随机种子产生随机数据, 对比参考模型运算输出结果与待测模块输出结果。

第三章 验证范围

3.1 Bicubic 上采样模块

- 满足 AXI4-Stream 协议要求，完成视频流数据收发
- 完成 Biubic 上采样算法结果输出
- 运算结果与参考模型匹配
- 结果输出是否超出数据范围
- 满足时序要求

3.2 纹理分类模块

- 满足 AXI4-Stream 协议要求，完成视频流数据接收
- 完成纹理分类算法结果输出
- 输出寻址结果与参考模型匹配
- 结果输出是否超出地址范围
- 满足时序要求

3.3 自适应锐化模块

- 满足 AXI4-Stream 协议要求，完成视频流数据收发
- 完成自适应锐化算法结果输出

- 输出像素结果与参考模型匹配
- 结果输出是否超出数据范围
- 满足时序要求

3.4 注意事项

- 不需进行跨时钟域检查
- 需进行代码覆盖率验证

第四章 验证环境

4.1 验证平台

该验证平台包含了测试样例生成器、驱动器、待测单元、其他外设VIP(如DDR)、监视器、记分板、参考模型以及一个全局配置。

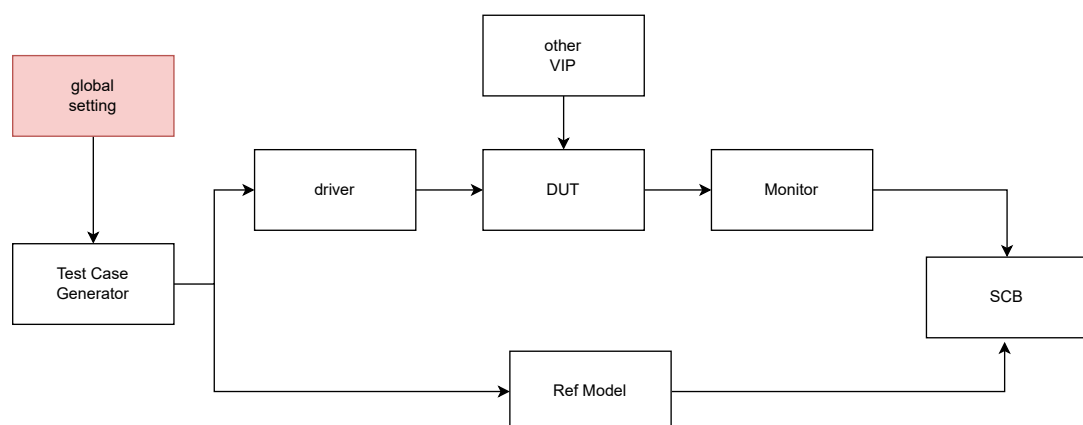


图 4.1: 验证平台

4.2 工程目录

4.3 待验证设计

src	bicubic	dsp_simd2x_int9xuint8.sv
		sfr.v
	texture_classifier	gaus_5x5_kernel.v
		gaus_para_reg.v
		dsp_5x5_uint9xuint8_multiplier.v
		dsp_25_sum_adder.v
		dsp_round_limit.v
		lap_3x3_kernel.v
		dsp_3x3_sum_adder.v
		data_split.v
		uniform_code.v
		angle_code.v
		adderss_code.v
		fifo_3line.v
		fifo_5line.v
		fifo.v
		fifo_mapping.v
		fifo_ctl_unit.v
	adaptive_sharp	dsp_conv_5x5_multiplier.v
		dsp_25_sum_adder.v
		dsp_round_limit.v
		filter_weight_store.v
		filter_weight_fetch.v
		ram.v
sim	ref	
	scb	
	tb	

表 4.1: 待验证设计

第五章 覆盖率

当前项目已完成设计部分，即将进入验证阶段。

第六章 验证分析

当前项目已完成设计部分，即将进入验证阶段。