

# RTL模块设计说明文档

——第六届全国大学生集成电路创新创业大赛景嘉微杯初赛提交文档

队名：虹ヶ咲学园芯片设计同好会

成员：黄金源 邓立唯 林明锋

2022 年 5 月 27 日

# 前言

本文档(RTL模块设计说明文档)仅作为虹ヶ咲学园芯片设计同好会（成员：黄金源、邓立唯、林明锋）参加第六届全国大学生集成电路创新创业大赛景嘉微杯赛初赛提交文档供评委评分使用。

虹ヶ咲学园芯片设计同好会

2022 年 5 月 27 日

# 目录

第一章 概要	1
第二章 上采样模块	2
第三章 纹理分类模块	3
3.1 运算位宽与量化 . . . . .	3
3.2 高斯卷积核 . . . . .	3
3.3 高斯系数寄存器单元 . . . . .	4
3.4 并行乘法器单元 . . . . .	4

# 第一章 概要

上采样 IP 设计采用了模块化设计，主要分为三大部分：

1. Bicubic 上采样模块
2. 纹理分类模块
3. 自适应锐化模块

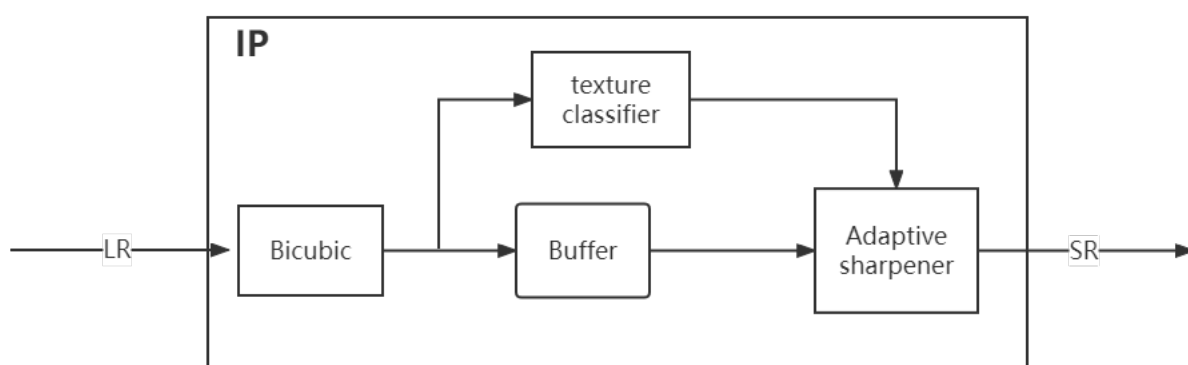


图 1.1: IP 概览

## 第二章 上采样模块

具体说明详见附件文档[APV21B\\_Bicubic\\_Super\\_Resolution\\_IP\\_UM](#)第四部分具体设计结构。

## 第三章 纹理分类模块

纹理分类 IP 可提供对于单通道图像每个  $5 \times 5$  或  $3 \times 3$  图像块的纹理特征进行实时分类。包含了一个归一化高斯卷积核、一个标准拉普拉斯算子、一个 LBP 分类器、三个行缓冲模块、一个滤波器参数存储单元和一个控制单元。为了确保卷积操作后仍需令图像保持原始尺寸，行缓冲模块包含了图像填充处理操作与数据映射模块，由控制单元进行管理。

### 3.1 运算位宽与量化

为了节省片上资源的消耗，最大化提升 DSP 利用率，在本模块中，不同部分对于 DSP48E2 均有不同程度上的优化。其中，针对高斯滤波卷积中，将核内权重进行9位无符号量化，在保证高斯卷积核性能的同时充分利用了 DSP48E2 单元的乘法器。这种量化方法仅支持8位图像输入。另外，为了保证后续拉普拉斯滤波数据误差尽可能降低，我们将高斯滤波后的数据量化为20位，尽可能保留数据位宽，避免引入过大误差影响后续操作。在完成拉普拉斯算子卷积后生成的是1位图像输出至 LBP 分类器。

### 3.2 高斯卷积核

高斯卷积核包含了一个高斯系数寄存器单元、一组并行乘法器单元、一组并行的加法器单元、一组并行舍入单元。每个像素进行高斯滤波卷积是以像素本身为中心，边缘  $5 \times 5$  的像素块作为数据输入。每个像素块需要与对应的高斯系数进行相乘然后累和。该高斯卷积核 IP 每个时钟周期处理4个像素。

### 3.3 高斯系数寄存器单元

高斯滤波卷积核系数是由  $\delta$  所决定，在运行过程中， $\delta$  不会发生改变，所以该系数为常数。同时， $5 \times 5$  卷积核系数与所在卷积核的位置有关系，并且成对应关系。25个系数只需要存6个系数即可。

### 3.4 并行乘法器单元

并行乘法单元包含了7个 DSP48E2 用于实现  $5 \times 5$  大小的卷积乘法操作。在两个时钟周期内可输出结果(一周期内也可实现结果输出，但为了提升 IP 最大时钟频率，输出端插入一级寄存器增大时序违例余量)

由于高斯系数具有对称性，当计算图像块对应的位置的时候，存在几对像素所相乘同一个高斯权重系数。例如上图(0,0)、(0,4)、(4,0)、(4,4)对应像素均是乘以同一个系数。因此，我们可以利用这一特性，并结合 DSP48E2 的大位宽乘法器，同时进行两个8位数据乘以一个9位权重，并保留完整位宽输出。具体设计分析可以查看[APV21B\_Bicubic\_Super\_Resolution\_IP\_UM] 第四部分Biubic设计详细解释中的乘加单元(MA Unit)介绍。

### 3.5 拉普拉斯卷积核

### 3.6 LBP分类器

### 3.7 行缓冲模块