



第六届

全国大学生集成电路创新创业大赛

报告类型*: 性能评估文档

参赛杯赛*: 景嘉微杯

作品名称*: 一种应用于图形显示的 Upsampling IP

队伍编号*: CICC1215

团队名称*: 虹ヶ咲学园芯片设计同好会

性能评估文档

——第六届全国大学生集成电路创新创业大赛景嘉微杯初赛提交文档

队名：虹ヶ咲学园芯片设计同好会

成员：黄金源 邓立唯 林明锋

2022 年 5 月 31 日

前言

本文档(性能评估文档)仅作为虹ヶ咲学园芯片设计同好会（成员：黄金源、邓立唯、林明锋）参加第六届全国大学生集成电路创新创业大赛景嘉微杯赛初赛提交文档供评委评分使用。

虹ヶ咲学园芯片设计同好会

2022 年 5 月 31 日

目录

第一章	概述	1
第二章	Bicubic 上采样模块性能评估	2
2.1	性能参数	2
2.1.1	最大频率	2
2.1.2	最大延迟	2
2.1.3	吞吐量	3
2.2	资源使用量	3
第三章	纹理分类模块性能评估	5
3.1	性能参数	5
3.1.1	最大频率	5
3.1.2	最大延迟	5
3.1.3	吞吐量	6
3.2	资源使用量	6
第四章	自适应锐化模块性能评估	7
4.1	性能参数	7
4.1.1	最大频率	7
4.1.2	最大延迟	8
4.1.3	吞吐量	8
4.2	资源使用量	8

第一章 概述

性能评估主要分为三大部分，针对于每个设计 IP 进行单独评估分析，其中包括 Bicubic 上采样模块性能评估、纹理分类模块性能评估以及自适应锐化模块性能评估。

第二章 Bicubic 上采样模块性能评估

本章性能评估数据参考文档 [APB21B-Performance Evaluation](#)。

2.1 性能参数

使用 Vivado 与 Synopsys Synplify Premier 进行时序分析。以输入 960×540 的图像数据为基准。

2.1.1 最大频率

FPGA Device Family	Analysis Tool	Fmax (MHz)
Xilinx Virtex UltraScale+	Synopsys Synplify Premier 2020.03	628.6
Xilinx Kintex UltraScale+	Synopsys Synplify Premier 2020.03	417.2
Xilinx Zynq UltraScale+	Synopsys Synplify Premier 2020.03	394.1
	Vivado 2021.1	428.4
Xilinx Kintex 7	Synopsys Synplify Premier 2020.03	361.7
Xilinx Artix 7	Synopsys Synplify Premier 2020.03	192.2
Intel Stratix 10	Synopsys Synplify Premier 2020.03	260.7
Intel Max 10	Synopsys Synplify Premier 2020.03	220.5
Intel Arria V	Synopsys Synplify Premier 2020.03	142.5

表 2.1: 最大频率

2.1.2 最大延迟

仅用于评估该IP的路径时延，不考虑受系统延迟或其他限制。假设图像输入宽为

W 位像素。

描述	时钟周期
Bicubic流水运算从输入到输出	13
第一个像素进入到第一个像素输出	$10 \cdot W + 28$
最后一个像素进入到最后一个像素输出	$13 \cdot W + 31$

表 2.2: 最大延迟

2.1.3 吞吐量

用于评估不同图像帧大小进入。

输入分辨率	输出分辨率	吞吐量(FPS/MHz)	FPS@150MHz
320 x 240	1280 x 960	3.23	484.7
480 x 270	1920 x 1080	1.92	287.6
640 x 360	2560 x 1440	1.08	162.1
960 x 540	3840 x 2160	0.48	72.1

表 2.3: 吞吐量

2.2 资源使用量

Xilinx Zynq UltraScale+ 器件的资源使用量的结果是在 Vivado 综合器下，使用 DSP48E2 和 XPM 宏进行评估的。

Device	configuration		Resource Utilization			
	Input Resolution	fCLK(MHz)	LUTS	FFTs	DSPs	BRAMs
XCZU15EG	960 × 540	300	431	694	49 ¹	2.5 ³
XC7K325T	960 × 540	150	1979	2713	30 ²	2 ³

表 2.4: 资源使用量

其他器件的评估结果是使用 Verilog 自动推断完成的，可能由于每个器件的 DSP 模块的数据宽度不同而导致不同。实时视频 Bicubic 上采样 IP 已为 Xilinx UltraScale+

系列器件的 DSP48E2 模块特别优化。为了最大限度地利用资源，建议使用这些器件进行合成。

第三章 纹理分类模块性能评估

由于该模块处于整合阶段，故未进行详细性能评估。

3.1 性能参数

使用 Vivado 进行时序分析。

3.1.1 最大频率

未进行评估。

3.1.2 最大延迟

仅用于评估该IP的路径时延，不考虑受系统延迟或其他限制。假设图像输入宽为 W 位像素。

描述	时钟周期
高斯滤波运算从输入到输出	9
拉普拉斯滤波运算从输入到输出	4
纹理检测器运算从输入到输出	1
第一个像素进入到第一个像素输出	$8 \cdot W + 14$
最后一个像素进入到最后一个像素输出	$8 \cdot W + 14$

表 3.1: 最大延迟

3.1.3 吞吐量

未进行评估。

3.2 资源使用量

未进行评估。

第四章 自适应锐化模块性能评估

4.1 性能参数

使用 Vivado 进行时序分析。

4.1.1 最大频率

此模块最大频率限制是由于内部设计使用了 URAM288，其最大速率由工艺决定。

FPGA Device Family	Analysis Tool	Fmax (MHz)
Xilinx Virtex UltraScale+	Vivado 2021.2	355.1
Xilinx Kintex UltraScale+	Vivado 2021.2	351.3
Xilinx Zynq UltraScale+	Vivado 2021.2	344.4
Xilinx Versal AI Core Series	Vivado 2021.2	348.8

表 4.1: 最大频率

4.1.2 最大延迟

仅用于评估该IP的路径时延，不考虑受系统延迟或其他限制。假设图像输入宽为 W 位像素。

描述	时钟周期
锐化卷积运算从输入到输出	10
第一个像素进入到第一个像素输出	$3 \cdot W + 10$
最后一个像素进入到最后一个像素输出	$3 \cdot W + 10$

表 4.2: 最大延迟

4.1.3 吞吐量

与 Bicubic 上采样模块吞吐量评估结果一致。

4.2 资源使用量

Xilinx Zynq UltraScale+ 器件的资源使用量的结果是在 Vivado 综合器下，使用 DSP48E2 和 XPM 宏进行评估的。其他器件的评估结果是使用 Verilog 自动推断完成的，可能由于每个器件的 DSP 模块的数据宽度不同而导致不同。实时视频自适应锐化 IP 已为 Xilinx UltraScale+ 系列器件的 DSP48E2 模块特别优化。为了最大限度地利用资源，建议使用这些器件进行合成。

Device	Configuration Parameter		resource utilization				
	Input resolution	fclk(MHz)	LUTs	FFs	DSPs	BRAM	URAM
XCZU15EG	960×540	300	228	1633	148	5	10

表 4.3: 资源使用量