

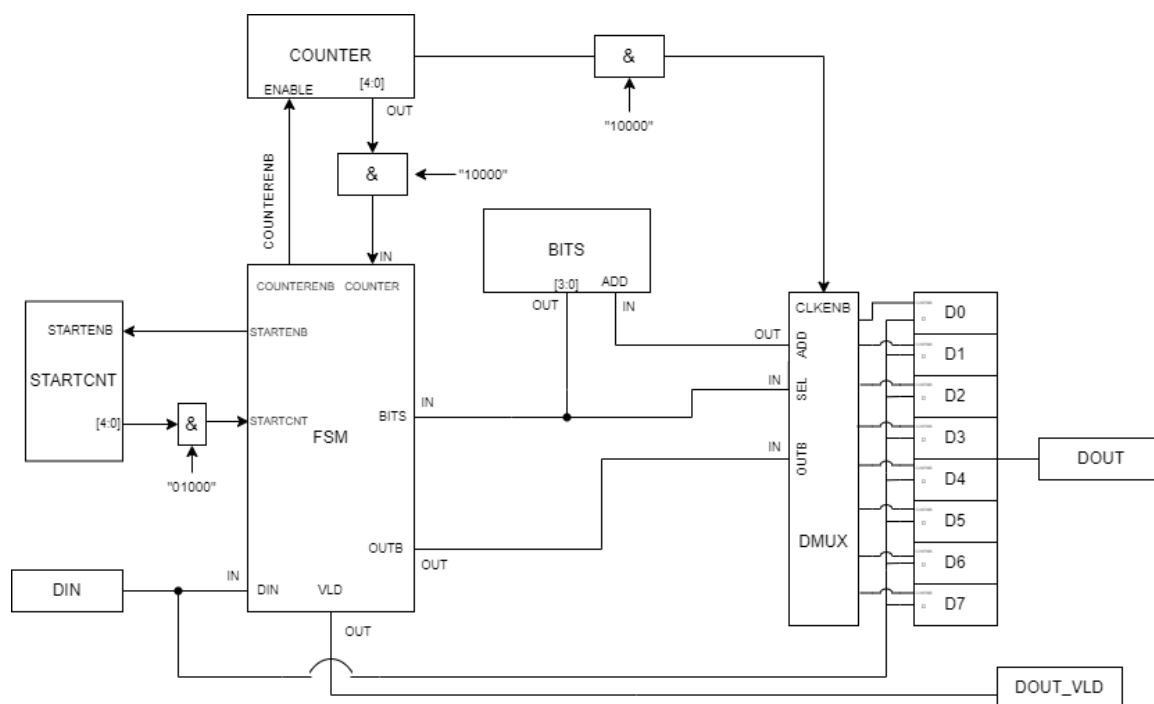
Příloha: Výstupní zpráva

Jméno: Jan Kalenda

Login: xkalen07

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Obvod se skládá z následujících komponent:

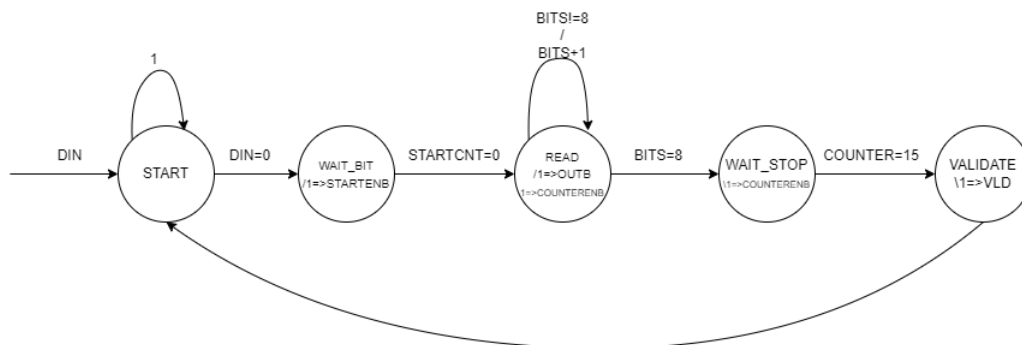
- **FSM** - stavový automat
- čítač **COUNTER** - 5 bitový, začíná na hodnotě "1000", inkrementuje se každou náběžnou hranu signálu *CLK* a obnovuje se na hodnotu "0000" každou 16. náběžnou hranu signálu *CLK*
- čítač **STARTCNT** - 5 bitový, počítá 8 náběžných hran při čtení *START_BIT*
- čítač **BITS** - 4 bitový, počítá počet přečtených bitů
- **DMUX** - demultiplexor přepínající mezi jednotlivými sloty registru uchovávající hodnotu každého přečteného bitu
- **D0-D7** - registry

Popis funkce

Obvod zpočátku čeká na *START_BIT* (logická 0), poté pomocí *CNT* čítače čeká na *MIDBIT* tohoto bitu a poté čte každých 16 náběžných hran hodnotu bitu, kterou následně ukládá pomocí demultiplexoru na příslušné pozice v registru *DOUT*. Po načtení 8 bitů se počká dalších 16 náběžných hran *CLK* na *MIDBIT END_BITu* a poté je 1 nastavena na *DOUT_VLD*, čítač *CNT* se zastavuje a čítač *BITS* se nuluje a obvod čeká na další *START_BIT*.

Návrh automatu (Finite State Machine)

Schéma automatu



Konečný automat má 5 stavů:

- **START**, kdy se čeká na *START_BIT* značený logickou 0
- **WAIT_BIT**, ve kterém se pomocí *STARTCNT* čeká na 8. náběžnou hranu signálu *CLK* na ověření *START_BITu*
- **READ**, kdy se čte 8 bitů, které se zapisují přes demultiplexor na registr a inkrementuje se čítač *BITS* každých 16 náběžných hran *CLK*
- **WAIT_STOP**, na který se přejde když má *BITS* hodnotu "1000", a čeká se na *MIDBIT END_BITu*
- **VALIDATE**, kdy se zkontroluje *stop_bit* a 1 se pošle na *DOUT_VLD*, zresetuje se *BITS* čítač a zastaví *COUNTER* čítač a automat se vrátí zpět do stavu *START*

Popis funkce

Automat začíná ve stavu *START*, kde čeká na první bit s hodnotou 0, tzv. *START_BIT*. Po přesunu do stavu *WAIT_BIT* zapíná *STARTCNT* čítač, vyčká se 8 náběžných hran signálu *CLK*, měřených *STARTCNT* čítačem, a následně se přesune do stavu *READ*, kde každých 16 náběžných hran *CLK* pošle aktuální bit na *DOUT* a inkrementuje čítač *BITS*, který počítá počet přečtených bitů. Po přečtení 8 bitů se automat dostane do stavu *WAIT_STOP*, kde čeká 16 náběžných hran signálu *CLK*. Poté se dostává do stavu *VALIDATE*, kde čte *STOP_BIT*, resetuje *BITS* a zastavuje se *COUNTER*, posílá hodnotu 1 na *DOUT_VLD* a vrací se zpět do stavu *START*.

