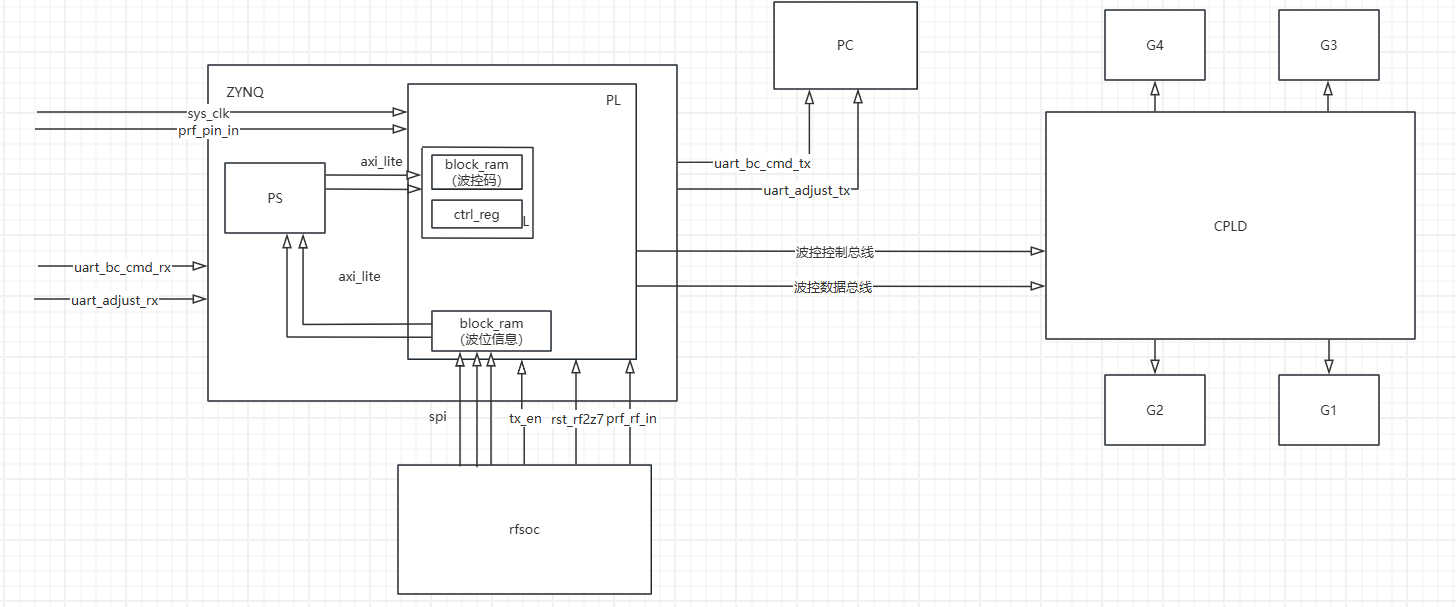
1. 系统框图



1. 端口定义

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | 输入/输出 | 位宽 | 描述 |
| sys\_clk | input | 1 | 时钟 |
| prf\_pin\_in | input | 1 | prf信号 |
|  |  |  |  |
| uart\_bc\_cmd\_rxd | input | 1 | uart输入（波位信息输入串口） |
| uart\_bc\_cmd\_txd | output | 1 | uart输出（波位信息输出串口） |
| uart\_adjust\_data\_rxd | input | 1 | uart输入（基态码输入串口） |
| uart\_adjust\_data\_txd | output | 1 | uart输出（基态码输出串口） |
|  |  |  |  |
| sclk | output | 1 | spi时钟（波位信息输入） |
| cs\_n | output | 1 | spi片选（波位信息输入） |
| mosi | output | 1 | spi数据（波位信息输入） |
|  |  |  |  |
| prf\_rf\_in | input | 1 | prf信号 |
| tr\_en | input | 1 | 发射使能 |
| bc\_data\_done | input | 1 | RFSOC波控数据发送完成 |
|  |  |  |  |
| scl\_o | output | 1 | 波控时钟 |
| sel\_o | output | 1 | 波控片选 |
| sd\_o | output | [3:0] | 波控数据（1组4个芯片） |
| ld\_o | output | 1 | 波控latch信号 |
| trt\_o | output | 1 | 波控发射使能信号 |
| trr\_o | output | 1 | 波控发射使能信号 |

注：标红的波控接口一共有8组

1. RFSOC PL与ZYNQ7000 PL通信协议定义

|  |  |
| --- | --- |
| 高8bit是地址 | 低16bit是数据 |

这里的地址是数据的索引，一个16bit数据加一，**地址并不是字节编码。**

地址数据对应关系如下：

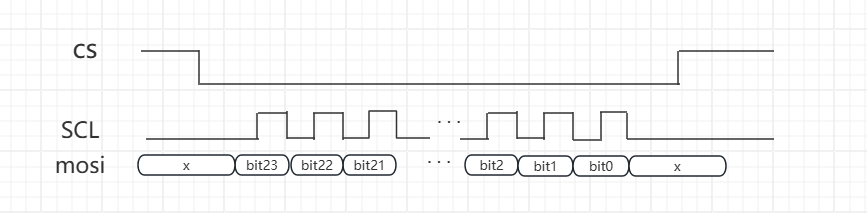
|  |  |
| --- | --- |
| 地址 | 数据 |
| 0 | 波位0的方位角 |
| 1 | 波位0的俯仰角 |
| 2 | 波位0的recv\_col\_sel[15:0] |
| 3 | 波位0的recv\_col\_sel[31:16] |
| 4 | 波位0的send\_col\_sel[15:0] |
| 5 | 波位0的send\_col\_sel[31:16] |
| 6 | 波位0的tr\_en\_sel |
| 7 | 保留给波位0 |
| ... | ... |
| 120 | 波位15的方位角 |
| 121 | 波位15的俯仰角 |
| 122 | 波位15的recv\_col\_sel[15:0] |
| 123 | 波位15的recv\_col\_sel[31:16] |
| 124 | 波位15的send\_col\_sel[15:0] |
| 125 | 波位15的send\_col\_sel[31:16] |
| 126 | 波位15的tr\_en\_sel |
| 127 | 保留给波位15 |
| 128-243 | 保留 |
| 244 | 控制寄存器ctrl\_reg0[15:0] |
| 245 | 控制寄存器ctrl\_reg0[31:16] |
| 246 | 控制寄存器ctrl\_reg1[15:0] |
| 247 | 控制寄存器ctrl\_reg1[31:16] |
| 248 | 控制寄存器ctrl\_reg2[15:0] |
| 249 | 控制寄存器ctrl\_reg2[31:16] |
| 250-255 | 保留给控制寄存器 |

**注：**

1.其中波控角度、recv\_col\_sel以及send\_col\_sel的定义见小节5，控制寄存器的定义见小节6。

2.RFSOC每次发送完波位信息后需要控制ctrl\_reg0以及ctrl\_reg1。

1. rfsoc数据发送时序



scl下降沿更新数据，zynq7000端上升沿采集数据。

1. 波位数据定义

|  |  |  |
| --- | --- | --- |
| 名称 | 位宽 | 描述 |
| 方位角 | 16bit | 方位角度[[1]](#footnote-0)，具体角度乘以100 |
| 俯仰角 | 16bit | 俯仰角度，具体角度乘以100 |
| recv\_col\_sel寄存器 | 32bit | 对应关系参照图5- 1和  图5- 2：  bit0-bit7:发射0编号0-7  bit8-bit15:发射1编号0-7  bit16-bit23:接收0编号0-7  bit24-bit31:接收1编号0-7  功能：bit为1，则对应列为接收，为0且send\_col\_sel组中对应bit也为0则对应列波控码设置为0 |
| send\_col\_sel寄存器 | 32bit | 对应关系参照图5- 1和  图5- 2：  bit0-bit7:发射0编号0-7  bit8-bit15:发射1编号0-7  bit16-bit23:接收0编号0-7  bit24-bit31:接收1编号0-7  功能：bit为1，则对应列为发射，为0且recv\_col\_sel组中对应bit也为0则对应列波控码设置为0 |
| tr\_en\_sel | 8bit | tx发射选择信号，被选中的组作为发射组，映射图参考图5- 3：  bit0-bit3:对应着BC1\_G1-BC1\_G4  bit4-bit7:对应着BC2\_G1-BC2\_G4  bit8-bit31:保留 |

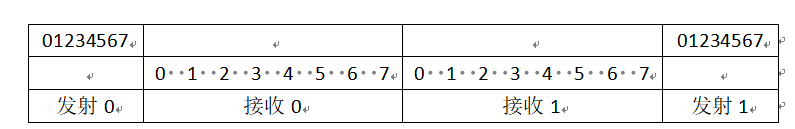


图5- 1 地基天线列分布图



图5- 2 扫描架天线列分布图

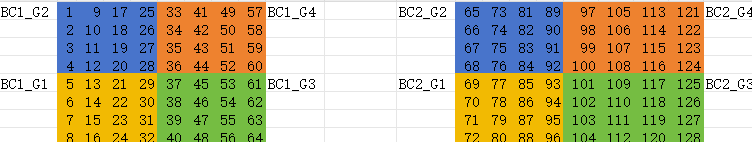


图5- 3 扫描架天线组分布图

1. 控制寄存器的定义

访问类型是针对于ZYNQ 7000的PS端而言，RFSOC访问类型与之相反。

* 1. ctrl\_reg0

（ZYNQ地址4200\_01E8）

|  |  |  |  |
| --- | --- | --- | --- |
| 位 | 名称 | 访问类型 | 描述 |
| 31:4 | 保留 | 保留 | 保留 |
| 2 | tr\_mode | 读 | 表明tr信号是外部输入还是FPGA内部产生  0：FPGA内部产生  1：外部输入 |
| 1 | ld\_mode | 读 | 设置latch的模式  0：数据配置完直接latch  1：数据配置完等prf上升沿latch |
| 0 | prf\_mode | 读 | 选择prf信号的来源。（仅针对ZYNQ 7000和RFSOC协作有用，RFSOC单独使用时设置为1）  0：RFSOC连接器输入  1：外部排针输入 |

* 1. ctrl\_reg1

（ZYNQ地址4200\_01EC）

|  |  |  |  |
| --- | --- | --- | --- |
| 位 | 名称 | 访问类型 | 描述 |
| 31：0 | beam\_pos\_num | 读 | 波位的数量 |

* 1. ctrl\_reg2

（ZYNQ地址4200\_01F0）

|  |  |  |  |
| --- | --- | --- | --- |
| 位 | 名称 | 访问类型 | 描述 |
| 31：1 | 保留 | 保留 | 保留 |
| 0 | bc\_calcu\_start | 读/写 | 波控计算开始 |

1. Zynq7000的PS端地址定义

|  |  |  |  |
| --- | --- | --- | --- |
| 访问类型 | 基地址 | 地址范围 | 内容 |
| R/W | 0x4000\_0000 | 128KB | BLOCK RAM（波控码） |
| R/W | 0x4200\_0000 | 8KB | BLOCK RAM（波控角度） |
| R/W | 0x4400\_0000 | 8K | BLOCK RAM（TR使能） |
| W | 0x43c0\_0000 | 4B | app\_param0 |
| W | 0x43c0\_0004 | 4B | app\_param1 |
| W | 0x43c0\_0008 | 4B | app\_param2 |
| R | 0x43c0\_0020 | 4B | app\_status0 |
| R | 0x43c0\_0024 | 4B | app\_status1 |
| R | 0x43c0\_0028 | 4B | app\_status2 |

1. 波控角度block\_ram的地址空间详细定义

基地址0x4200\_0000（ZYNQ 7000），地址按字节编码。

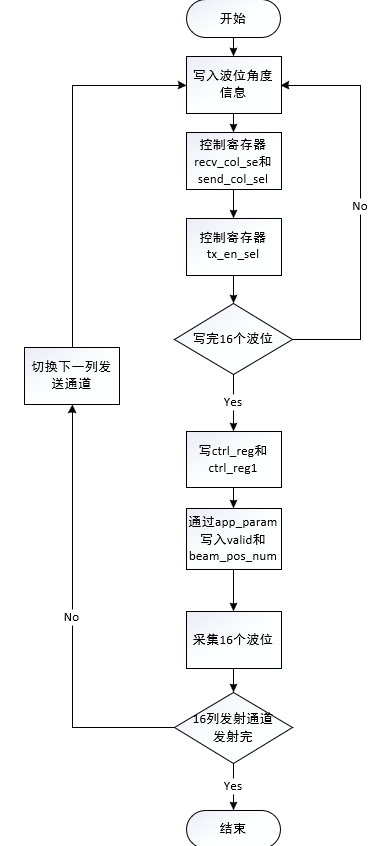
|  |  |
| --- | --- |
| 偏移地址 | 数据 |
| 0x00 | 高16bit：波位0俯仰  低16bit：波位0方位 |
| 0x04 | 高16bit：波位0的recv\_col\_sel[31:16]  低16bit：波位0的recv\_col\_sel[15:0] |
| 0x08 | 高16bit：波位0的send\_col\_sel[31:16]  低16bit：波位0的send\_col\_sel[15:0] |
| 0x0C | 高16bit：波位0的保留字段  低16bit：波位0的tr\_en\_sel[15:0] |
| ... | ... |
| 0XF0 | 高16bit：波位15俯仰  低16bit：波位15方位 |
| 0XF4 | 高16bit：波位15的recv\_col\_sel[31:16]  低16bit：波位15的recv\_col\_sel[15:0] |
| 0XF8 | 高16bit：波位15的send\_col\_sel[31:16]  低16bit：波位15的send\_col\_sel[15:0] |
| 0xFC | 高16bit：波位15的保留字段  低16bit：波位15的tr\_en\_sel[15:0] |
| 0X100-0X1E4 | 保留 |
| 0X1E8 | 高16bit：ctrl\_reg0[31:16]  低16bit：ctrl\_reg0[15:0] |
| 0X1EC | 高16bit：ctrl\_reg1[31:16]  低16bit：ctrl\_reg1[15:0] |
| 0X1F0 | 高16bit：ctrl\_reg2[31:16]  低16bit：ctrl\_reg2[15:0] |
| 0X1F4-0X1FC | 保留 |

注：其中ctrl\_reg2不需要RFSOC 的PS端进行控制，ZYNQ7000 PL对它进行控制，由ZYNQ 7000 PS端读取。

1. RFSOC PS端控制说明
   1. 控制信息参考

控制信息参考小节5和小节6，地址空间参考小节8。

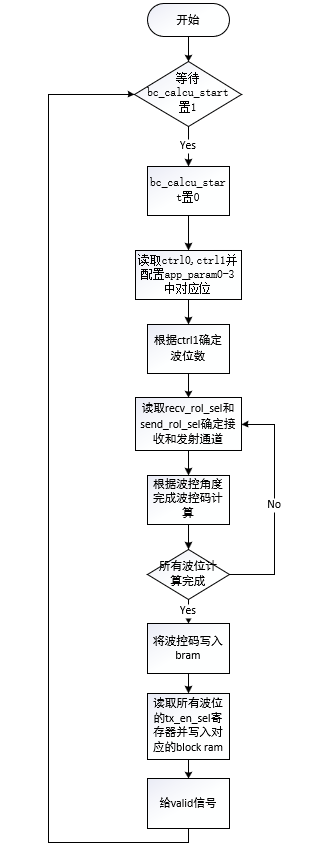
* 1. 控制流程



1. ZYNQ 7000 PS端控制说明
   1. 控制信息参考

控制信息参考小节5和小节6，小节7，地址空间参考小节8。

* 1. 控制流程



1. 最新文档路径

\\logisen01\lixiaoping\bc\doc\zynq7000波控功能定义.docx

1. 版本修订记录

|  |  |
| --- | --- |
| 时间 | 内容 |
| 2025/01/07 | 第5小节增加了(4)TR开关模式寄存器 |
| 2025/01/08 15:54 | 增加了第6小节，ZYNQ系统，原第6小节开始小节号加1 |
| 2025/01/08 16:15 | 第5小节TR开关模式寄存器改名为app\_param3；第3、8小节波位124，新增app\_param3；第8小节新增波控码计算请求信号 |
| 2025/01/08 18:49 | 控制寄存器改为ctrl0、ctrl1以及ctrl2并更新地址空间；对外端口增加bc\_angle\_done信号； |
| 2025/01/09 15:07 | rstn\_rf2z7信号改名为image\_start；prf\_mode内容改变 |
| 2025/01/10 11:36 | 增加第5小节波位数据定义，每个波位增加两个32bit寄存器；地址空间更新； |
| 2025/01/14 12:04 | 删除image\_start，增加bc\_data\_done；新增小节9和小节10；控制寄存器0中删除send\_flag；增加小节11 |

1. 角度范围是(-180，180]，需要转换到0-359，即0-180不变，(-180-0]加360，然后再乘以100。 [↑](#footnote-ref-0)