

Cognoms i Nom:

NIU:

Responen les preguntes de la prova en l'espai habilitat, no s'acceptaran fulls apart. Llegiu l'enunciat de cada pregunta amb cura i contesteu només el que es pregunta, però justifiqueu sempre la vostra resposta.

Teoria 1. (1 punt)

Responen breument les següents preguntes:

a) Què és el Registre Comptador de Programa (PC)?

És el registre de la CPU que conté en tot moment l'adreça de la instrucció en curs (o de la següent). En finalitzar cada instrucció aquest comptador s'incrementa i d'aquesta manera garanteix l'execució seqüencial dels programes emmagatzemats a la memòria principal.

b) Què és la memòria cache

La Memòria Cache és una memòria que conceptualment es situa entre els registre de la CPU i la memòria principal. La seva capacitat és més reduïda (kilobytes) i més ràpida que la principal, amb un temps d'accés de pocs nanosegons. És la memòria destinada a emmagatzemar sèries d'instruccions i segments de dades per a que la CPU les tingui més a l'abast sense necessitat d'anar a buscar-les a la Memòria Principal. A mesura que les instruccions i les dades es van a buscar a la memòria principal i s'executen/processen, s'aprofita per emmagatzemar-les a la memòria cache i així si aquestes instruccions/dades es tornen a necessitar perquè pertanyen a una estructura repetitiva ja les trobem a la memòria cache i no cal esperar l'accés a la memòria principal que és molt més lenta. Aquesta manera de procedir millora molt la velocitat d'execució dels programes.

Teoria 2. (1 punt)

Expliqueu breument les diferents tipus i tecnologies de memòria en el computador (0,5 punts)

Es tracte d'explicar conceptes com el de memòria volàtil i no volàtil. Dintre de les memòria del tipus volàtil explicar les d'organització RAM, estàtiques i les dinàmiques. Dintre de les no volàtil explicar els conceptes de ROM, PROM, EPROM i EEPROM per acabar parlant de les memòries Flash i els discs SSD

Teoria 3. (2 punts)

Describeu l'execució de les següents instruccions a nivell de transferència de registres i seguint tots els passos del model de màquina de von Neumann.

- a) **MOVE RPG1 , 1000** (RPG1 és un registre del processador i 1000 vol dir que es fa servir el mode d'adreçament directe)

MAR \leftarrow (PC)

Ordre de lectura + temps d'espera de la lectura + PC \leftarrow (PC) +1

Càrrega del MBR

IR \leftarrow (MBR) Cerca de la instrucció

Descodificació

MAR \leftarrow (Reg Inst) adreça EL 1000 passa del IR al MAR

Ordre de lectura + temps d'espera de la lectura

Càrrega del MBR L'MBR captura el contingut de la posició (1000)

RPG1 \leftarrow (MBR) Execució

- b) **call 2000** (salt a subrutina, el registre SP conté el valor 400, apunta a la 1a posició lliure i la pila creix cap a posicions descendents de memòria)

MAR \leftarrow (PC)

Ordre de lectura + temps d'espera de la lectura + PC \leftarrow (PC) +1

Càrrega del MBR

IR \leftarrow (MBR) Cerca de la instrucció

Descodificació

MAR \leftarrow (SP) EL Stack Pointer passa al MAR

MBR \leftarrow (PC) Pot ser simultània a l'anterior

Ordre d'escriptura + temps d'espera de l'escriptura

SP \leftarrow (SP) - 1 Fem créixer la pila avall.

PC \leftarrow (Reg Inst) adreça Fem el salt a la subrutina de la posició 1000

Teoria 4. (1 punt)

En un moment determinat el processador es troba executant la instrucció CMP RPG0, RPG1 que pertany a un cert programa P1. Coneixem les dades següents:

- Aquesta instrucció es troba a la posició 6000 de memòria,
- RPG0 i RPG1 són registres de 8 bits i en el moment d'executar-la RPG0 conté el valor 00110010 i RPG1 el valor 11100111
- En aquest moment el registre SP conté el valor 2000. En aquesta màquina SP apunta a la primera posició lliure de la pila i la pila creix cap a posicions majors de memòria.
- En el moment en que la ALU (Unitat Aritmètica-Lògica) està fent l'operació entre RPG0 i RPG1, s'activa l'únic senyal d'interrupció que té el processador.
- El registre d'estat té 8 bits, però només s'emmagatzemen els bits C, Z, S i O (en aquest ordre i en els bits menys significatius del registre), els altres 4 bits sempre valen 0.
- La rutina de servei que s'executarà en cas d'acceptar la interrupció és a l'adreça F000 de memòria.

Suposant que el processador acceptarà i servirà la interrupció que s'ha produït, responeu les preguntes següents:

- i) Indiqueu els valors emmagatzemats en els registres comptador de programa (PC), estat (SR) i apuntador a la pila (SP) just abans de saltar a la rutina de servei d'interrupció.

| | | | |
|------------------------|---------------|----------------------------------|-----------|
| RPG0 | 00110010 | | 00110010 |
| RPG1 | 11100111 | | 00011001 |
| ----- | | | ----- |
| | 01001011 | Resta (suma en complement a dos) | 01001011 |
| C=0, Z=0, S=0 i O(V)=0 | SR = 00000000 | PC = 6001 | SP = 2000 |

- ii) Indiqueu els valors emmagatzemats en els registres comptador de programa (PC) i apuntador a la pila (SP) just després de saltar a la rutina de servei d'interrupció.

PC = F000 SP = 2002 Atès que ha salvat a la pila, el PC i el registre d'estat

Teoria 5. (1 punt) Descriviu breument els tres mecanismes d'E/S introduïts en el curs (E/S programada amb llaços d'espera, E/S programada amb interrupcions i Accés directe a memòria). Indiqueu també les raons que justifiquen l'existència dels dos darrers mecanismes.

L'E/S programada de dades (TPD) amb llaços d'espera comporta que es fa mitjançant un programa executat per la CPU on es

- 1 selecciona el dispositiu
- 2 determina si esta disponible
- 3 accedeix a l'i/o port
- 4 si no hem acabat tornar a 2

El pas "2" es fa amb un bucle on es llegeix sistemàticament un registre d'estat del dispositiu que ens indicadrà la disponibilitat, esperant que estigui disponible. En aquest bucle podem consumir el 99% dels temps de la TPD.

Si canviem aquest bucle pel fet que el controlador envii una interrupció a la CPU quan estigui disponible serà una E/S programada amb interrupcions. Això comporta que a partir del punt 3 la CPU pot anar a executar altres programes i anirà fent el pas 3 cada cop que rebí una interrupció. El pas 3 serà la rutina de tractament de la interrupció.

Accés Directe a Memòria consisteix en incloure un controlador de DMA. Aquest dispositiu pot substituir completament la CPU en fer la transferència mentre la CPU fa altres tasques. El controlador de DMA quan acabi la feina que se li ha encomanat d'entrada o sortida, interromprà la CPU per a que li programi una altra tasca. Per tant la intervenció de la CPU es limita a programar el que ha de fer el DMA i el DMA fa la transferència