



Universidade Federal de Pelotas

Instituto de Física e Matemática

Departamento de Informática

Bacharelado em Ciência da Computação

Arquitetura e Organização de Computadores II

Aula 9

**2. MIPS pipeline: construção do bloco operativo
pipeline, visualização da execução das instruções
no pipeline, o bloco de controle pipeline.**

Prof. José Luís Güntzel

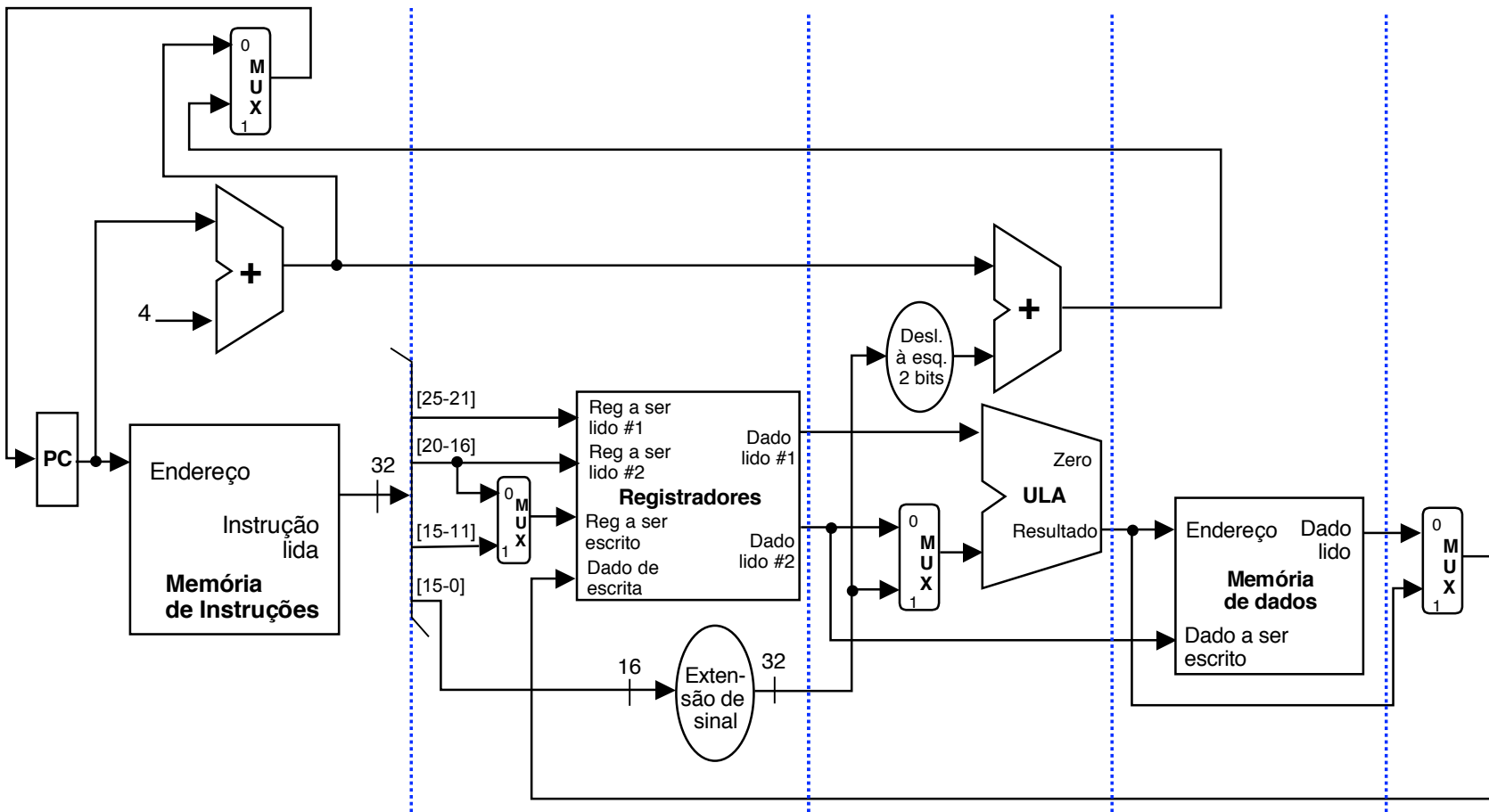
guntzel@ufpel.edu.br

www.ufpel.edu.br/~guntzel/AOC2/AOC2.html

2. Organizações do MIPS: pipeline

► Bloco Operativo dos MIPS Monociclo

É possível identificar 5 etapas na execução



2. Organizações do MIPS: pipeline

► **Bloco Operativo em Pipeline (*Pipeline Datapath*)**

É necessário separar a parte operativa em cinco partes, cada uma correspondendo a um estágio de execução de uma instrução:

1. **BI:** busca de instrução
2. **DI:** decodificação da instrução e leitura do banco de registradores
3. **EX:** execução ou cálculo de endereço
4. **MEM:** acesso à memória de dados
5. **ER:** escrita no banco de registradores

Até cinco instruções podem estar em execução durante um dado ciclo de clock

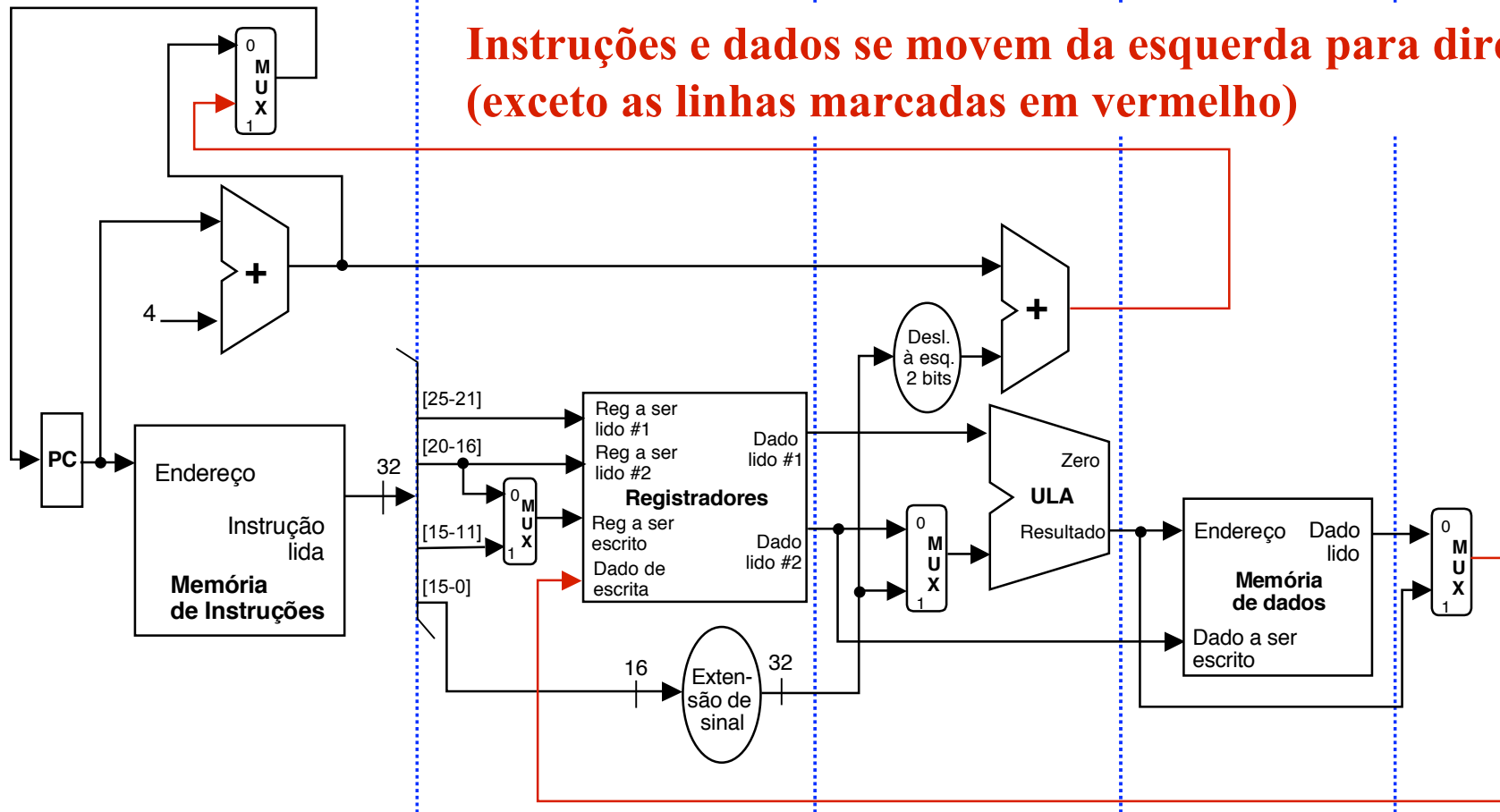
2. Organizações do MIPS: pipeline

BI: Busca da instrução

DI: Decodif. da instrução/
Leitura do banco de regs.

EX: Execução/
Cálculo do endereço

MEM: acesso à mem
ER: escrita no banco
de registradores



2. Organizações do MIPS: pipeline

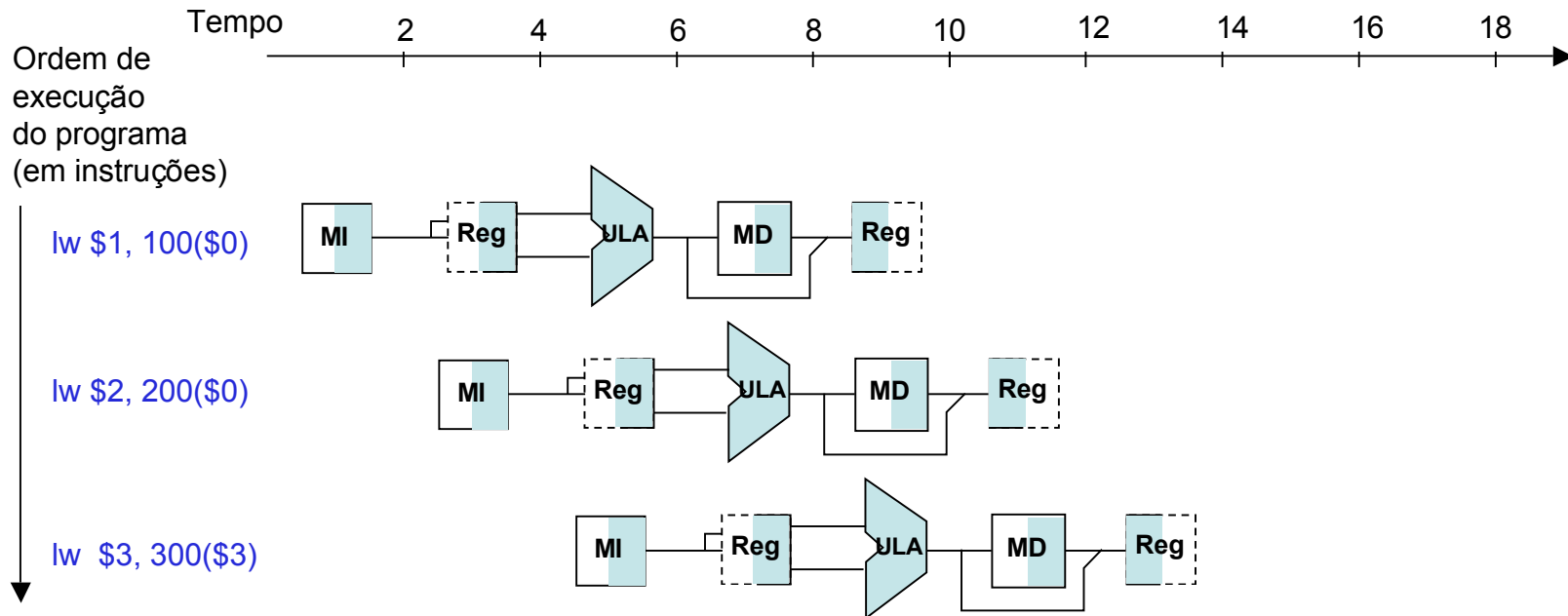
► **Bloco Operativo em Pipeline**

- ❑ Um modo de mostrar a execução em pipeline é imaginar que cada instrução executa em seu próprio bloco operativo
- ❑ Os blocos operativos são colocados deslocados uns em relação aos outros, a fim de mostrar a relação entre as instruções

2. Organizações do MIPS: pipeline

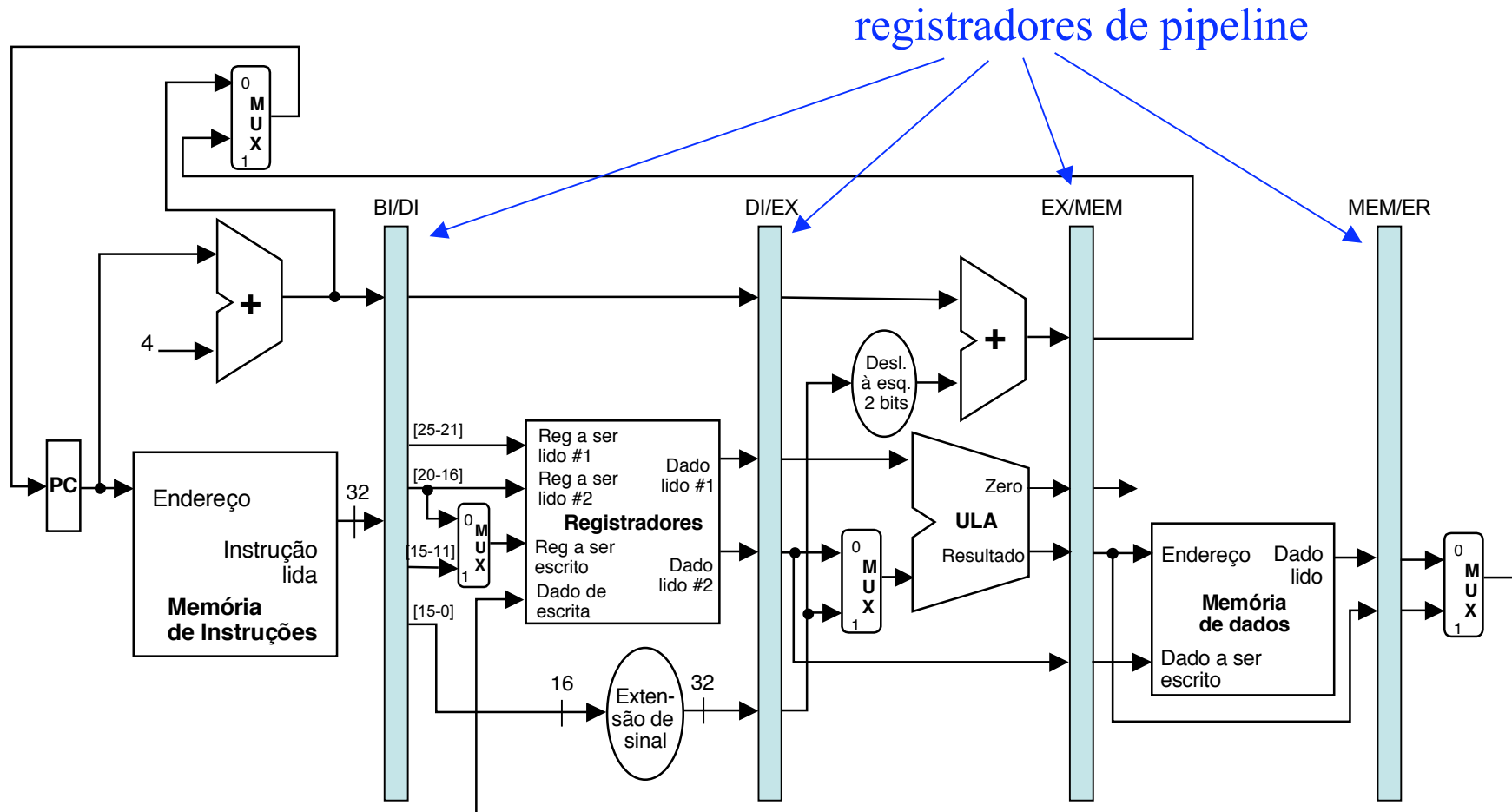
► Bloco Operativo em Pipeline

Execução das 3 instruções `lw` pressupondo o uso de pipeline



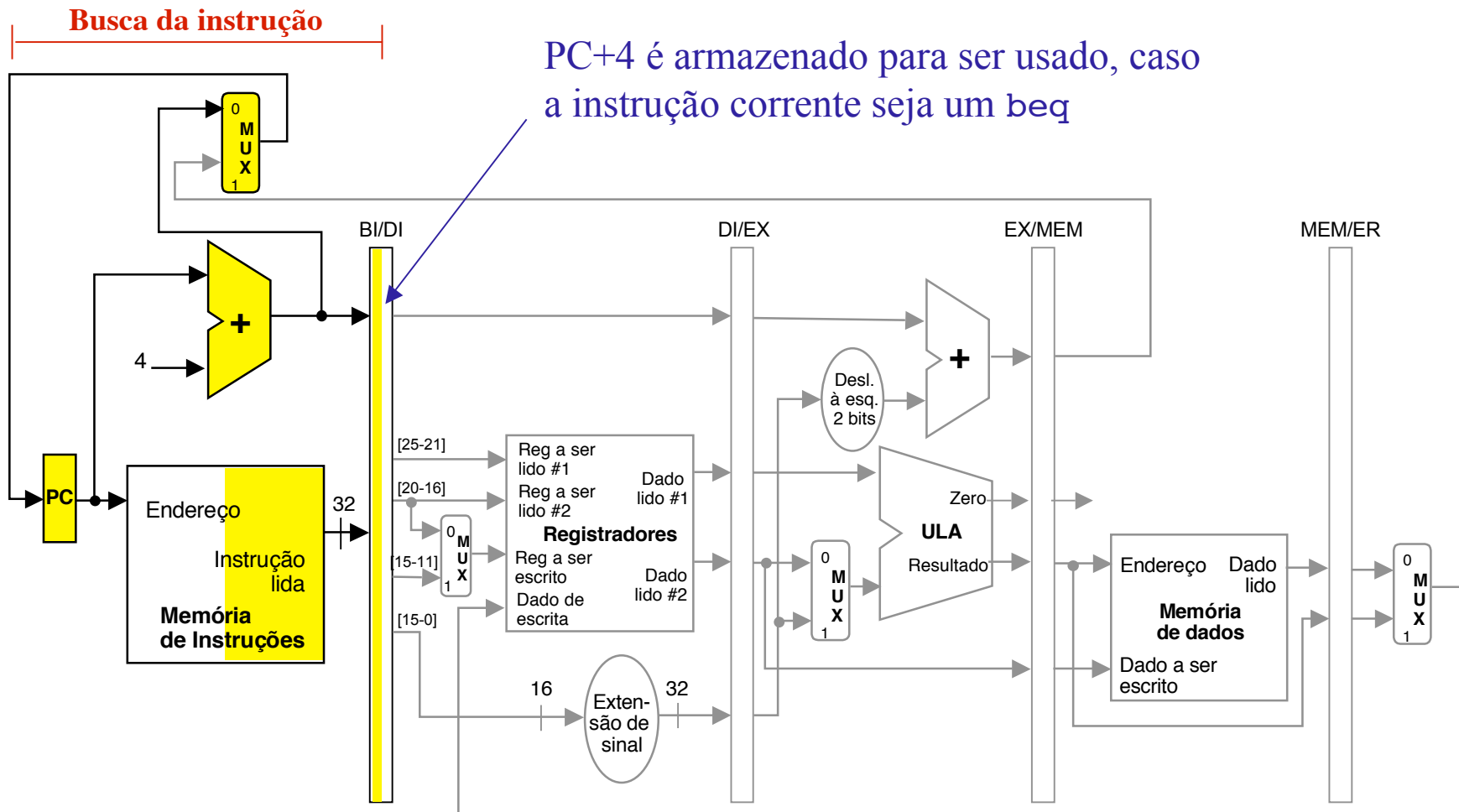
2. Organizações do MIPS: pipeline

► Bloco Operativo em Pipeline



2. Organizações do MIPS: pipeline

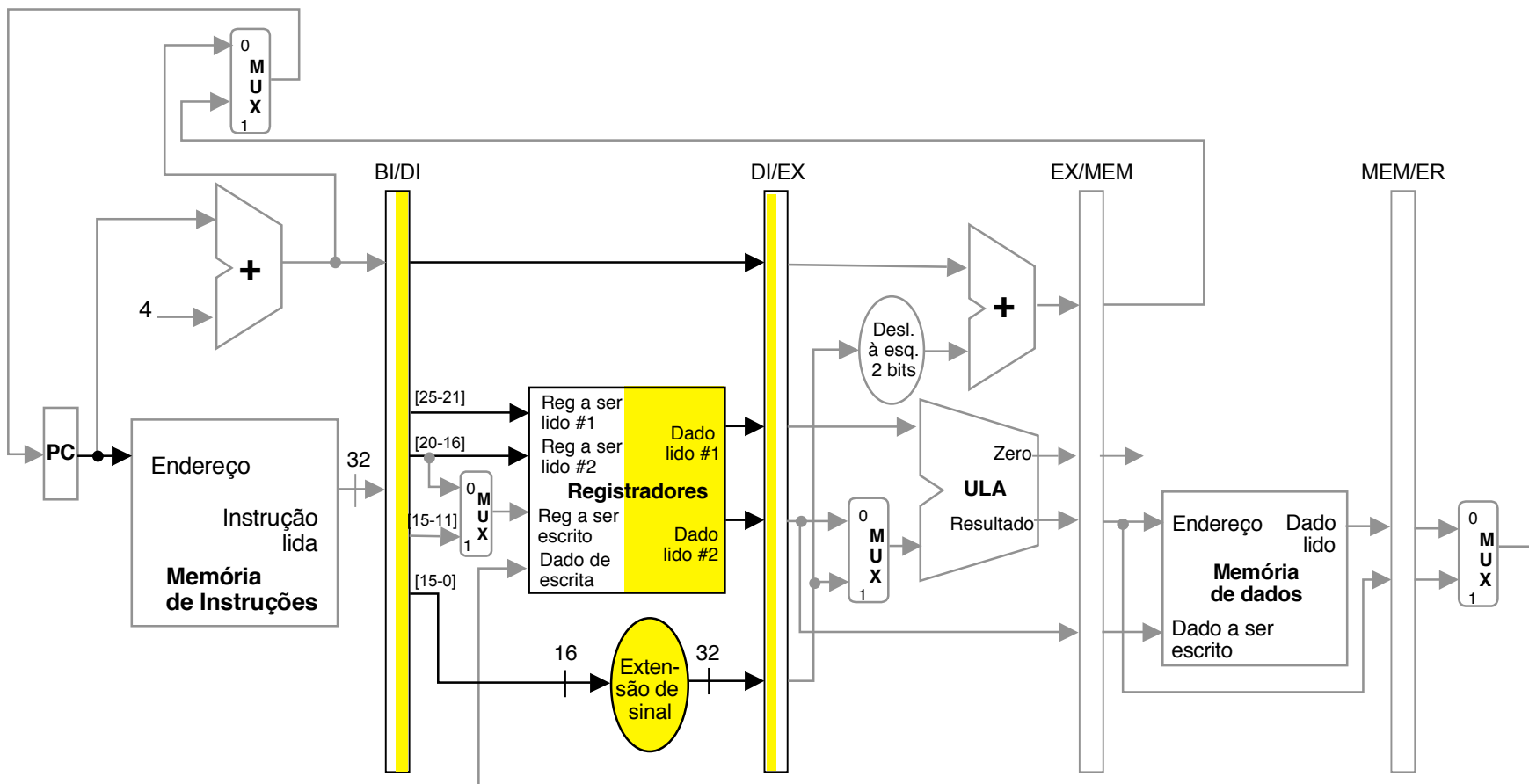
► Bloco Operativo em Pipeline: executando lw



2. Organizações do MIPS: pipeline

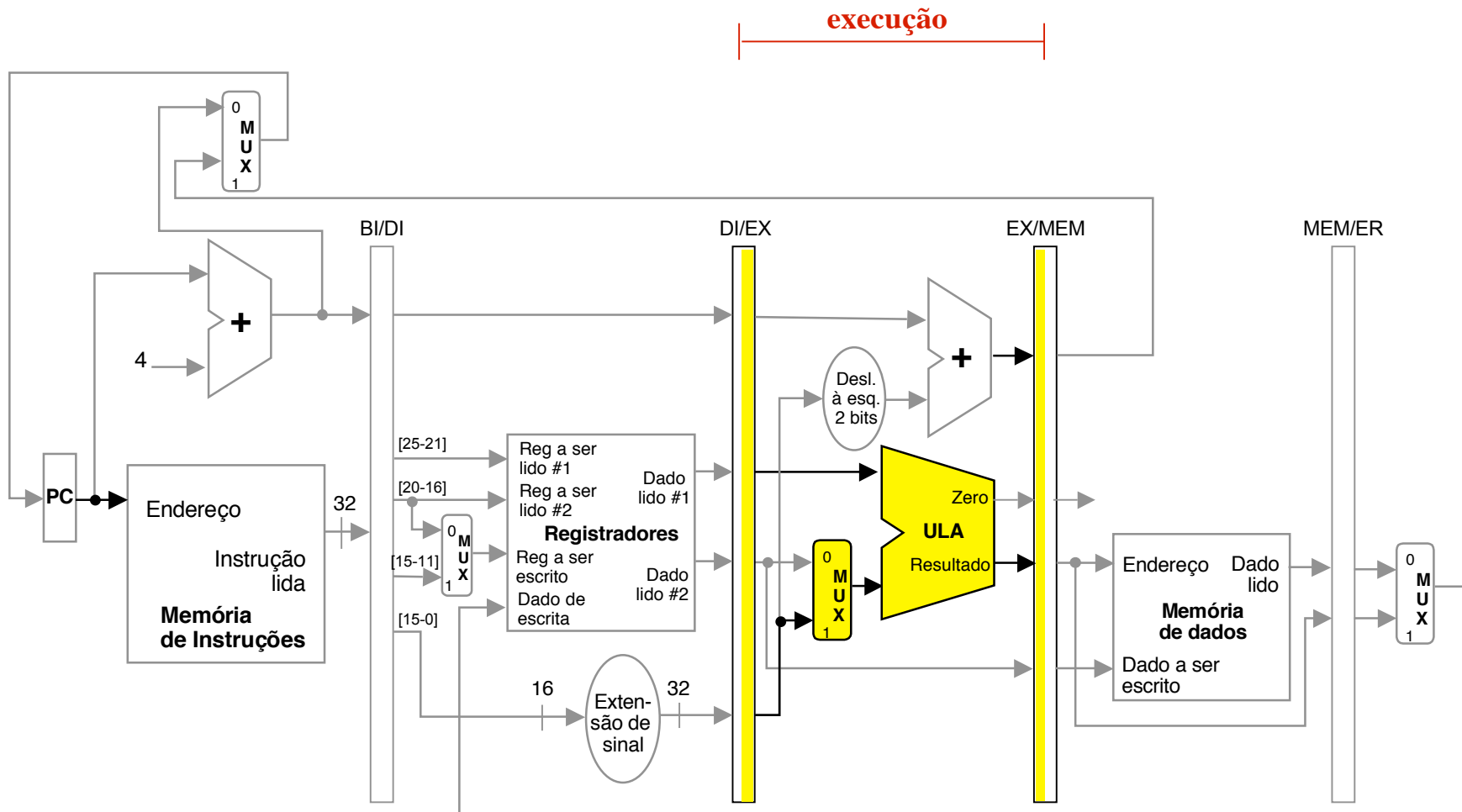
► **Bloco Operativo em Pipeline:** executando 1_w

decodificação da instrução



2. Organizações do MIPS: pipeline

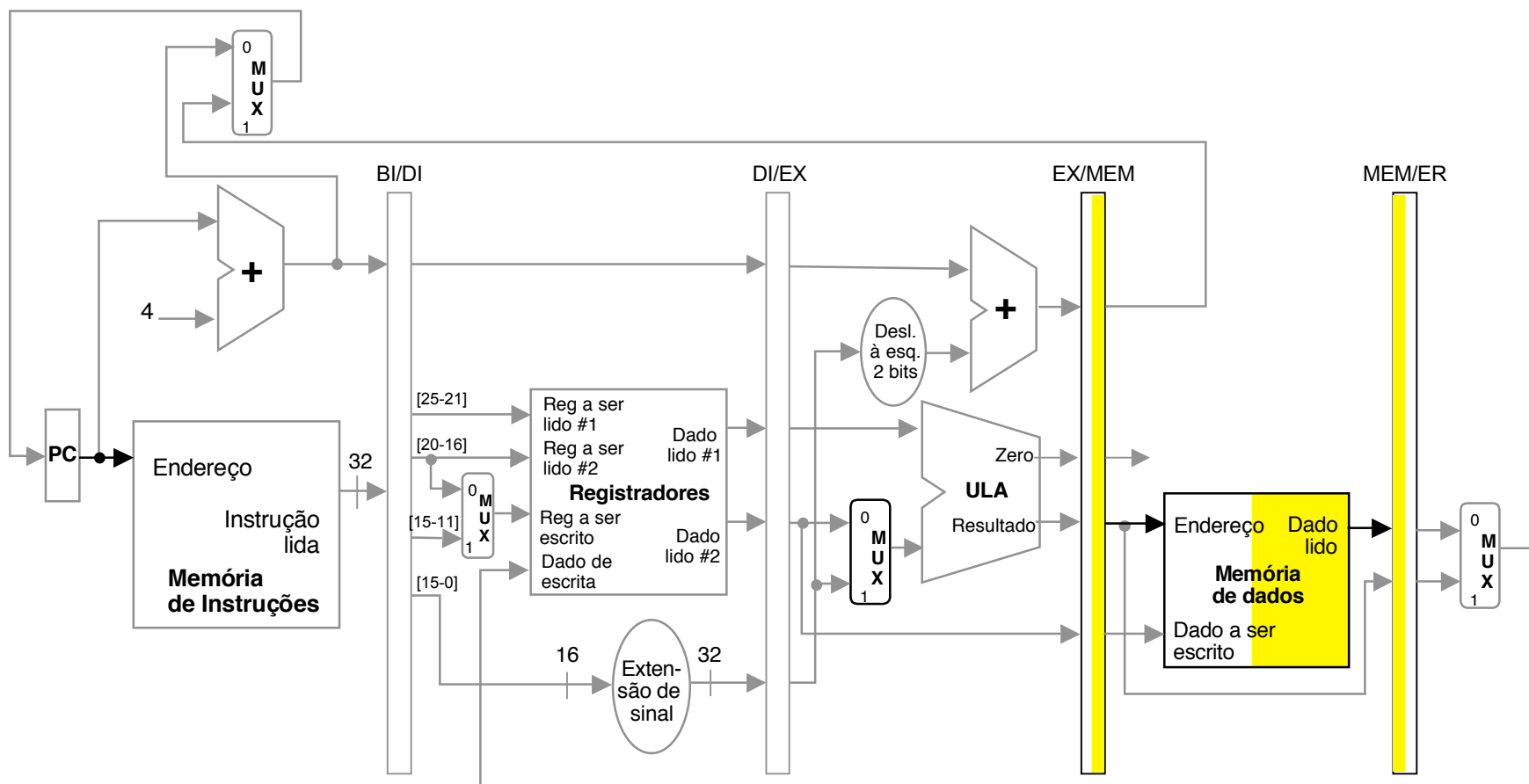
► Bloco Operativo em Pipeline: executando lw



2. Organizações do MIPS: pipeline

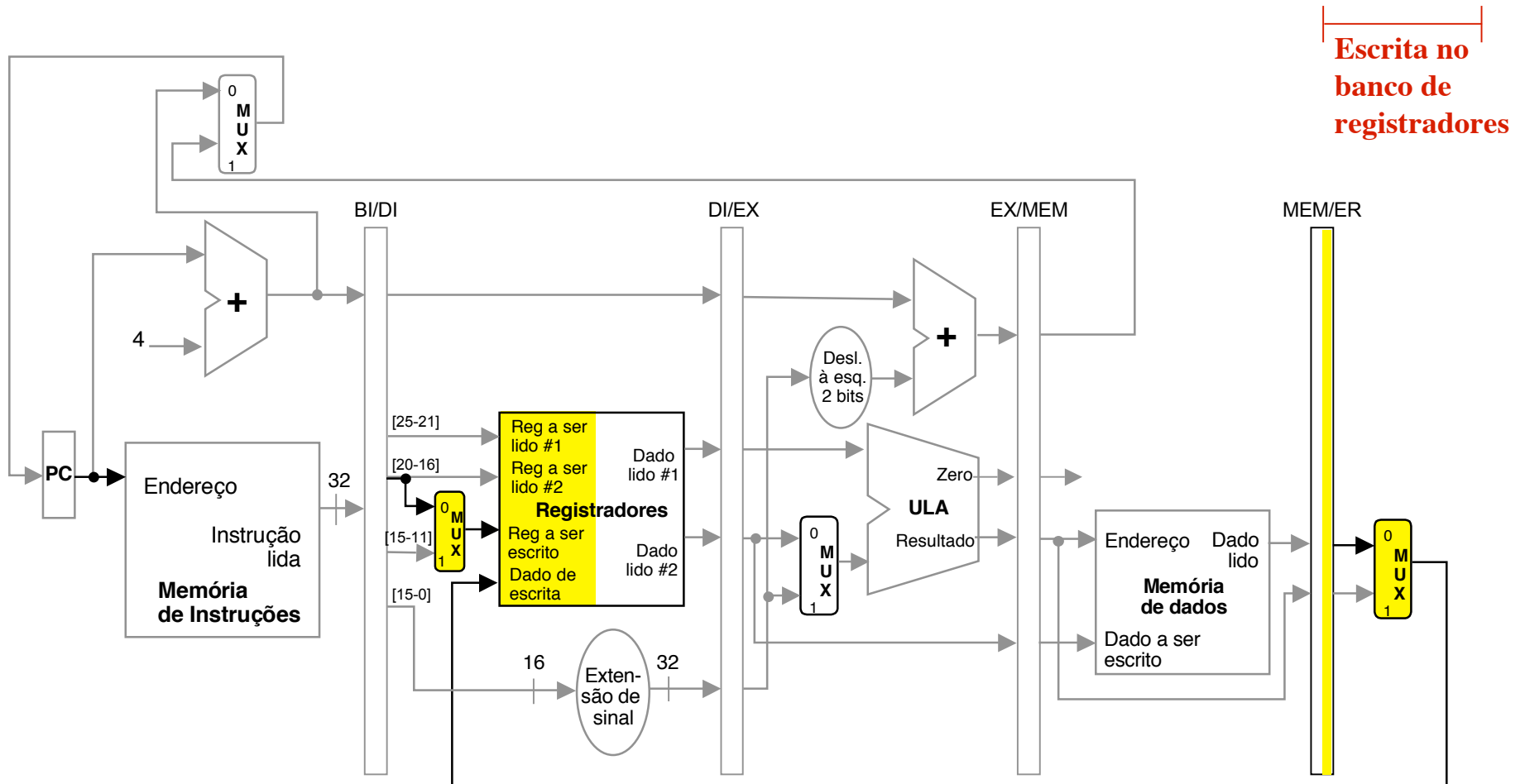
► Bloco Operativo em Pipeline: executando lw

memória



2. Organizações do MIPS: pipeline

► Bloco Operativo em Pipeline: executando lw

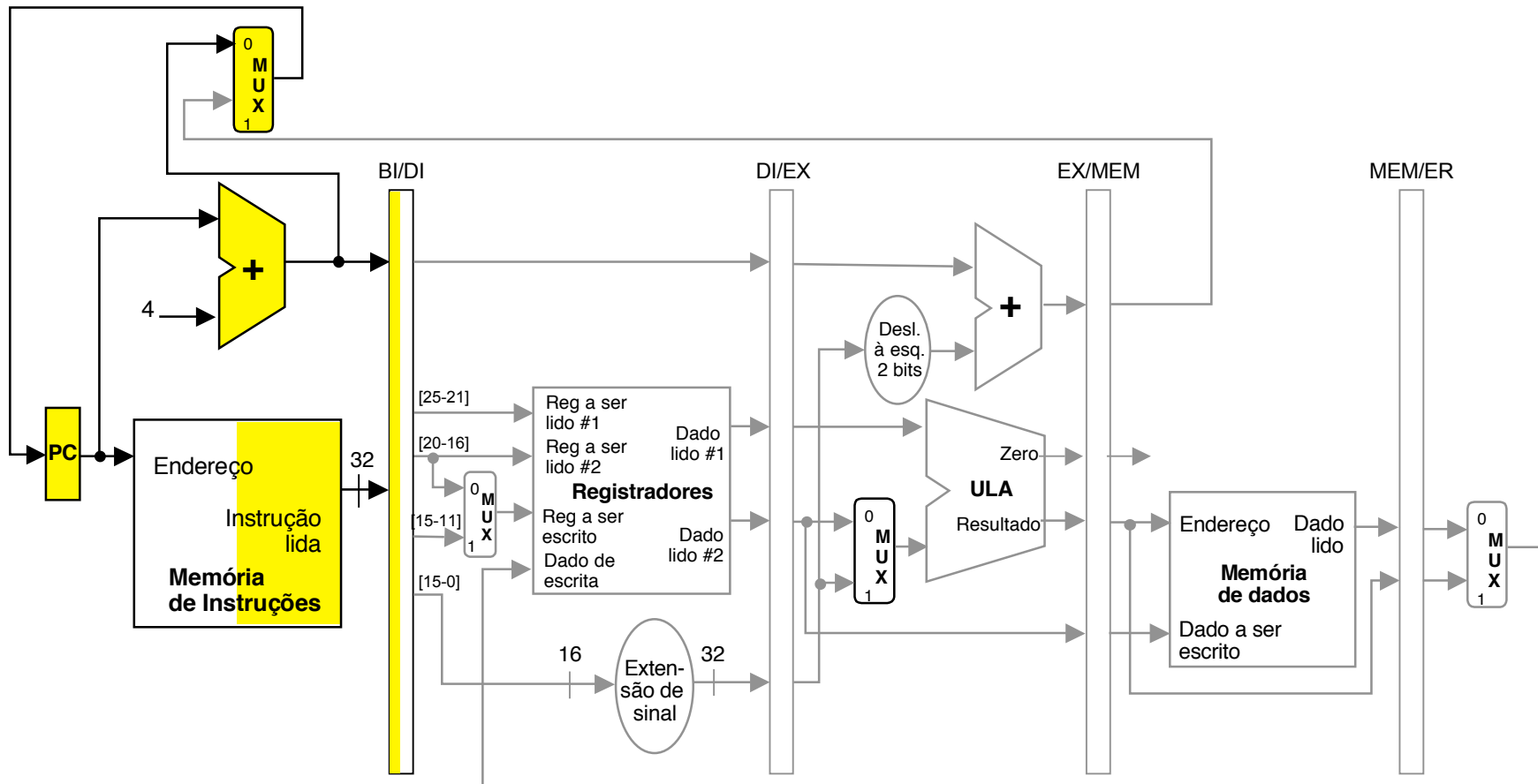


2. Organizações do MIPS: pipeline

► Bloco Operativo em Pipeline: executando sw

Busca da instrução

Idêntico ao 1º estágio do lw

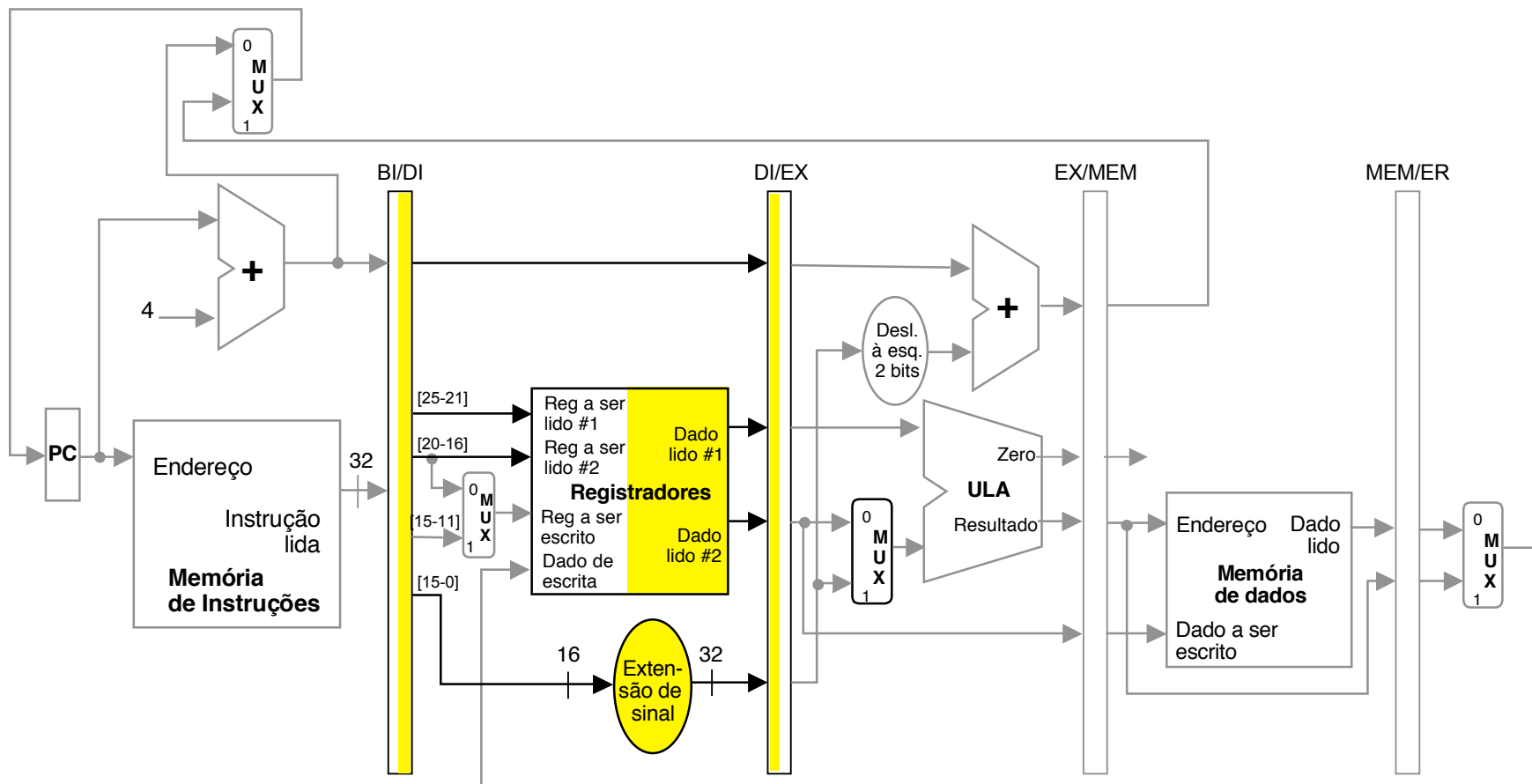


2. Organizações do MIPS: pipeline

► Bloco Operativo em Pipeline: executando sw

decodificação da instrução

Idêntico ao 2º estágio do lw



► **Bloco Operativo em Pipeline: executando SW**

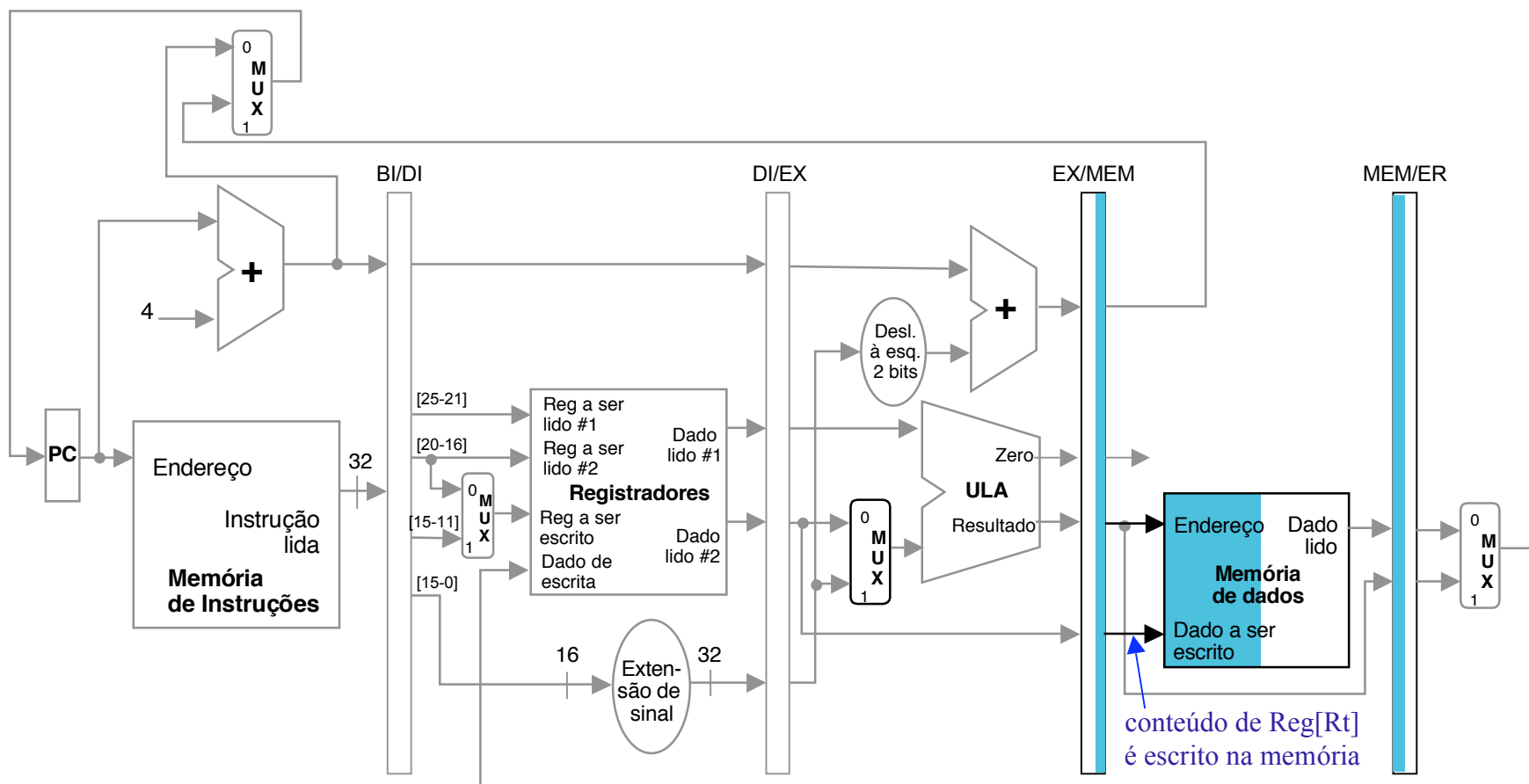
ComputaçãoUFPeI
Arquitetura e Organização de Computadores II

Prof. José Luís Güntzel

2. Organizações do MIPS: pipeline

► Bloco Operativo em Pipeline: executando sw

memória

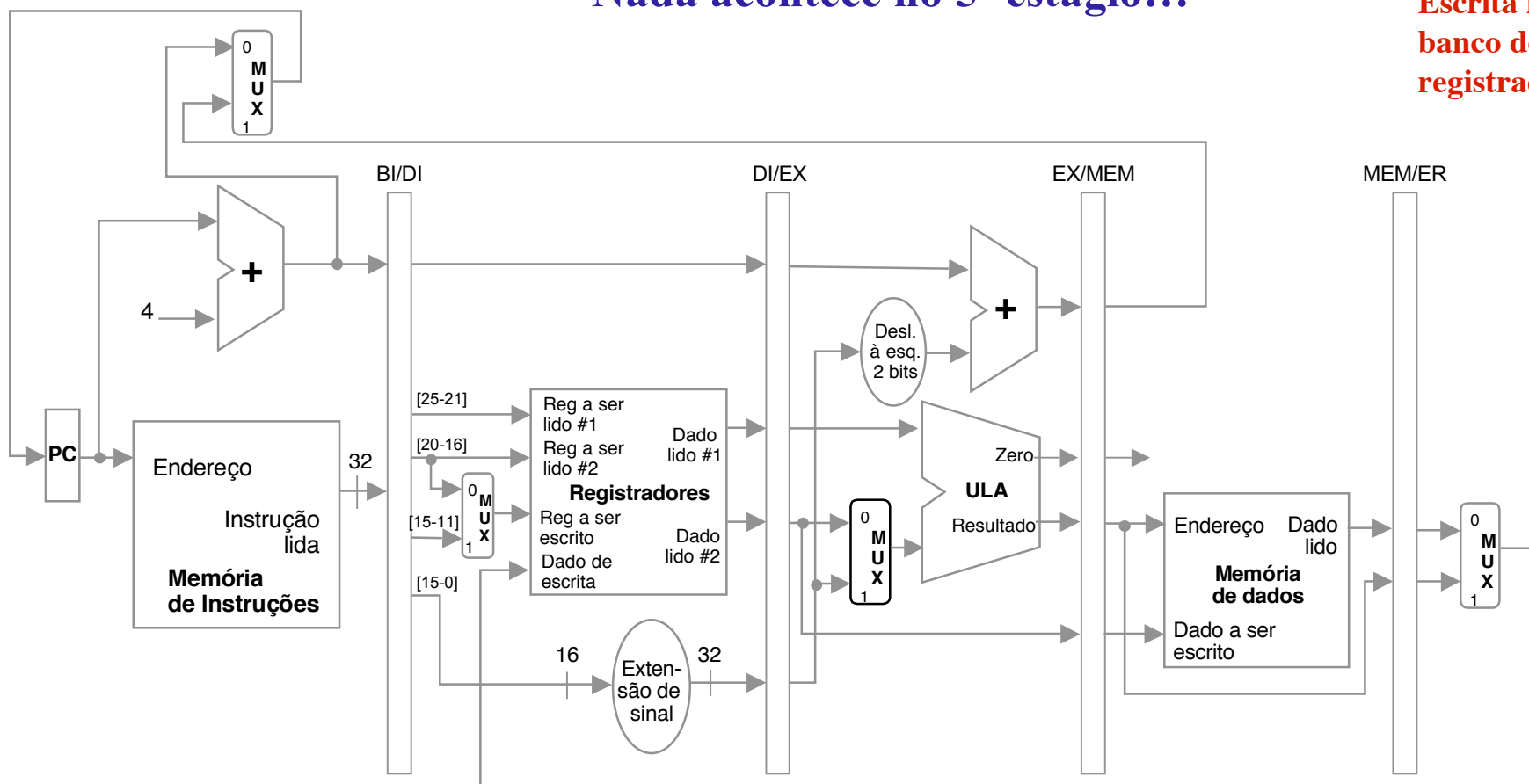


2. Organizações do MIPS: pipeline

► Bloco Operativo em Pipeline: executando sw

Nada acontece no 5º estágio...

Escrita no
banco de
registradores



2. Organizações do MIPS: pipeline

► **Bloco Operativo em Pipeline**

- ❑ Cada componente no bloco operativo só pode ser usado em um único estágio do pipeline
- ❑ Componentes:
 - Memória de instruções
 - Portas de leitura do banco de registradores
 - ULA
 - Memória de dados
 - Porta de escrita do banco de registradores

2. Organizações do MIPS: pipeline

► **Bloco Operativo em Pipeline:** executando 1_w

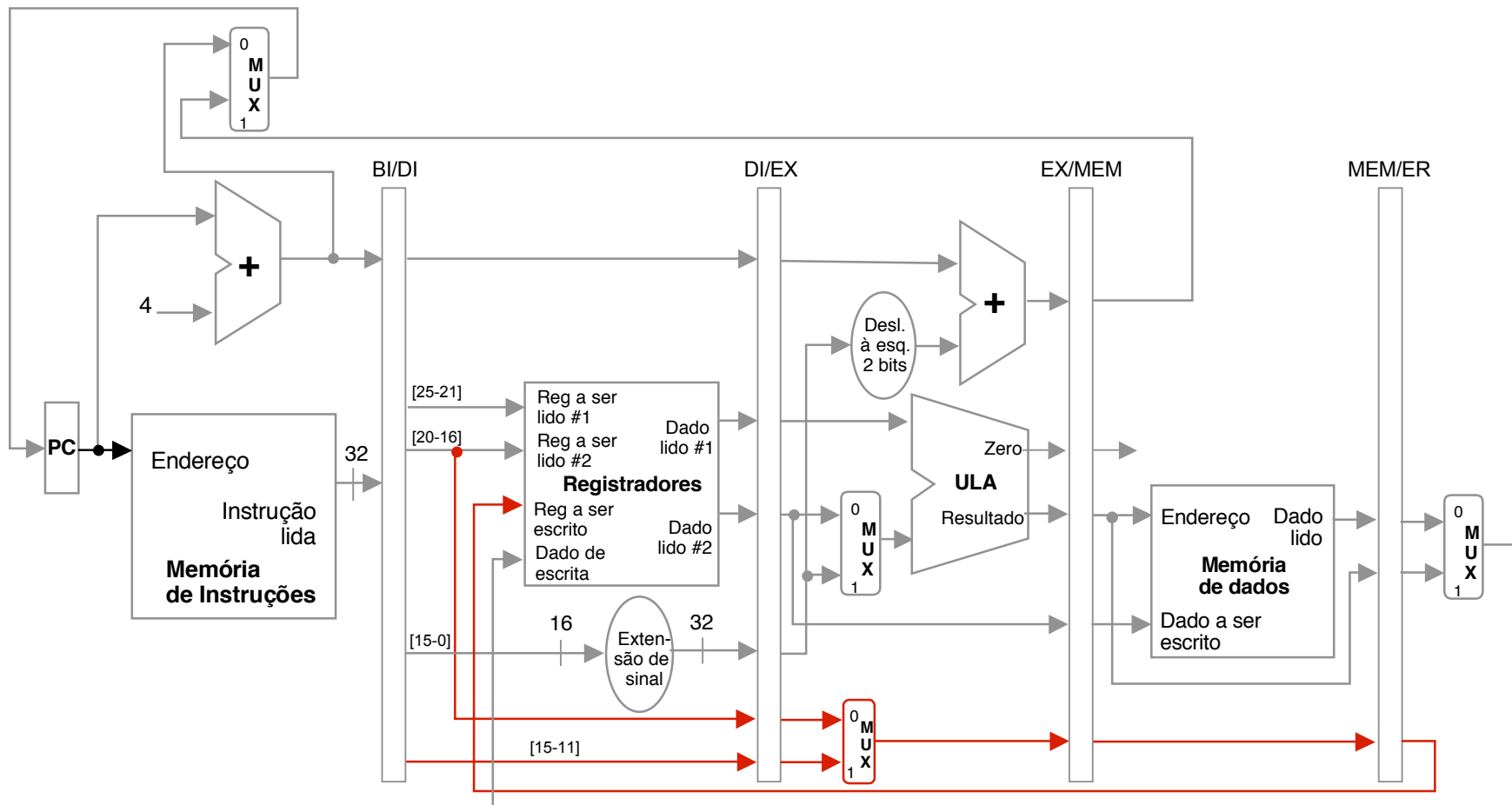
Bug! O endereço do registrador a ser escrito deve viajar junto com a instrução lw

**Escrita no
banco de
registradores**



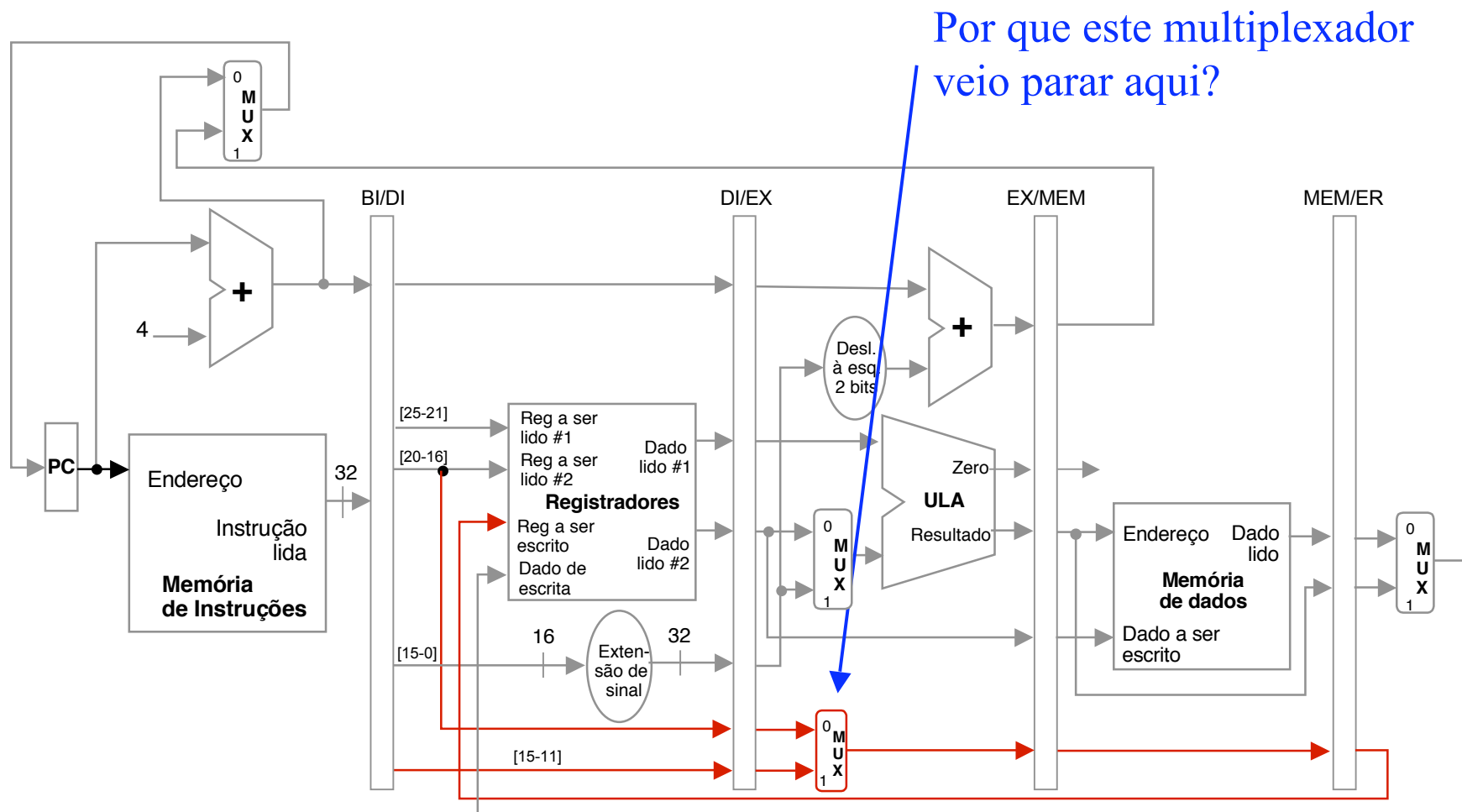
2. Organizações do MIPS: pipeline

► Bloco Operativo Pipeline Corrigido



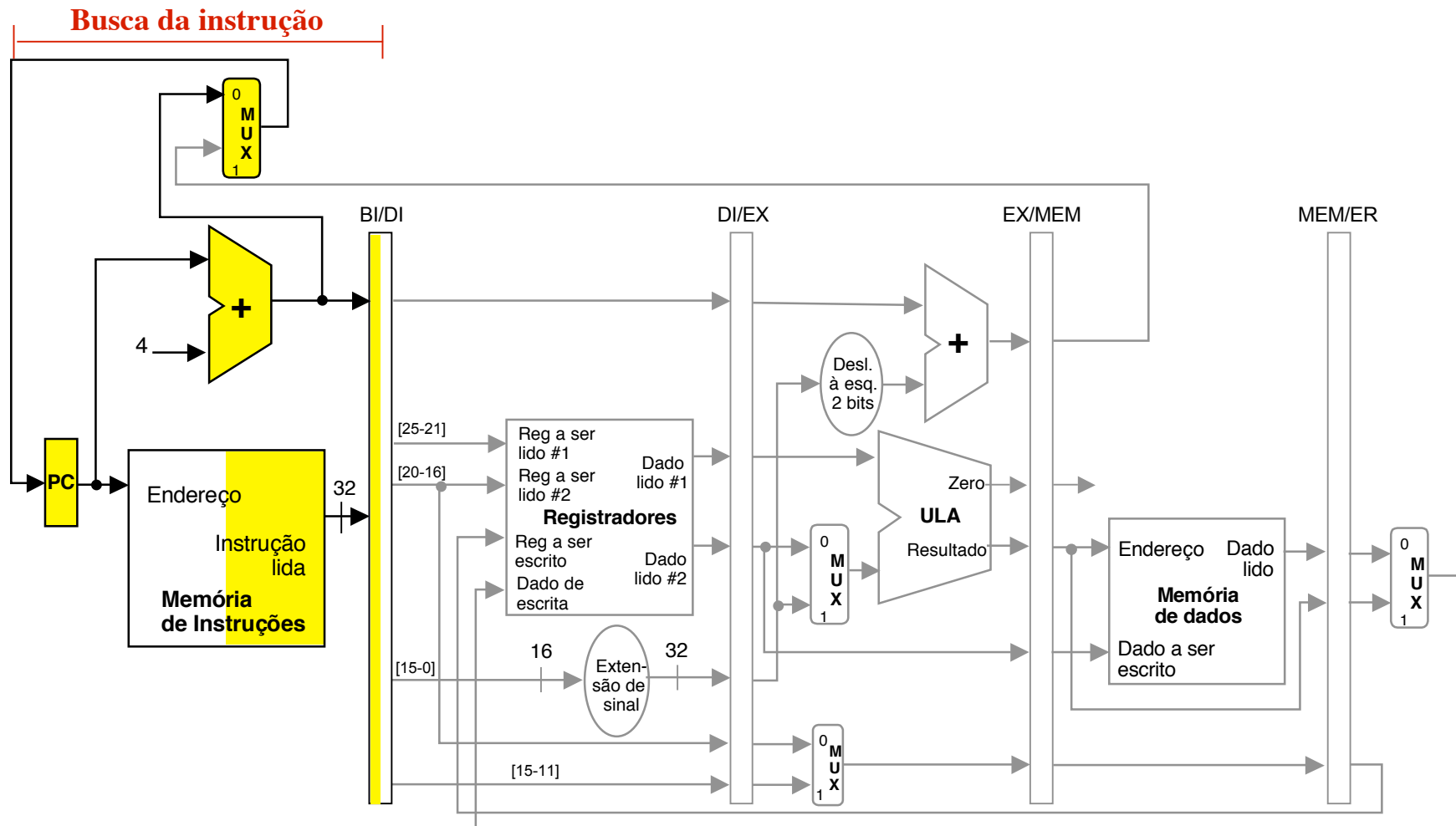
2. Organizações do MIPS: pipeline

► Bloco Operativo Pipeline Corrigido



2. Organizações do MIPS: pipeline

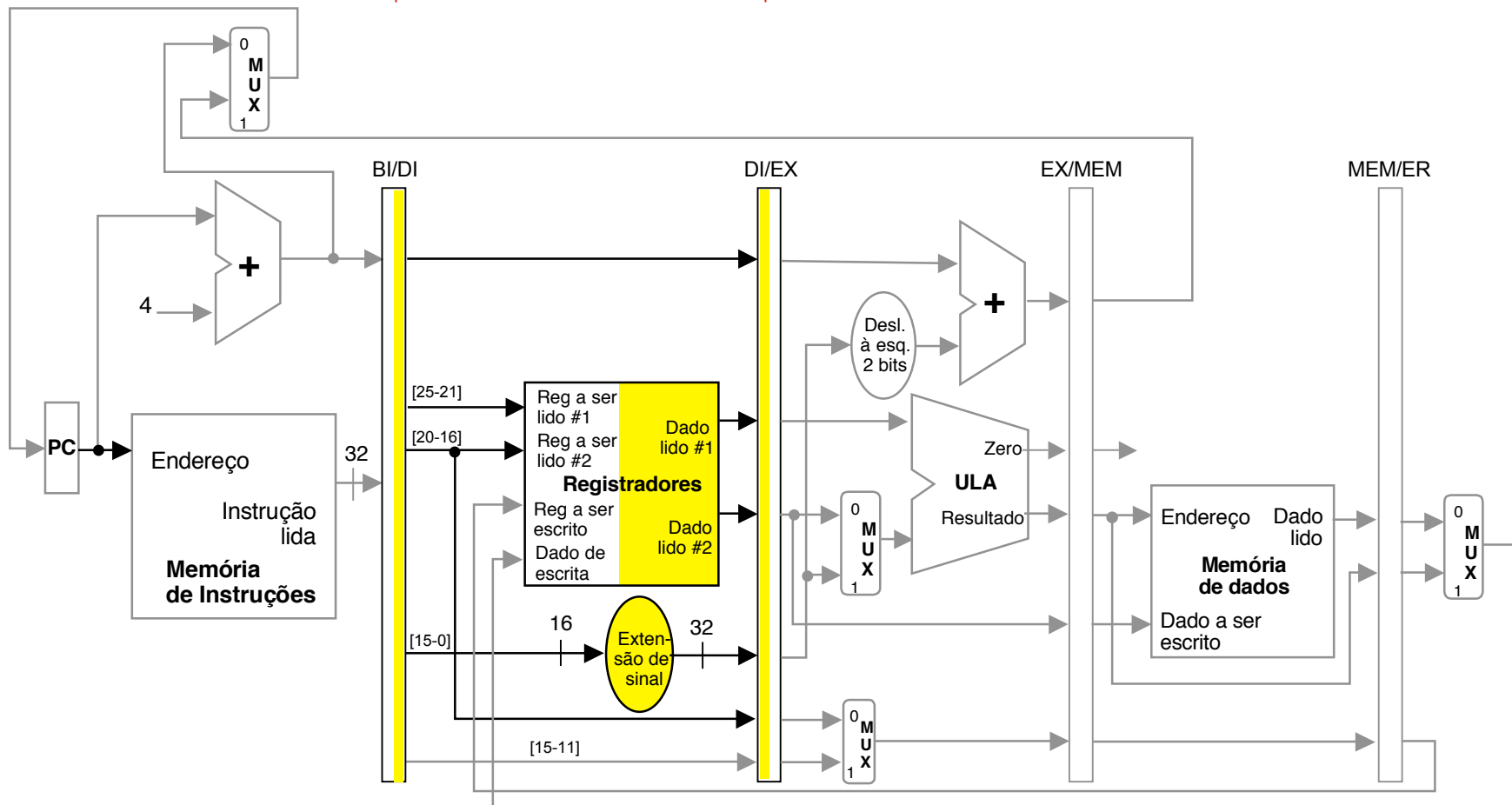
► Bloco Operativo Pipeline Corrigido executando lw



2. Organizações do MIPS: pipeline

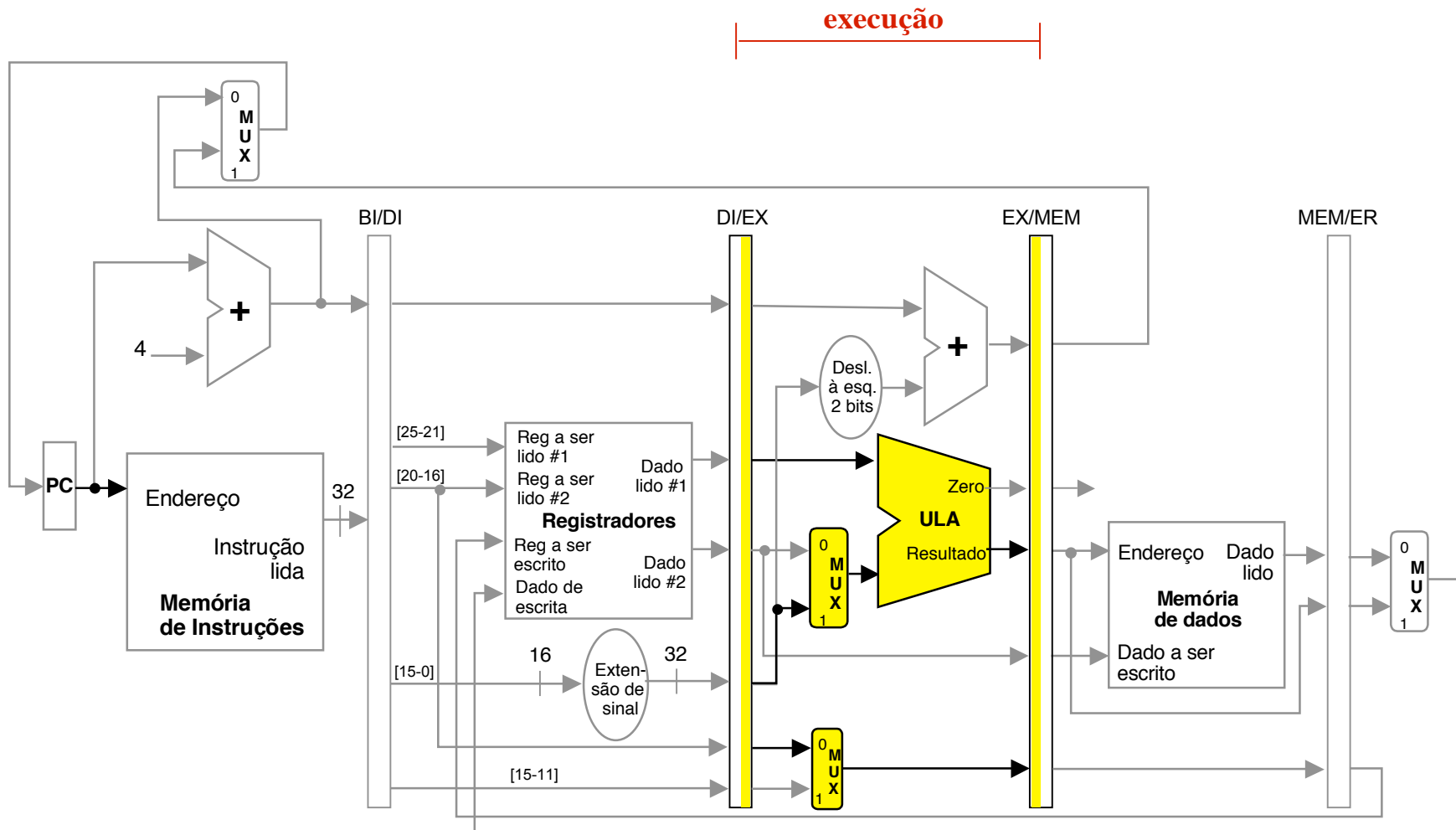
► Bloco Operativo Pipeline Corrigido executando lw

decodificação da instrução



2. Organizações do MIPS: pipeline

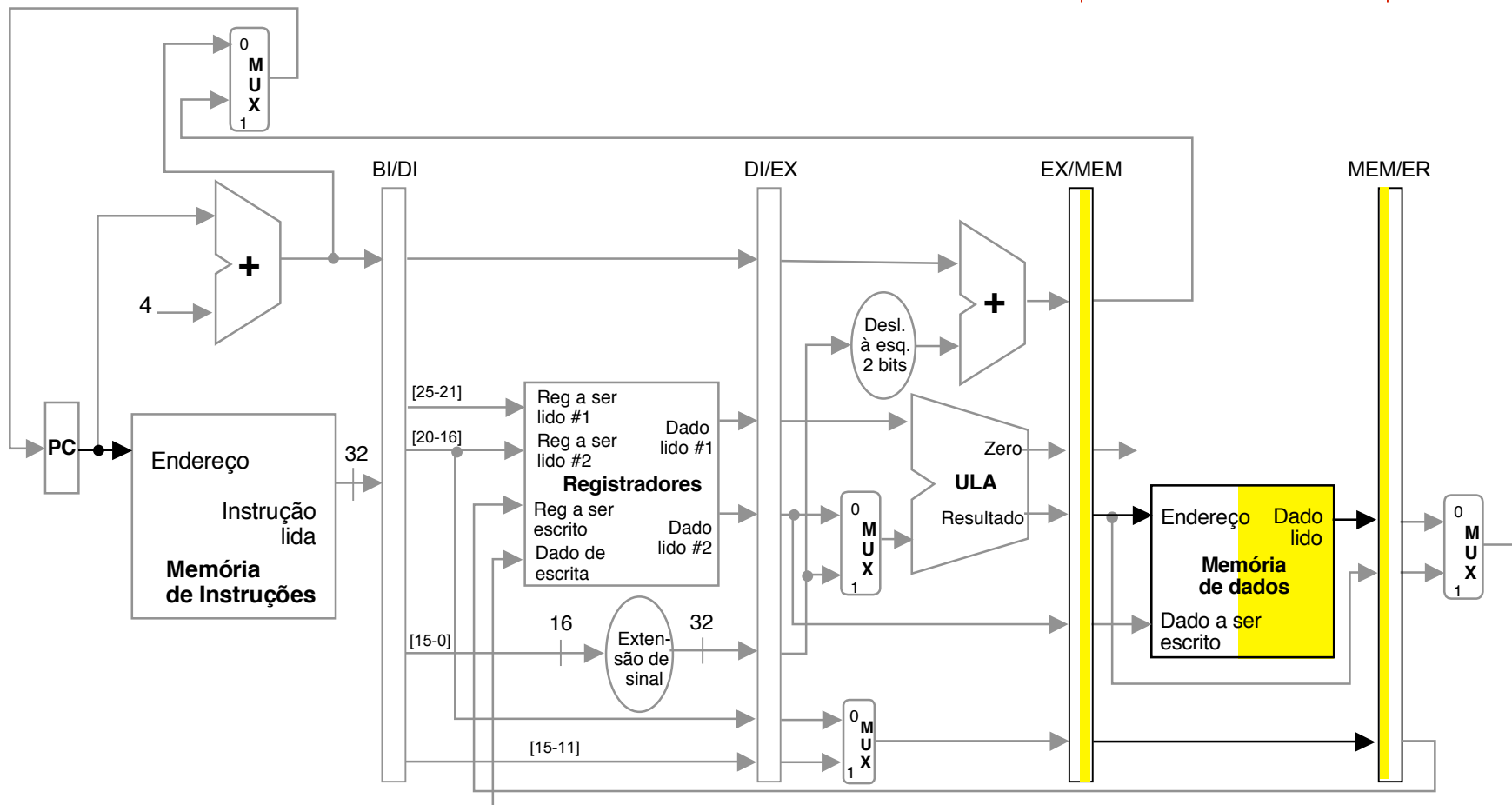
► Bloco Operativo Pipeline Corrigido executando lw



2. Organizações do MIPS: pipeline

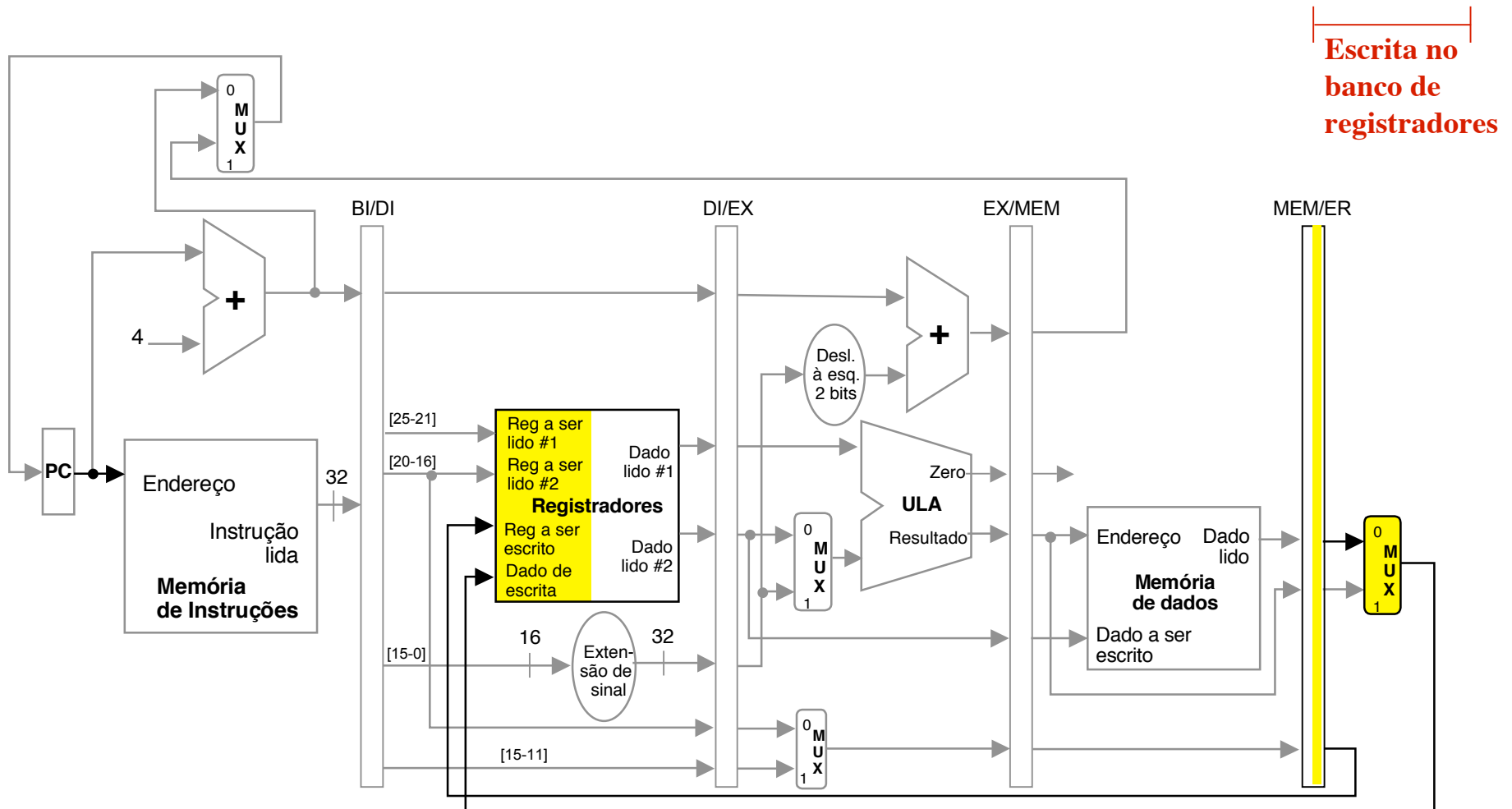
► Bloco Operativo Pipeline Corrigido executando lw

memória



2. Organizações do MIPS: pipeline

► Bloco Operativo Pipeline Corrigido executando lw



2. Organizações do MIPS: pipeline

► Executando uma Seqüência de Instruções

- Considere a seguinte seqüência de instruções:

```
lw $10, 20($1)
```

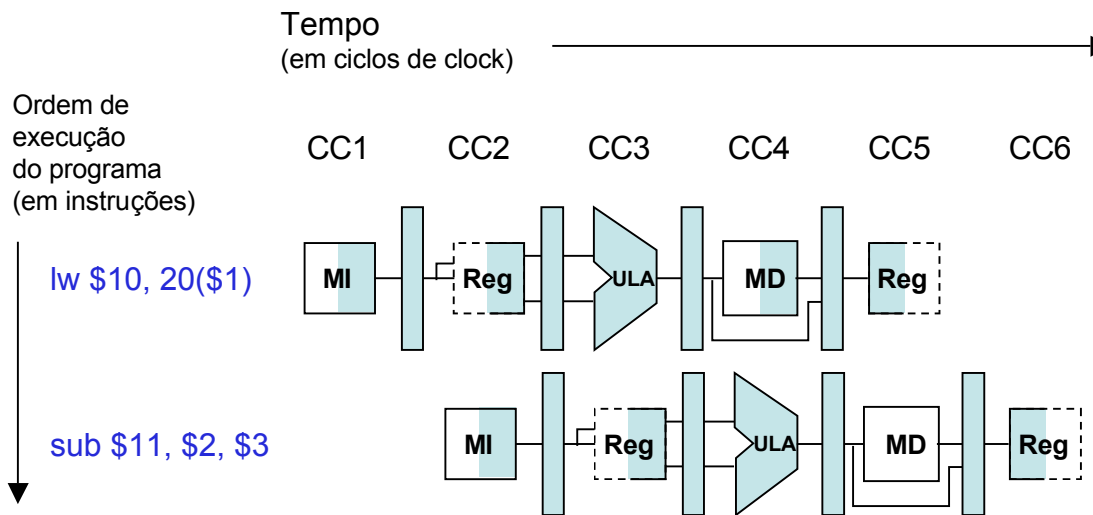
```
sub $11, $2, $3
```

- **Representá-la usando** diagrama de pipeline com múltiplos ciclos de *clock* (relógio)

2. Organizações do MIPS: pipeline

► Executando uma Seqüência de Instruções

Diagrama de Pipeline com Múltiplos Ciclos de Clock: versão 1

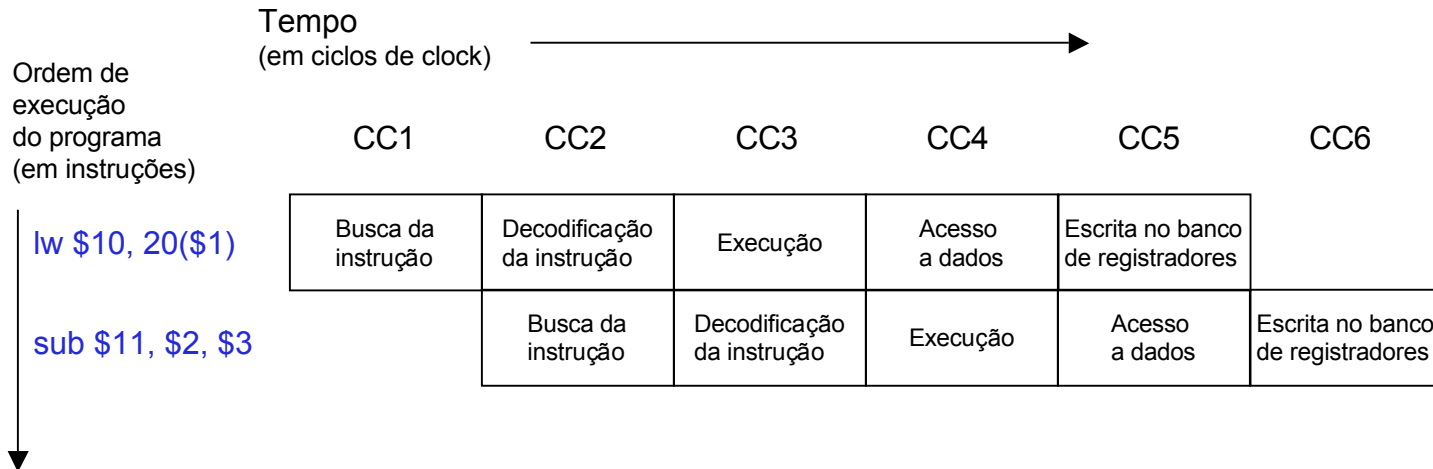


- ❑ Diagrama não-convencional
- ❑ Os recursos usados em cada estágio estão identificados

2. Organizações do MIPS: pipeline

► Executando uma Seqüência de Instruções

Diagrama de Pipeline com Múltiplos Ciclos de Clock: **versão 2**



- ❑ Diagrama tradicional
- ❑ Identifica cada estágio pelo nome

2. Organizações do MIPS: pipeline

► Executando uma Seqüência de Instruções

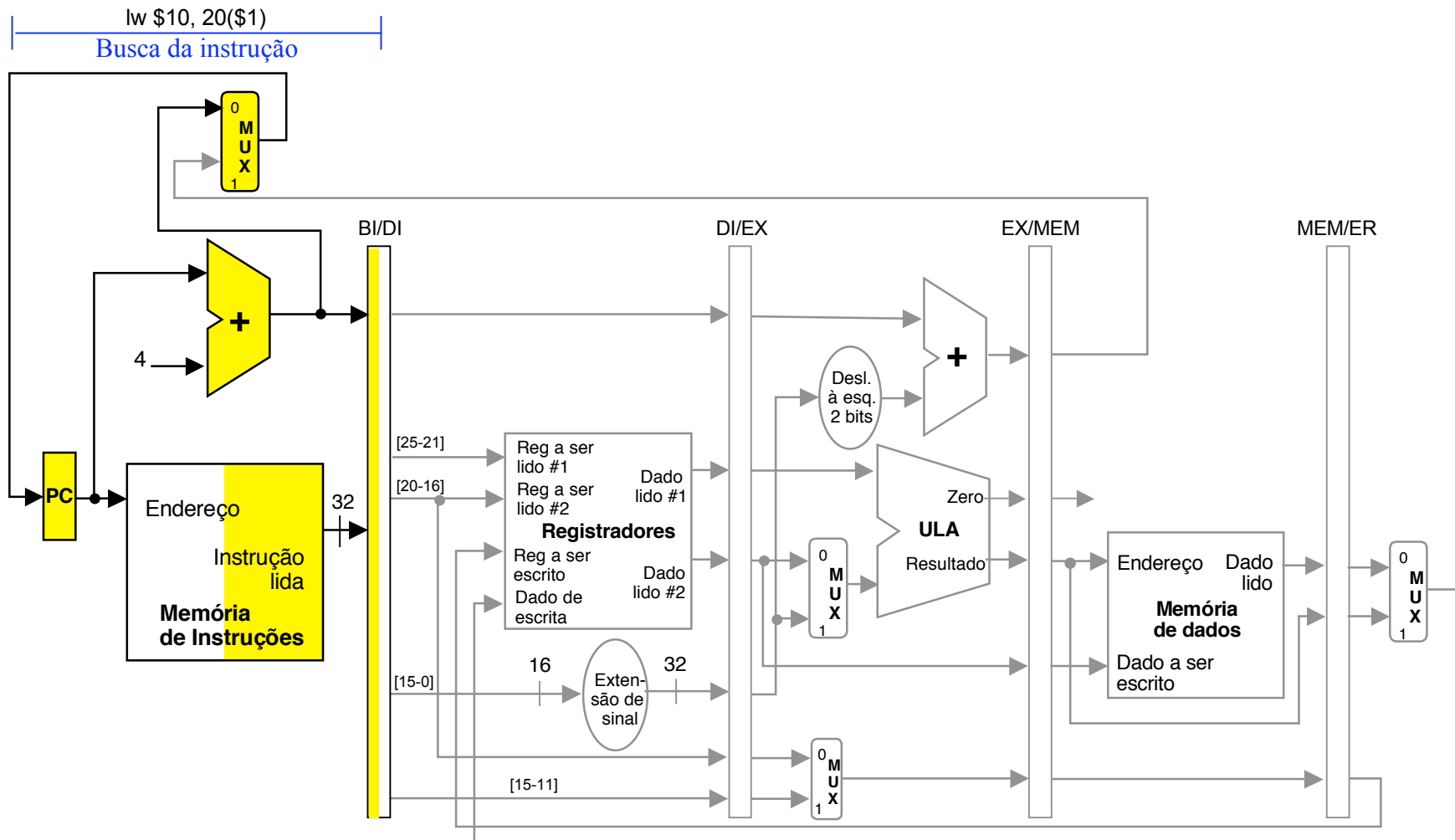
- Representar a seqüência de instruções abaixo usando diagrama de pipeline com um único ciclo de *clock* (relógio)

```
lw $10, 20($1)
```

```
sub $11, $2, $3
```

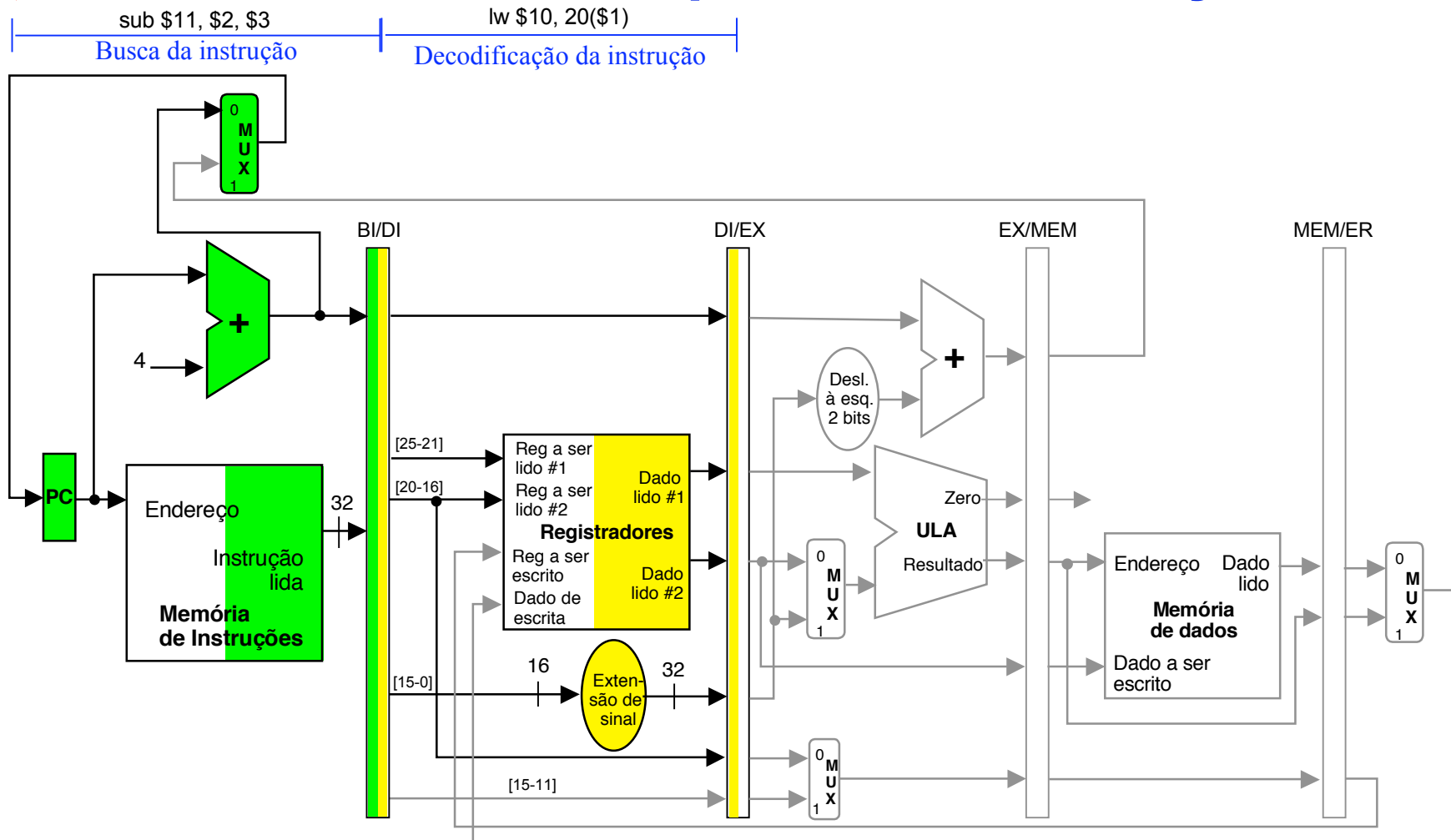
2. Organizações do MIPS: pipeline

► Executando uma Seqüência de Instruções



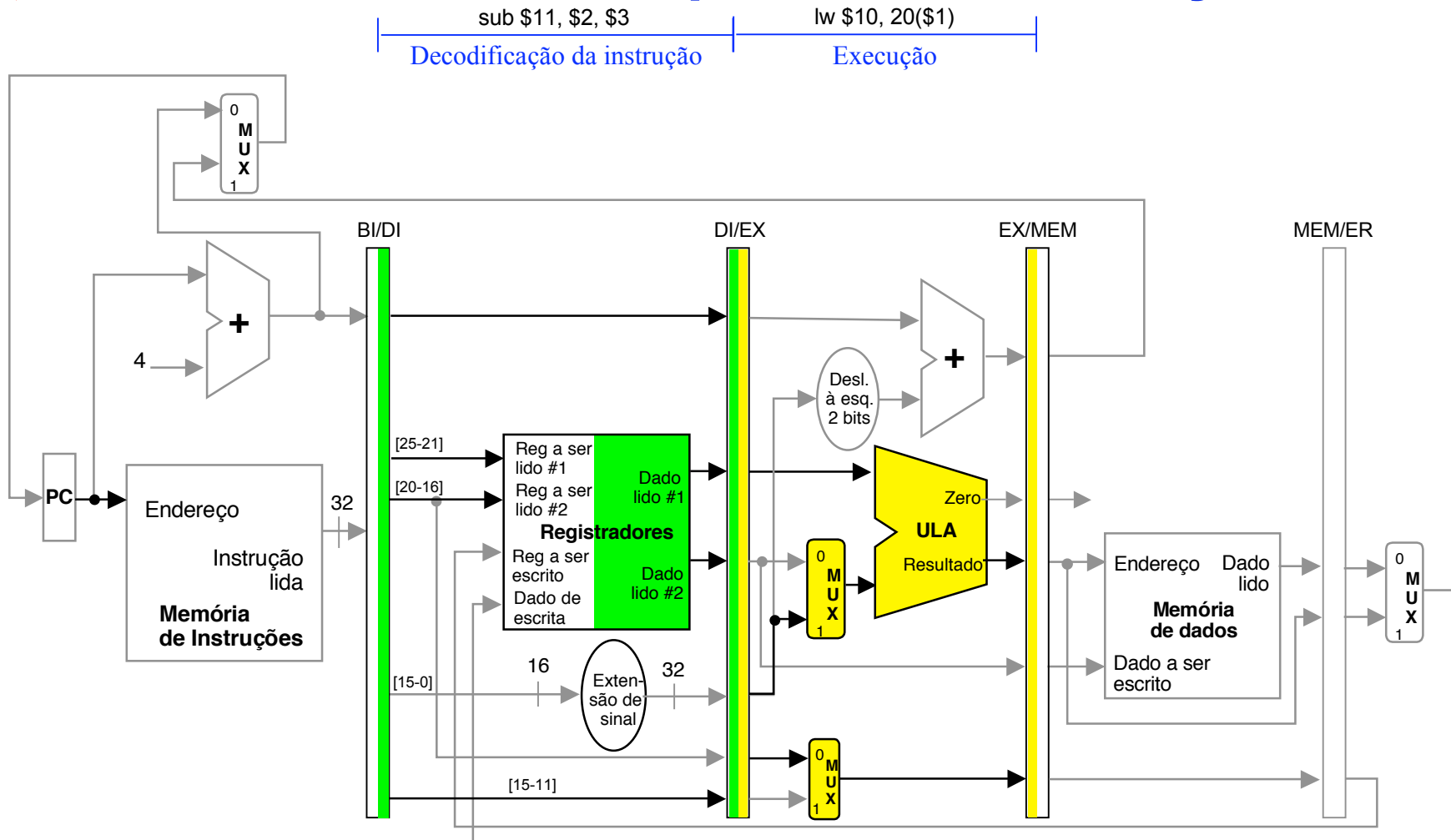
2. Organizações do MIPS: pipeline

▶ Executando uma Seqüência de Instruções



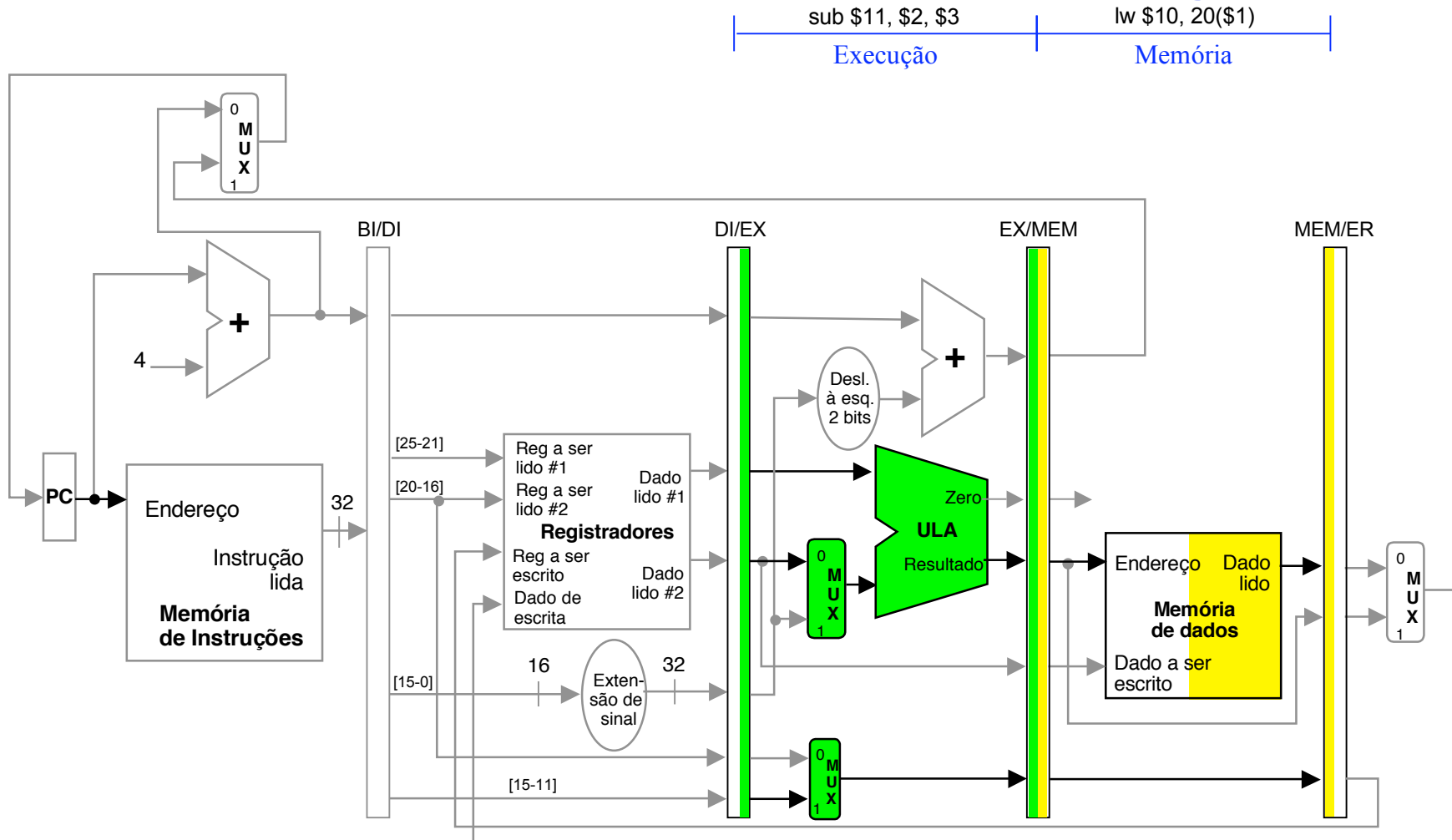
2. Organizações do MIPS: pipeline

▶ Executando uma Seqüência de Instruções



2. Organizações do MIPS: pipeline

► Executando uma Seqüência de Instruções



2. Organizações do MIPS: pipeline

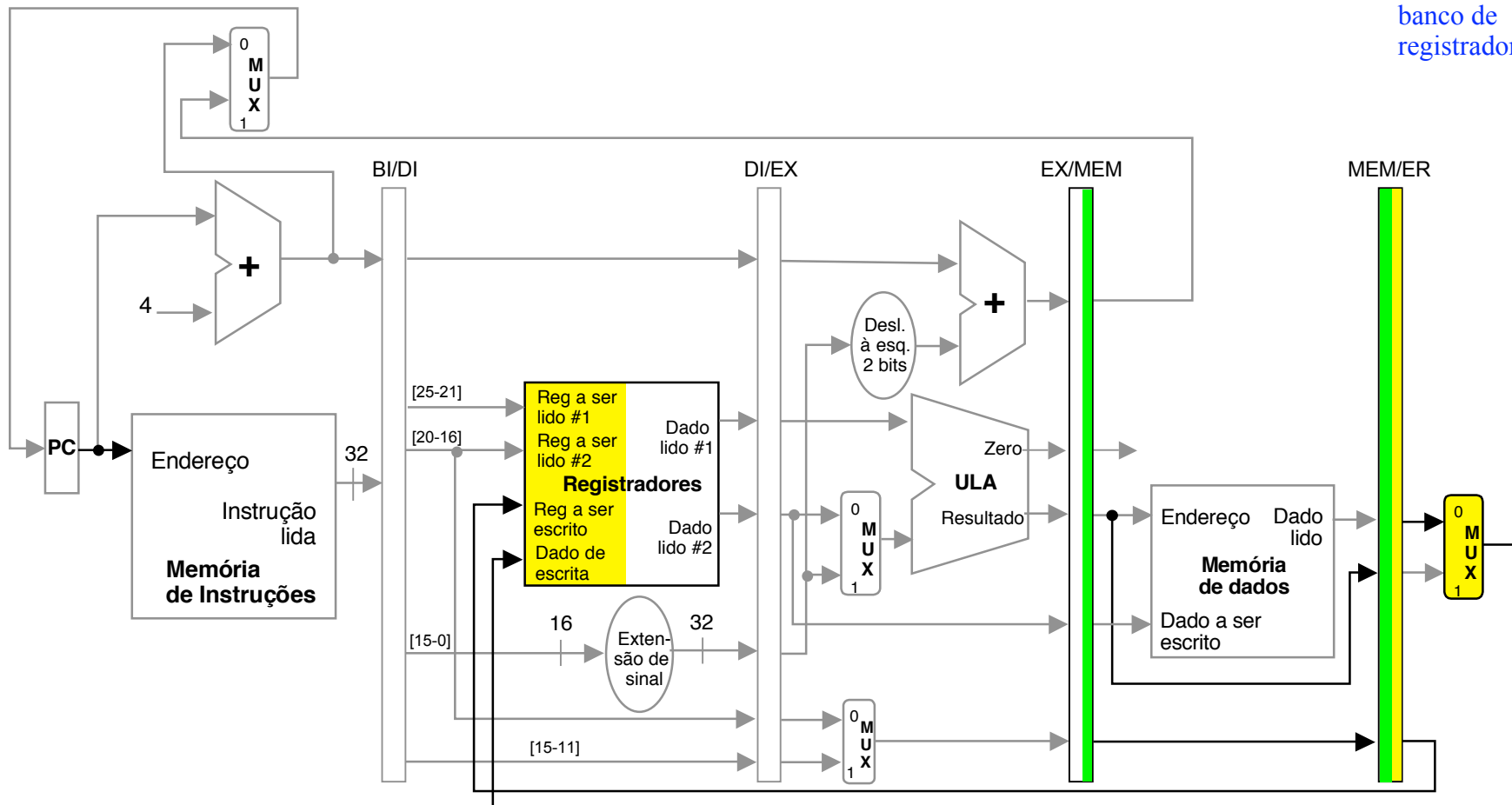
► Executando uma Seqüência de Instruções

sub \$11, \$2, \$3

Memória

lw \$10, 20(\$1)

Escrita no
banco de
registradores

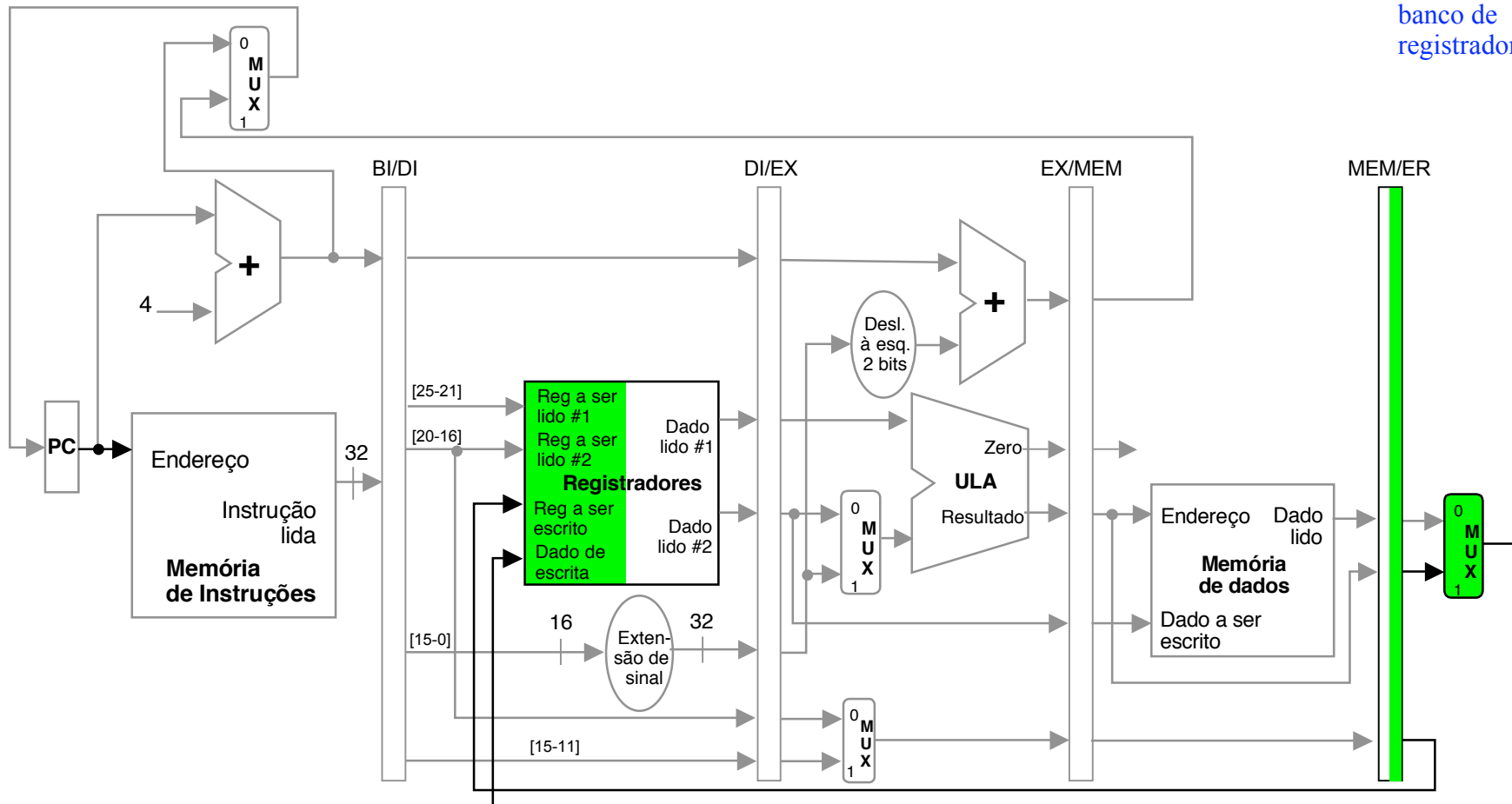


2. Organizações do MIPS: pipeline

► Executando uma Seqüência de Instruções

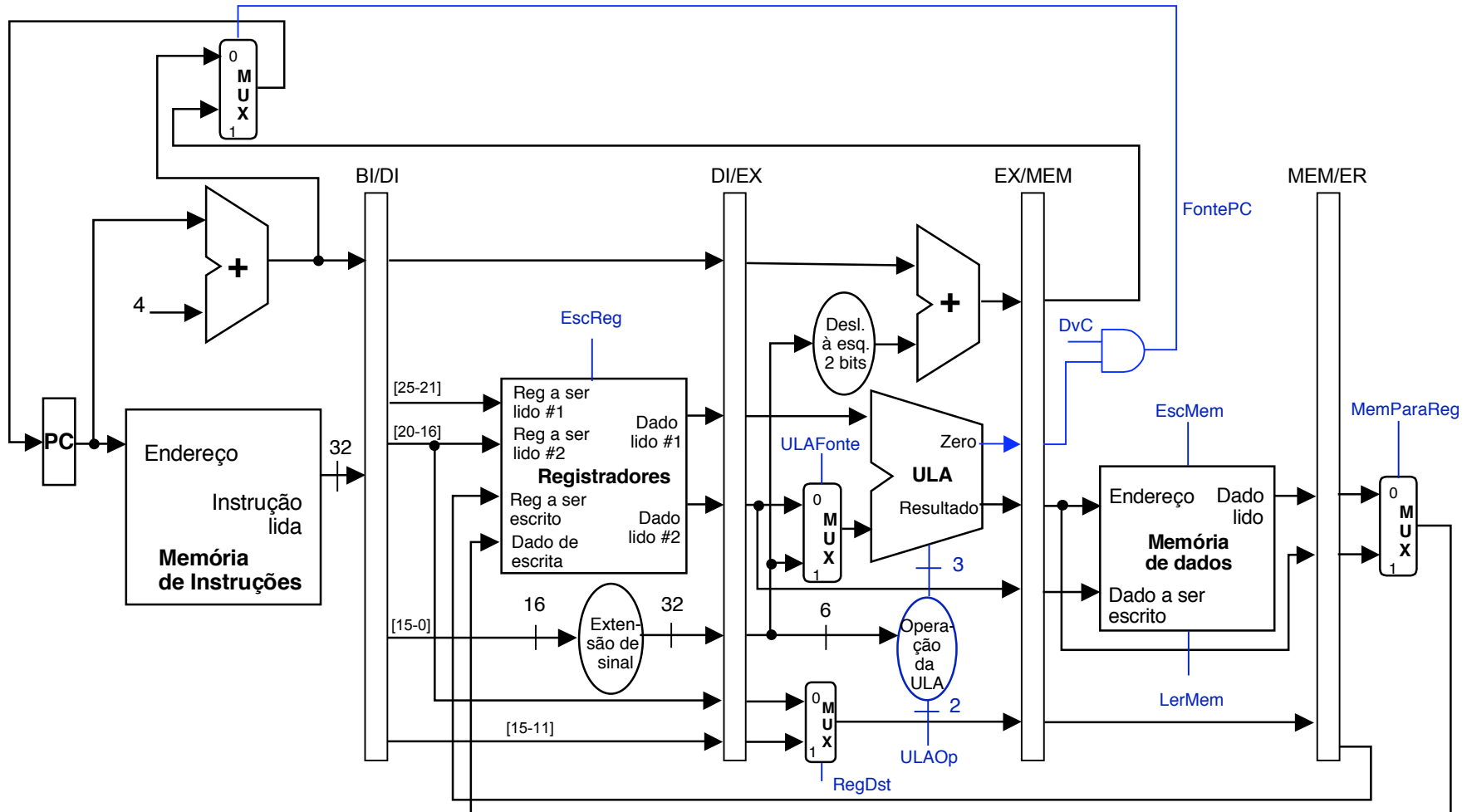
sub \$11, \$2, \$3

Escrita no
banco de
registradores



2. Organizações do MIPS: pipeline

► Bloco Operativo em Pipeline com Sinais de Controle



2. Organizações do MIPS: pipeline

► Projeto do Bloco de Controle

- Iremos aproveitar ao máximo os sinais de controle do MIPS monociclo
- Isto inclui utilizar a mesma lógica de controle para:
 - A ULA
 - O desvio condicional
 - O multiplexador que controla a fonte do dado do registrador-destino
 - E demais linhas de controle mostradas na transparência anterior...

2. Organizações do MIPS: pipeline

► Relembrando o Controle da ULA

Correspondência entre “funct” & “ULAOp” com “controle da ULA”

Instrução	ULAOp	Campo “funct”	Operação da ULA	Operação da ULA
lw	00	XXXXXX	adição	010
sw	00	XXXXXX	adição	010
beq	01	XXXXXX	subtração	110
add	10	100000	adição	010
sub	10	100010	subtração	110
and	10	100100	and	000
or	10	100101	or	001
slt	10	101010	set on less than	111

Conclusões:

- Apenas algumas das 64 combinações possíveis a partir dos 6 bits do campo “funct” são de interesse
- O campo “funct” somente interessa quando ULAOp = 10

2. Organizações do MIPS: pipeline

► Projeto do Bloco de Controle

Reagrupando os Sinais de Controle do MIPS monociclo, a fim de reaproveitá-los...

	Sinais de Controle a serem usados no estágio de execução/cálculo do endereço				Sinais de Controle a serem usados no estágio de acesso à memória			Sinais de Controle a serem usados no estágio de escrita no banco de registradores	
instrução	RegDst	ULOp1	ULOp0	ULAFonte	DvC	LerMem	EscMem	EscReg	MemParaReg
Tipo R	1	1	0	0	0	0	0	1	0
lw	0	0	0	1	0	1	0	1	1
sw	X	0	0	1	0	0	1	0	X
beq	X	0	1	0	1	0	0	0	X

- ❑ Conforme pode-se perceber, os sinais de controle são essencialmente os mesmos do MIPS monociclo
- ❑ A única particularidade é que eles precisam “viajar” pelos estágios juntamente com a instrução

2. Organizações do MIPS: pipeline

► Projeto do Bloco de Controle

