



Universidade Federal de Pelotas

Instituto de Física e Matemática

Departamento de Informática

Bacharelado em Ciência da Computação

Arquitetura e Organização de Computadores II

Aula 21

6. Interface Processador/Periféricos: Barramentos.

Prof. José Luís Güntzel

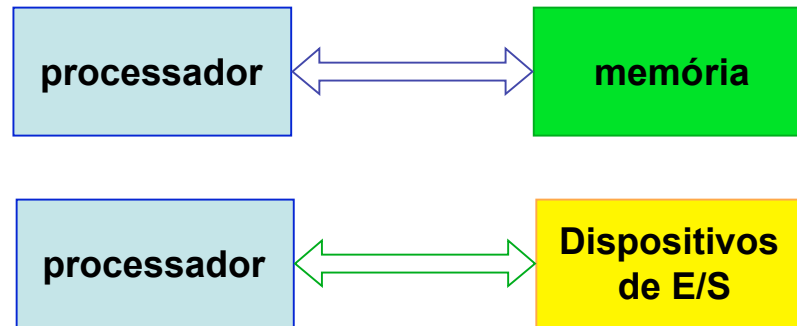
guntzel@ufpel.edu.br

www.ufpel.edu.br/~guntzel/AOC2/AOC2.html

6. Interface Processador/Periféricos

► Barramentos

- Os diversos subsistemas de um sistema computacional precisam ter interfaces uns com os outros:



Conceito de Barramento:

“é um *link* de comunicação compartilhado”

6. Interface Processador/Periféricos

► Barramentos

- Vantagens da conexão via barramento:
 - Versatilidade (fácil inclusão de novos dispositivos)
 - Baixo custo (conjunto de fios é compartilhado por dispositivos)
- Desvantagem: “gargalo” de comunicação (limitação no *throughput*)
- Fatores (físicos) que limitam a velocidade do barramento:
 - Comprimento do barramento
 - Número de dispositivos conectados
- O barramento precisa suportar uma gama ampla de dispositivos, com latências e velocidades distintas

6. Interface Processador/Periféricos

► Composição de um Barramento

Linhas de Controle

- Sinalizam requisições (REQ) e reconhecimentos de requisições (ACK) (protocolo de comunicação do barramento)
- Indicam o tipo de dado que está nas linhas de dados

Linhas de Dados

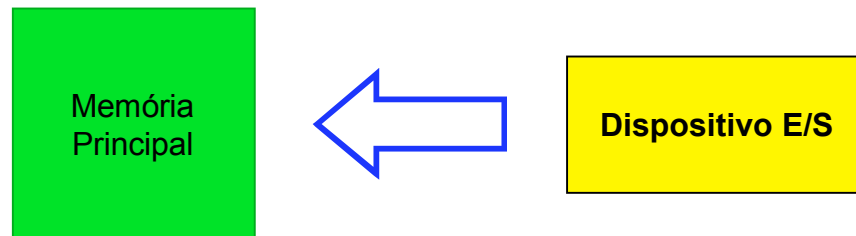
- Transportam a informação da fonte ao destino
- Informações = dados, comandos complexos ou endereços
- Alguns barramentos tem dois conjuntos de linhas: um para dados e outro para endereços

6. Interface Processador/Periféricos

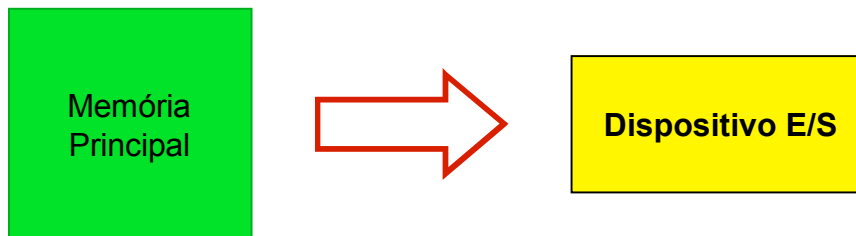
► Transação com o Barramento (*bus transaction*)

- **Envolve dois passos:**
 1. Envio do endereço
 2. Envio ou recepção dos dados
- **Definindo operações de entrada e de saída**

Operação Entrada



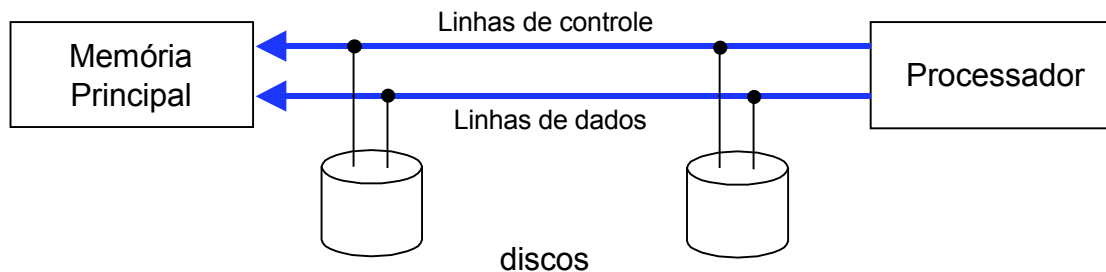
Operação de Saída



6. Interface Processador/Periféricos

► Os Três Passos de uma Operação de Saída

1



Início da leitura da memória principal:

- Linhas de dados contêm o endereço
- Linhas de controle sinalizam uma requisição de leitura

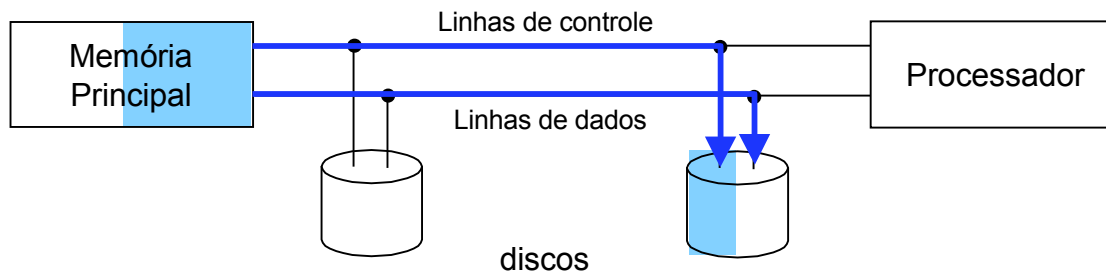
2



Memória principal acessa o dado

- Memória coloca o dado nas linhas de dados
- Usando as linhas de controle, a memória sinaliza ao dispositivo de E/S que o dado está disponível nas linhas de dados
- Dispositivo armazena o dado

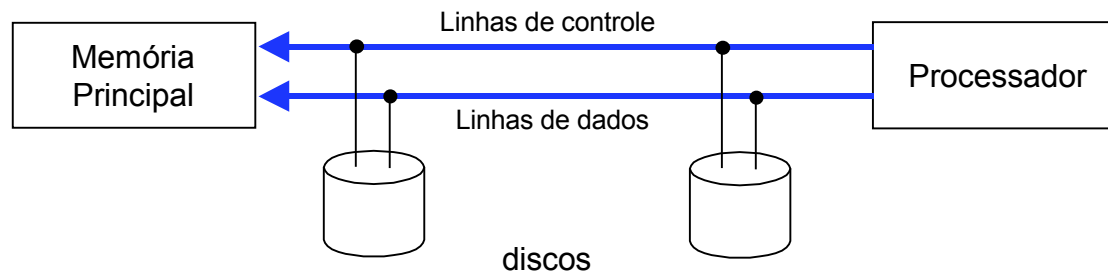
3



6. Interface Processador/Periféricos

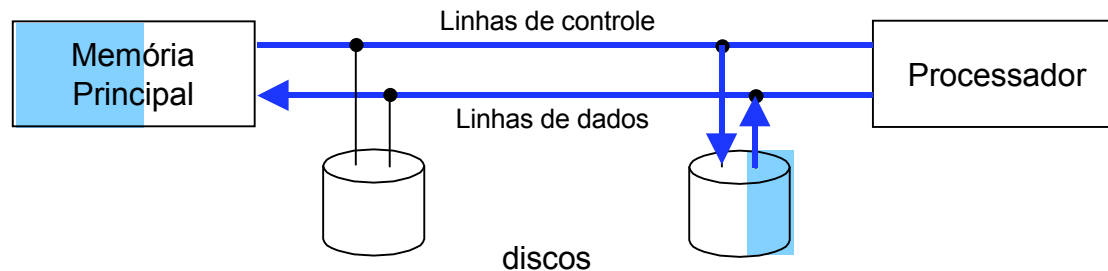
► Os Três Passos de uma Operação de Entrada

1



- Linhas de controle indicam uma requisição de escrita feita à memória principal
- Linhas de dados contêm o endereço da escrita

2



- Linhas de controle sinalizam ao dispositivo de E/S que a memória principal está pronta
- Dispositivo transfere os dados
- A memória armazena os dados da maneira como os recebe

OBS: geralmente, o dispositivo de E/S não precisa esperar que a escrita na memória termine (pois há um *buffer* de escrita)

6. Interface Processador/Periféricos

► Tipos de Barramentos

Classificação usual:

1. Barramento processador-memória

2. Barramento de E/S

3. Barramento do *backplane*

- Barramentos processador-memória:

- Curtos, extremamente velozes
- Maximizam a banda passante memória-processador
- Geralmente, são proprietários do fabricante de processador e/ou máquina

6. Interface Processador/Periféricos

► Tipos de Barramentos

- **Barramentos de E/S:**

- Mais longos
- Podem ter muitos tipos de dispositivos conectados a eles
- Precisam atender a uma ampla faixa de bandas passantes (levando em conta dispositivos que venham a ser conectados)
- Não necessariamente têm interface direta com a memória
 - Podem usar o barramento processador-memória ou o barramento do *backplane* para se comunicar com a memória principal
- São padronizados
- Apresentam uma interface moderadamente simples e de baixo nível (pouca eletrônica adicional necessária ao dispositivo)

6. Interface Processador/Periféricos

► Tipos de Barramentos

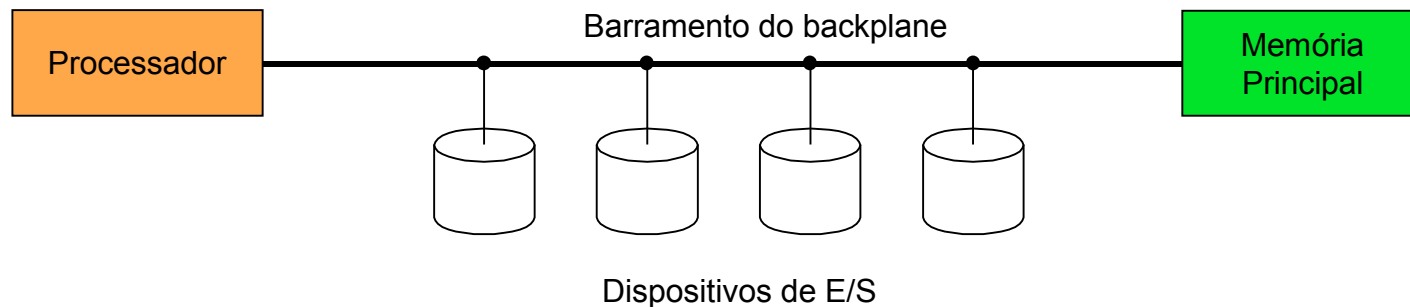
- Barramentos do *Backplane*:

- Projetados para permitir que processador, memória e dispositivos de E/S possam coexistir em um único barramento físico
- Balanceiam as demandas de comunicação processador-memória com as demandas de comunicação dispositivos de E/S-memória
- Muitas vezes são construídos diretamente no *backplane* da máquina (placa-mãe)
- São padronizados
- Necessidade de uma lógica adicional para interface barramento de *backplane*-dispositivo

6. Interface Processador/Periféricos

► Tipos de Barramentos

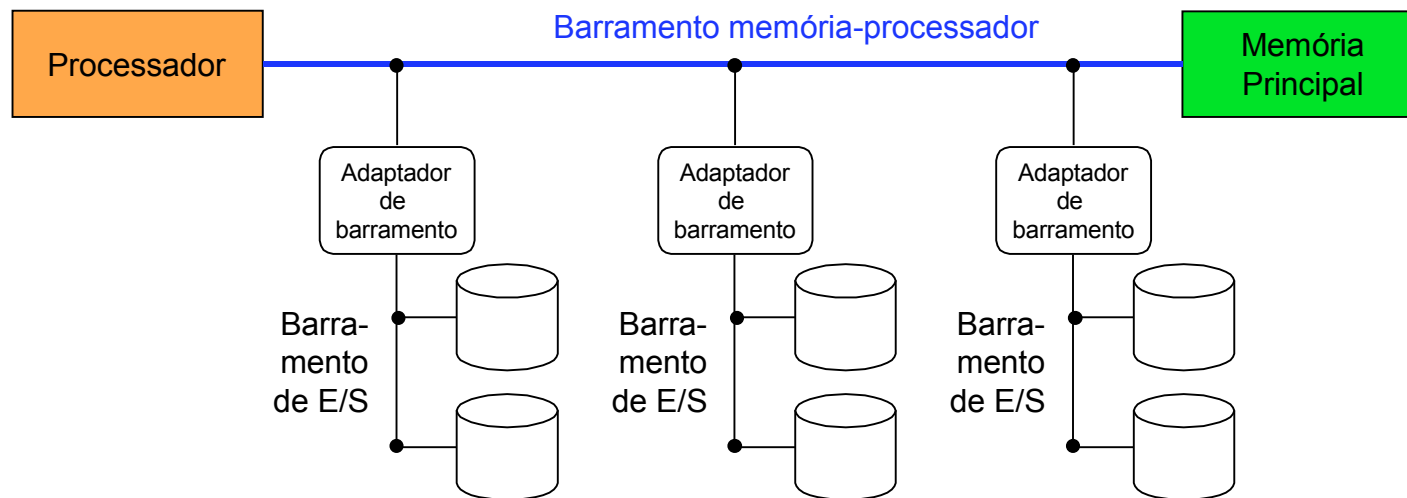
1- Máquinas com Barramento Único



6. Interface Processador/Periféricos

► Tipos de Barramentos

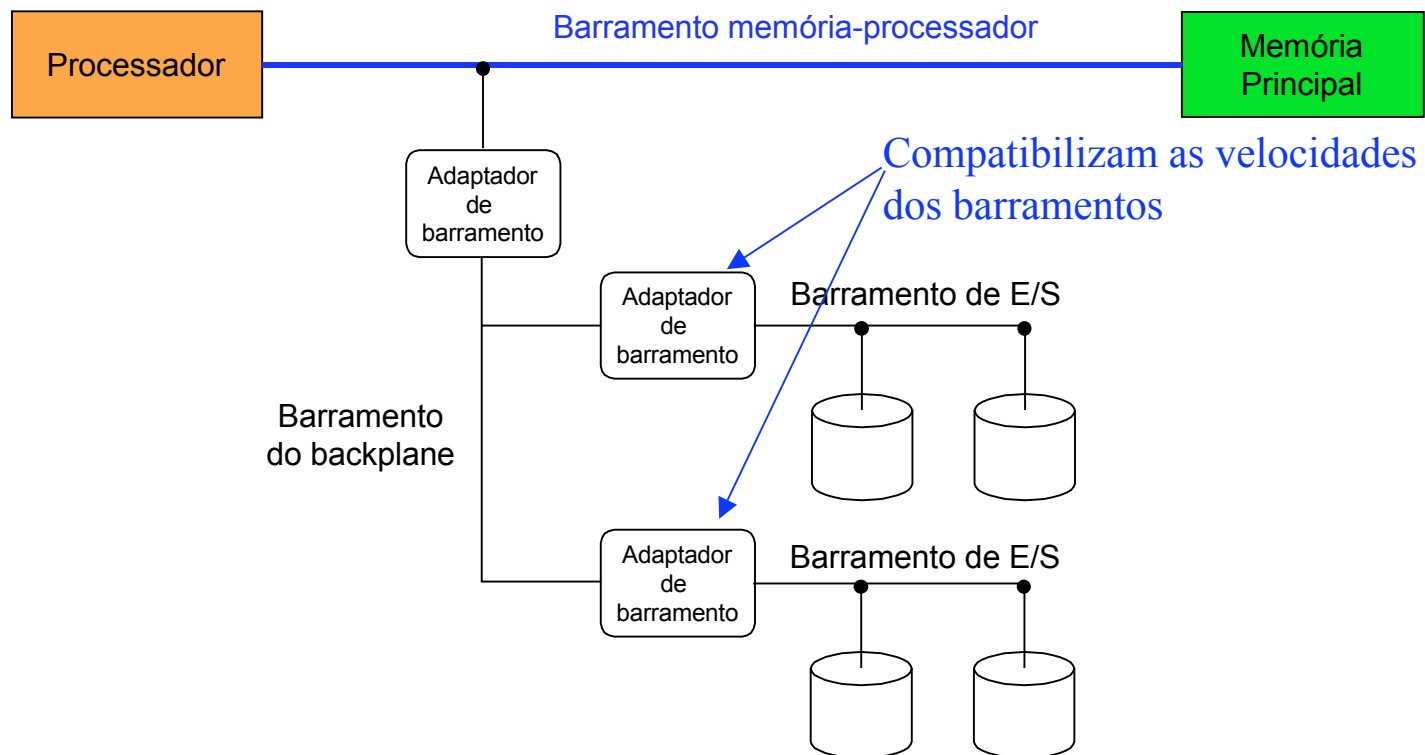
2- Máquinas com Barramento Memória-Processador Separado do Barramento de E/S



6. Interface Processador/Periféricos

► Tipos de Barramentos

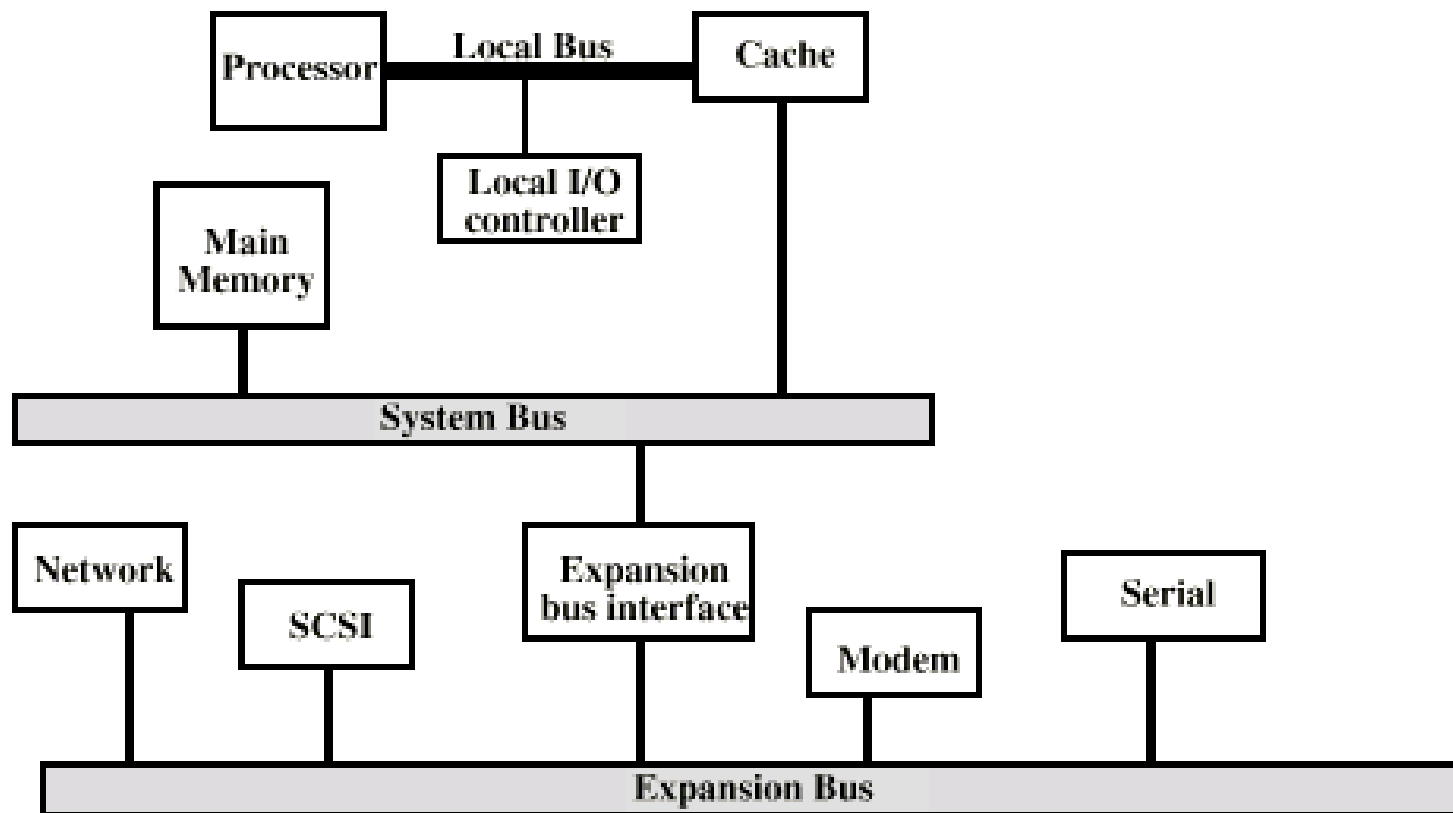
3- Máquinas com Três Barramentos



6. Interface Processador/Periféricos

► Tipos de Barramentos

Sistema de Barramentos Tradicional (ISA) com Cache

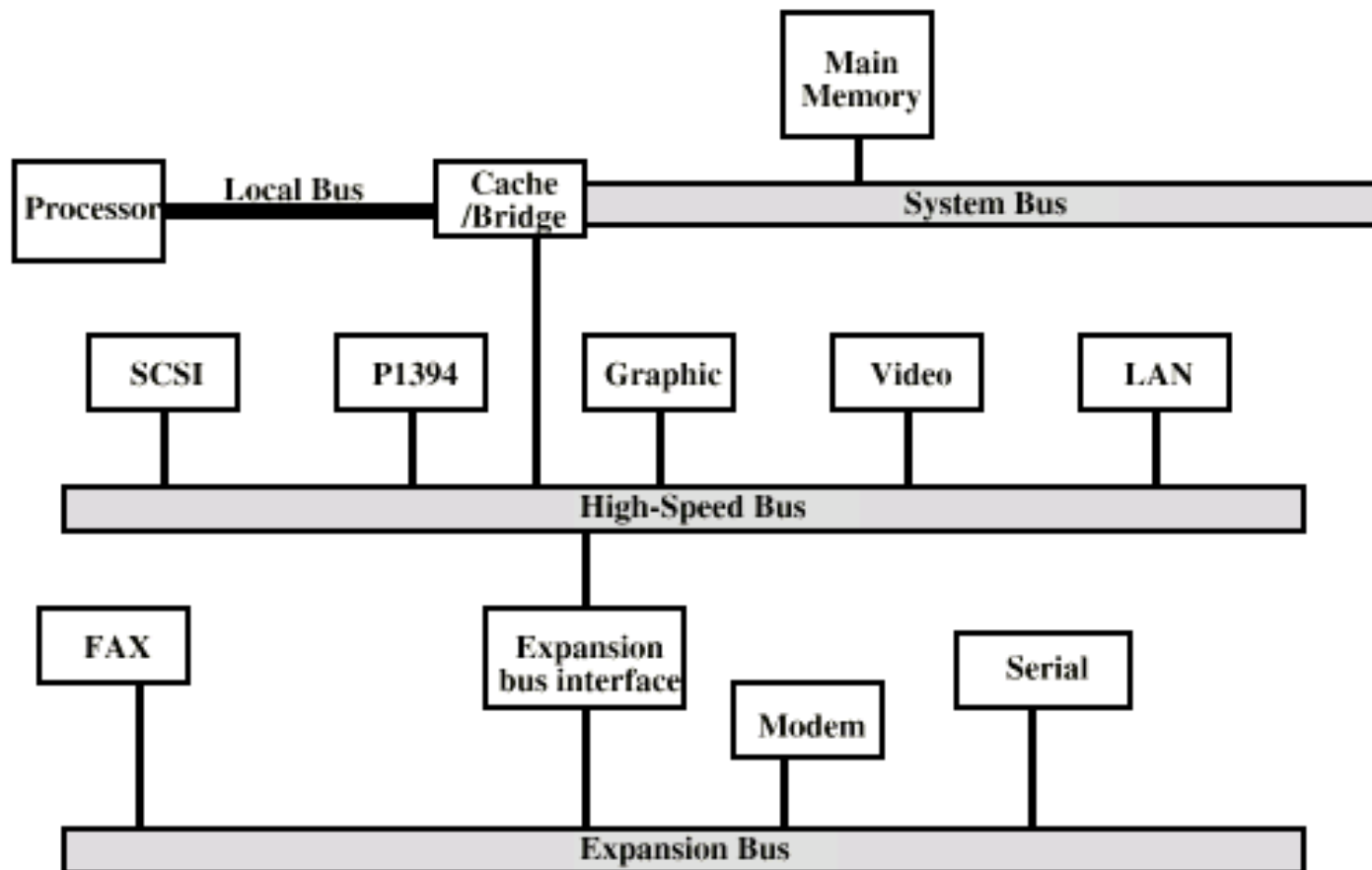


© Stallings, W. "Arquitetura e Organização de Computadores", 5ª edição. Prentice-Hall, 2002

6. Interface Processador/Periféricos

► Tipos de Barramentos

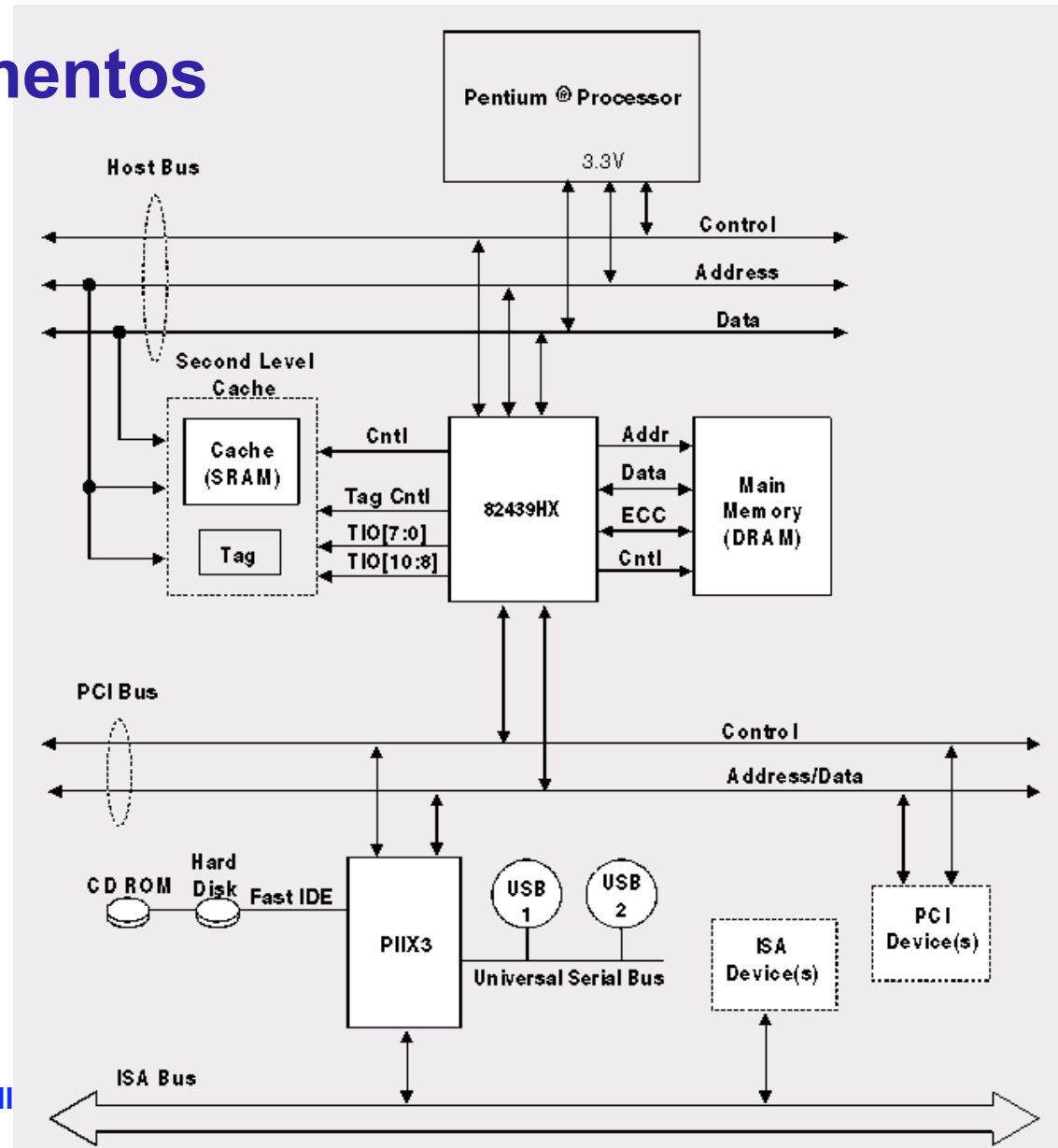
Sistema de Barramentos de Alto Desempenho



6. Interface Processador/Periféricos

► Sistema de Barramentos

Pentium II



6. Interface Processador/Periféricos

► Barramentos Síncronos

- O relógio (*clock*) é um dos sinais de controle
- Possui um protocolo de comunicação relacionado ao relógio
- Protocolo simples, conhecido e implementado por um circuito (máquina de estados)
- Desvantagem 1: os dispositivos devem trabalhar na mesma frequência do relógio
- Desvantagem 2: devido ao *clock skew*, barramentos síncronos não podem ser muito longos



Barramentos processador-memória são majoritariamente síncronos!

6. Interface Processador/Periféricos

► Barramentos Assíncronos

- Não segue um relógio (*clock*)
- Pode acomodar uma grande variedade de dispositivos (**não exige sincronismo entre os dispositivos**)
- Menor preocupação com o comprimento das linhas
- Protocolo *handshake* coordena a transmissão dos dados entre transmissor e receptor (transmissor e receptor só passa para um passo seguinte quando ambas as partes concordam)
- O protocolo é implementado por meio de um conjunto adicional de linhas de controle

6. Interface Processador/Periféricos

► Handshake

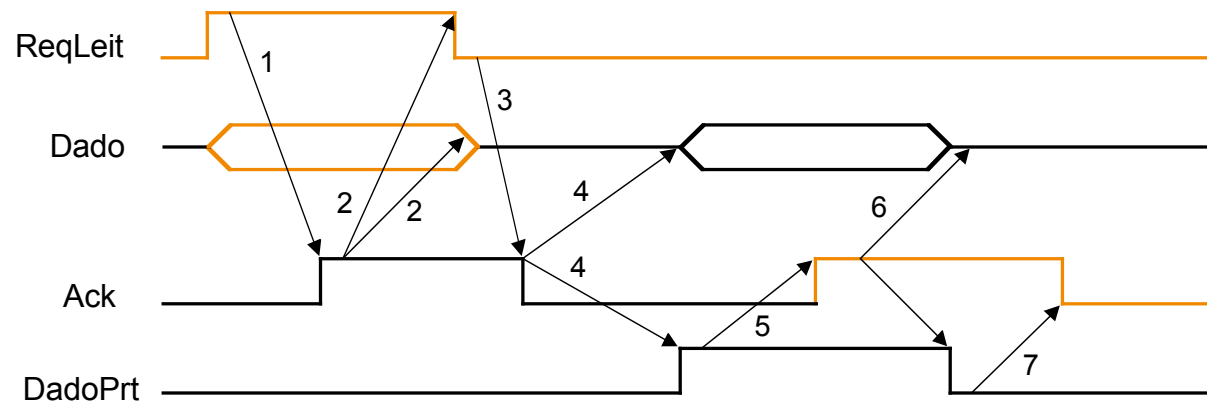
Suponha que um determinado dispositivo requisitou uma palavra de dados ao sistema de memória

Suponha que estão disponíveis três linhas de controle:

- **ReqLeit:** usada para indicar uma solicitação de leitura da memória principal. O endereço da leitura é colocado nas linhas de dados no mesmo instante em que o sinal indicativo da solicitação fica ativo;
- **DadoPrt:** usada para indicar que a palavra de dados está pronta para ser lida, colocada nas linhas de dados;
- **Ack:** sinal usado para reconhecer o **ReqLeit** ou o **DadoPrt** da outra parte envolvida na comunicação.

6. Interface Processador/Periféricos

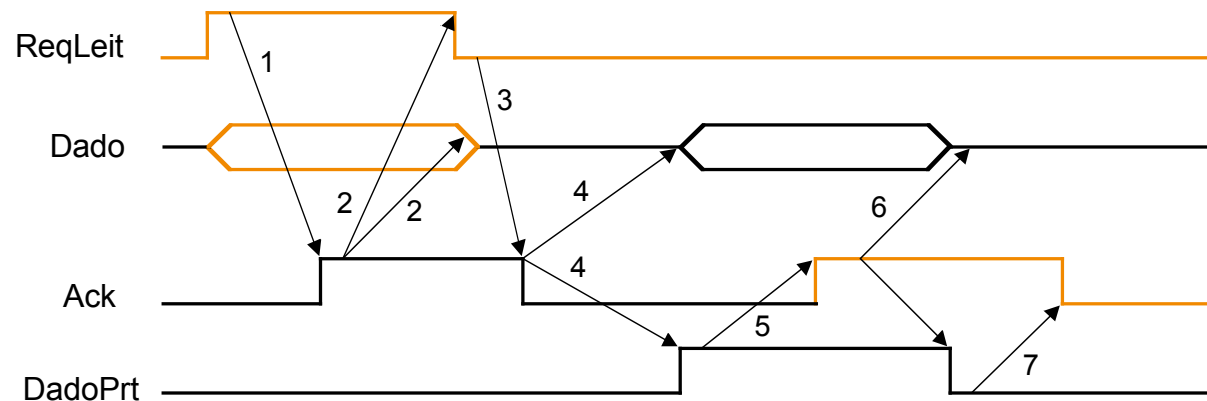
► Handshake



1. Quando a memória principal enxerga a linha ReqLeit ativa, ela
 - lê o endereço contido na linha de dados do barramento e
 - ativa o sinal Ack, indicando que tomou as providências necessárias para a passagem ao passo seguinte
2. Quando o dispositivo de E/S enxerga a linha Ack ativada, ele libera ReqLeit e as linhas de dados
3. A memória enxerga a ReqLeit desativada e baixa a linha de Ack

6. Interface Processador/Periféricos

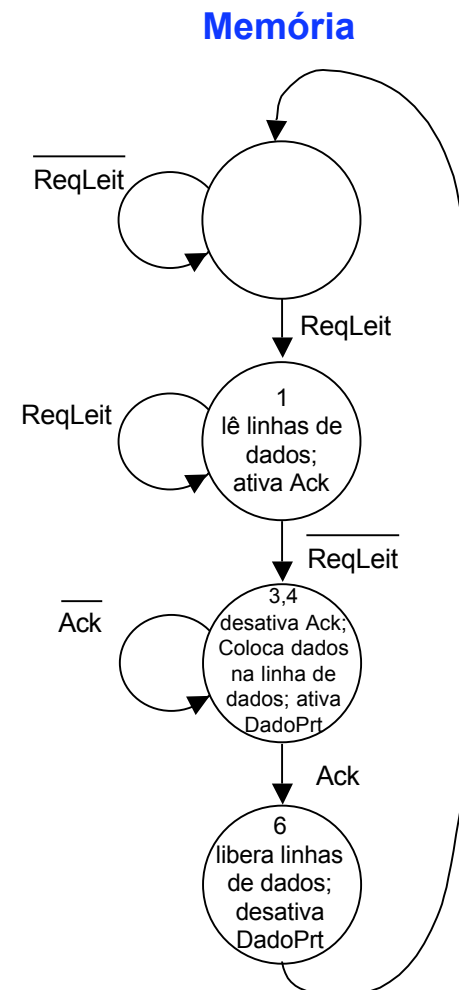
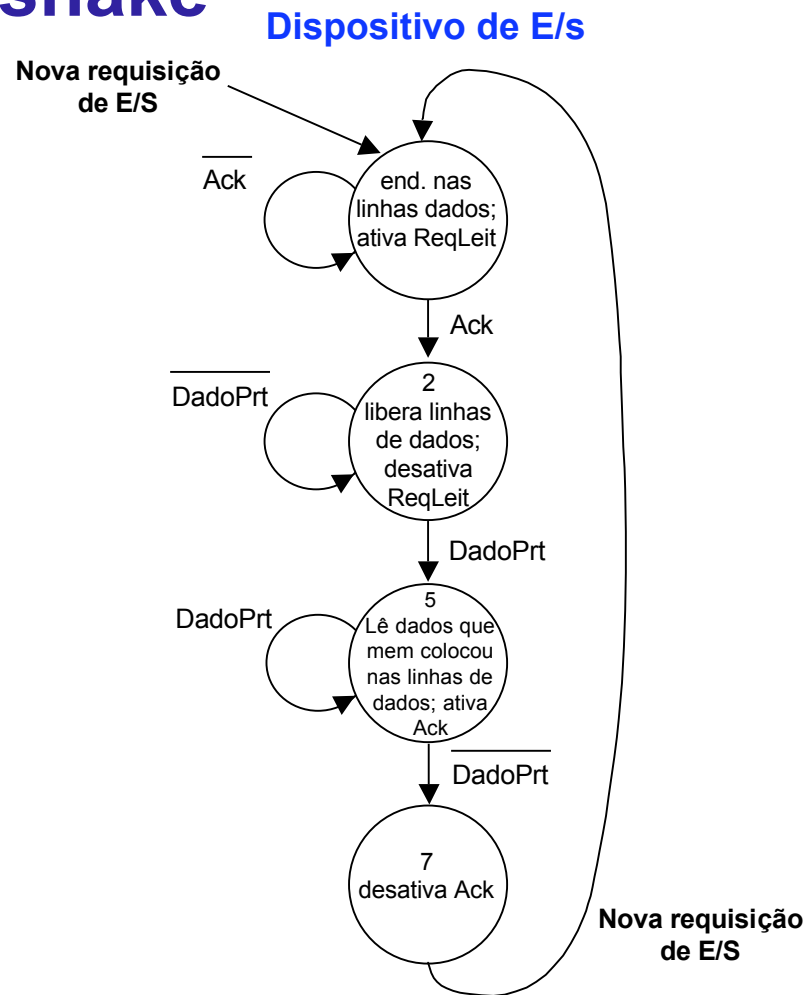
► Handshake



4. A memória disponibiliza os dados requisitados, colocando-os na linha de dados do barramento, e ativando o sinal DadoPrt
5. O Dispositivo de E/S enxerga o sinal DadoPrt ativo, lê os dados do barramento e sinaliza que obteve os dados levantando o sinal Ack
6. A memória enxerga o Ack ativo, baixa o DadoPrt e libera as linhas de dados
7. Finalmente, o dispositivo de E/S, enxergando o sinal DadoPrt baixo, baixa a linha Ack, indicando que a transmissão se completou.

6. Interface Processador/Periféricos

► Handshake



6. Interface Processador/Periféricos

► Desempenho de Barramentos Síncrono e Assíncrono

Exemplo:

Considere os seguintes dados:

- Barramento síncrono:
 - Período do clock: 50ns
 - Cada transmissão gasta 1 ciclo de clock
- Barramento assíncrono:
 - 40 ns para cada passo do protocolo *handshake*
- Considerar dados com 32 bits em ambos casos (barramento com 32 bits)

Encontre a banda passante para cada barramento, ao realizar leituras de uma palavra em uma memória cujo tempo de acesso é 200ns

6. Interface Processador/Periféricos

► Desempenho de Barramentos Síncrono e Assíncrono

Exemplo: banda passante máxima do barramento síncrono

1. Envio do endereço para a memória: 50 ns
2. Leitura da memória: 200 ns
3. Envio do dado para o dispositivo: 50 ns

Portanto, a banda passante máxima será de 4 bytes a cada 300ns ou

$$\frac{4 \text{ bytes}}{300 \text{ ns}} = \frac{4 \text{ MB}}{0,3 \text{ s}} = 13,3 \frac{\text{MB}}{\text{s}}$$

6. Interface Processador/Periféricos

► Desempenho de Barramentos Síncrono e Assíncrono

Exemplo: banda passante máxima do barramento assíncrono

A memória recebe o endereço no final do passo 1, mas o dado só precisa estar disponível no início do passo 5. **Logo, a leitura da memória pode ser feita em paralelo com os passos 2, 3 e 4.**

Passo 1: 40 ns

Passos 2, 3, 4: maior entre {200 ns e 3 x 40ns} = 200 ns

Passos 5, 6, 7: 3 x 40 ns = 120 ns

Portanto, a banda passante máxima será de 4 bytes a cada 360ns ou

$$\frac{4 \text{ bytes}}{360 \text{ ns}} = \frac{4 \text{ MB}}{0,36 \text{ s}} = 11,1 \frac{\text{MB}}{\text{s}}$$

Conclusão: o barramento síncrono é apenas 20% mais rápido que o assíncrono

6. Interface Processador/Periféricos

► **Desempenho de Barramentos Síncrono e Assíncrono**

Escolha entre barramentos assíncronos e síncronos tem implicações outras além da banda passante:

- **Distância física entre os componentes do sistema**
- **Número de componentes**

Barramentos assíncronos:

- **São menos sensíveis a mudanças tecnológicas**
- **Podem suportar dispositivos com tempos de resposta bastantes diversos**
- **Barramentos de E/S são majoritariamente assíncronos**

6. Interface Processador/Periféricos

► Incremento da Banda Passante de Barramentos

Além do modo de funcionamento (síncrono x assíncrono), fatores que afetam a banda passante dos barramentos:

- 1. Tamanho do barramento:** mais de uma palavra pode ser transferida por ciclo de clock
- 2. Linhas de endereço e linhas de dados separadas *versus* multiplexadas:** em uma escrita, endereço e dado podem trafegar simultaneamente
- 3. Transferências de blocos:** quando palavras de endereços contíguos são transferidas, somente o endereço da primeira palavra precisa ser enviado (transferência “em rajadas” ou modo “burst”)