Universidade Federal de Pelotas
Instituto de Física e Matemática
Departamento de Informática
Bacharelado em Ciência da Computação

Arquitetura e Organização de Computadores II

Aula 4

2. MIPS multiciclo: construção do bloco operativo, execução das instruções

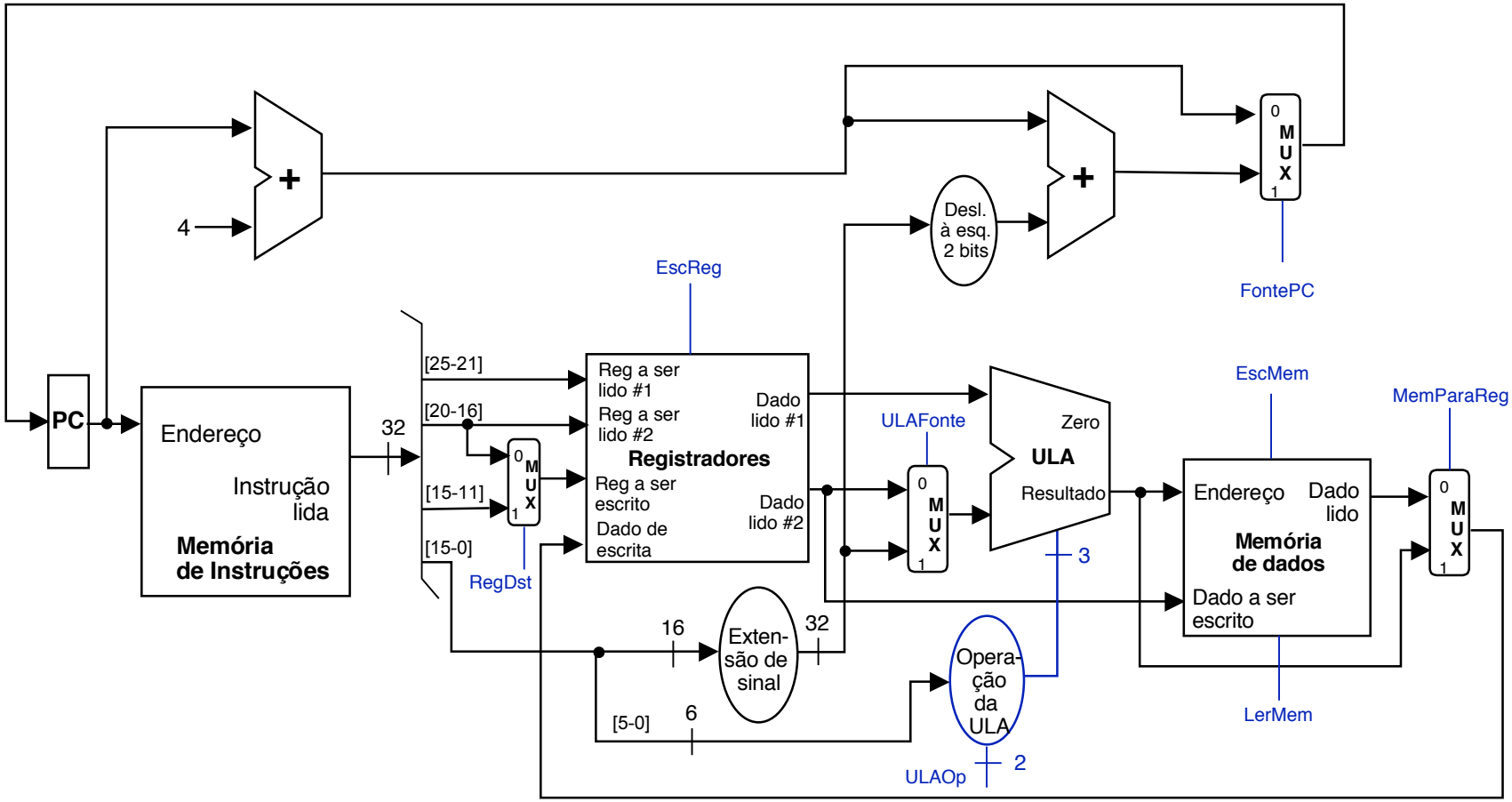
Prof. José Luís Güntzel

guntzel@ufpel.edu.br

www.ufpel.edu.br/~guntzel/AOC2/AOC2.html

2. Organizações do MIPS: multiciclo

Lembrando o Bloco Operativo Monociclo



2. Organizações do MIPS: multiciclo

No Bloco Operativo Monociclo

- Cada instrução executa em um ciclo de relógio
- O período do relógio é determinado pela instrução mais lenta
- Os recursos de hardware não podem ser aproveitados
  - duas memórias: uma para instruções e outra para dos dados
  - ULA e dois somadores

2. Organizações do MIPS: multiciclo

Um Bloco Operativo Multiciclo

- Instruções são divididas claramente em etapas
- Cada etapa executa em um ciclo de relógio
- O período do relógio é determinado pela **etapa mais lenta**
- Cada instrução executa em um número apropriado de ciclos de relógio (proporcional ao número de etapas)
- Os recursos de hardware podem ser aproveitados
  - redução no custo do bloco operativo
  - aumento na complexidade do bloco de controle

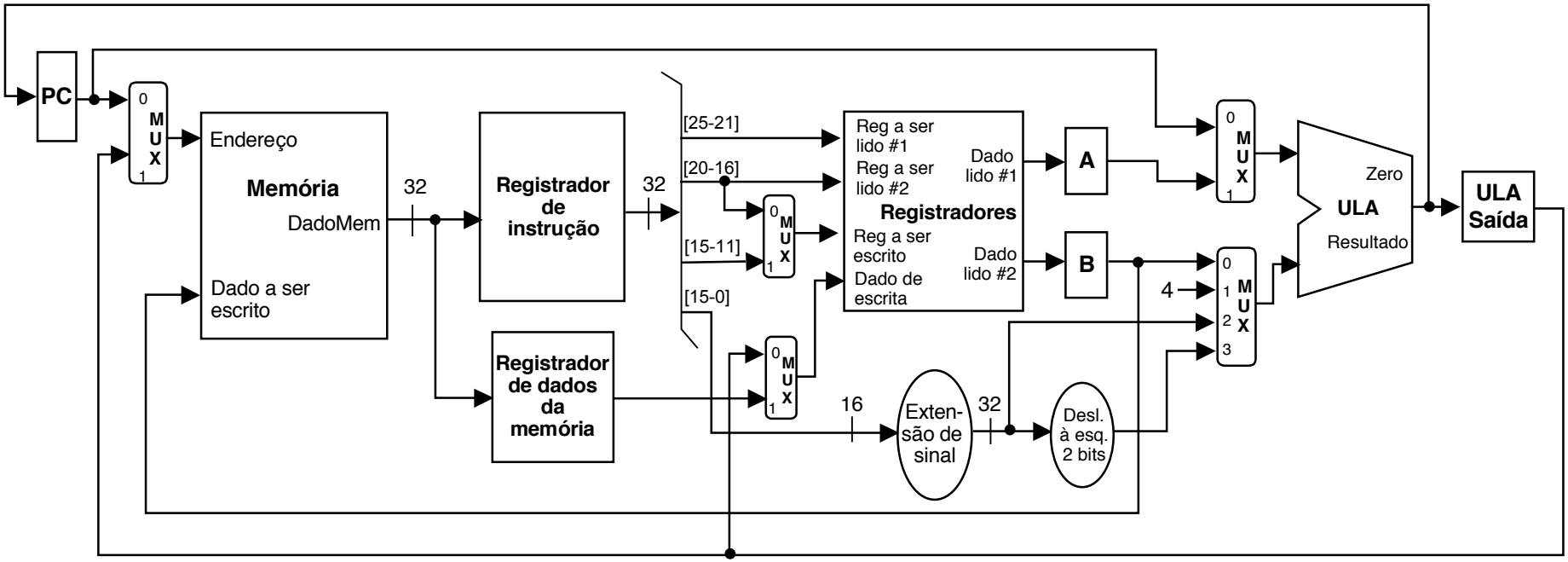
2. Organizações do MIPS: multiciclo

Características do Bloco Operativo Multiciclo

- **Uma única memória para instruções e dados**
- **Apenas uma ULA (dispensa os uso de somadores extras)**
- **Inserção de registradores (não-visíveis ao programador) para reter as saídas das unidades funcionais (exigência do regime multiciclo):**
  - **Dados a serem usados na mesma instrução um ciclo de relógio posterior ficam armazenados nos registradores não-visíveis ao programador**
  - **Dados a serem usados em outras instruções devem ser armazenados em elementos de memória visíveis ao programador (banco de registradores, PC ou memória)**

2. Organizações do MIPS: multiciclo

O Bloco Operativo Multiciclo



2. Organizações do MIPS: multiciclo

Características do Bloco Operativo Multiciclo

Novos Registradores (Não-Visíveis ao Programador)

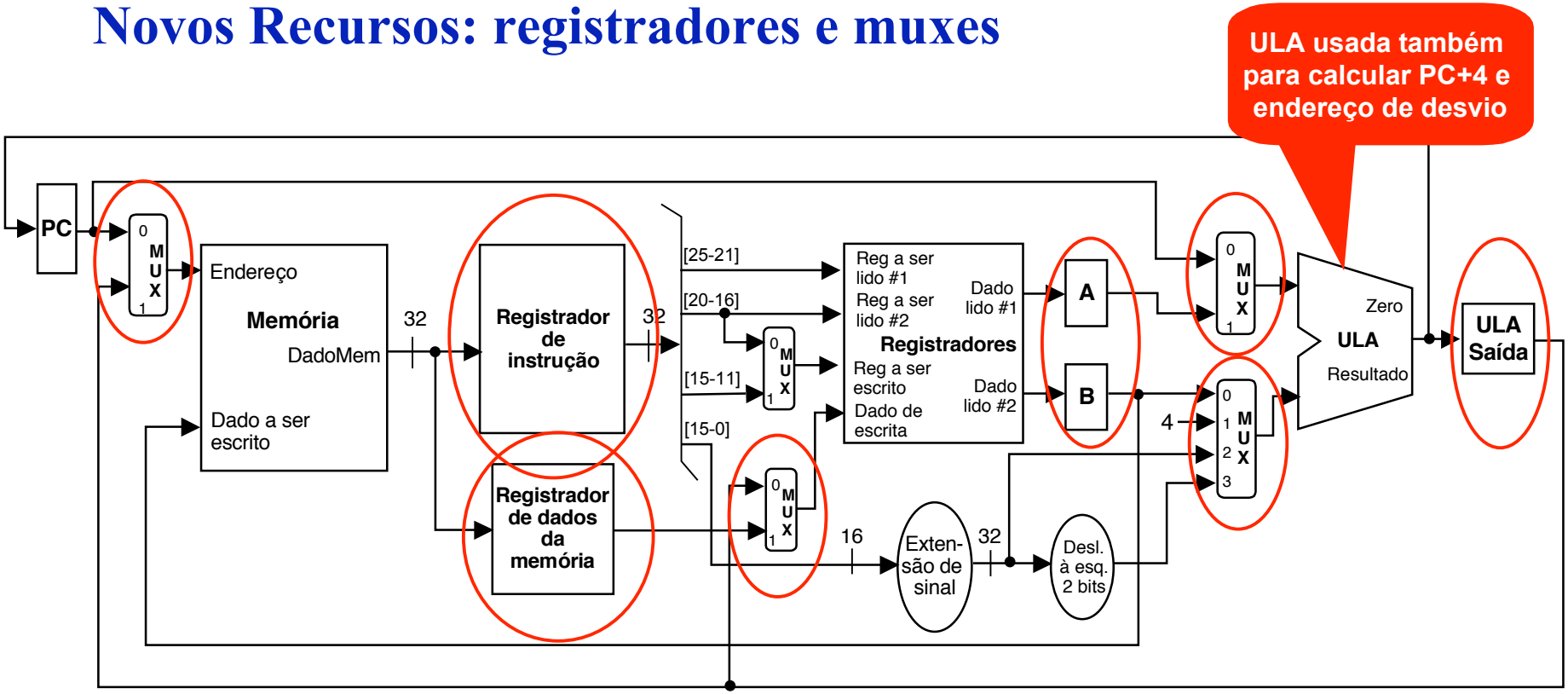
- **Registrador de Instrução (IR ou RI)**
- **Registrador de Dados da Memória (MDR ou RDM)**
- **Registradores A e B, para guardar os dados lidos do banco de registradores**
- **Registrador ULASaída**

Todos estes registradores (exceto o IR) armazenam dados somente entre duas bordas de relógio adjacentes e portanto, não necessitam sinal de carga (controle de escrita), apenas o sinal de relógio (clock

2. Organizações do MIPS: multiciclo

Características do Bloco Operativo Multiciclo

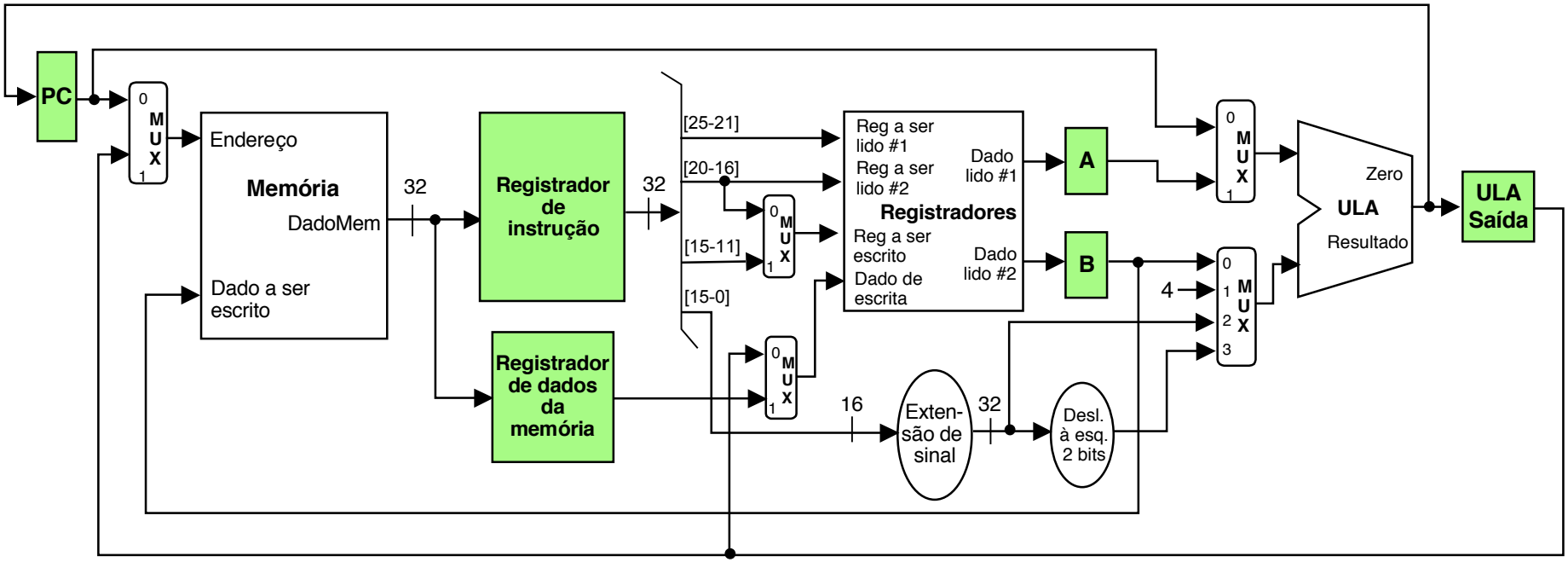
Novos Recursos: registradores e muxes



2. Organizações do MIPS: multiciclo

Características do Bloco Operativo Multiciclo

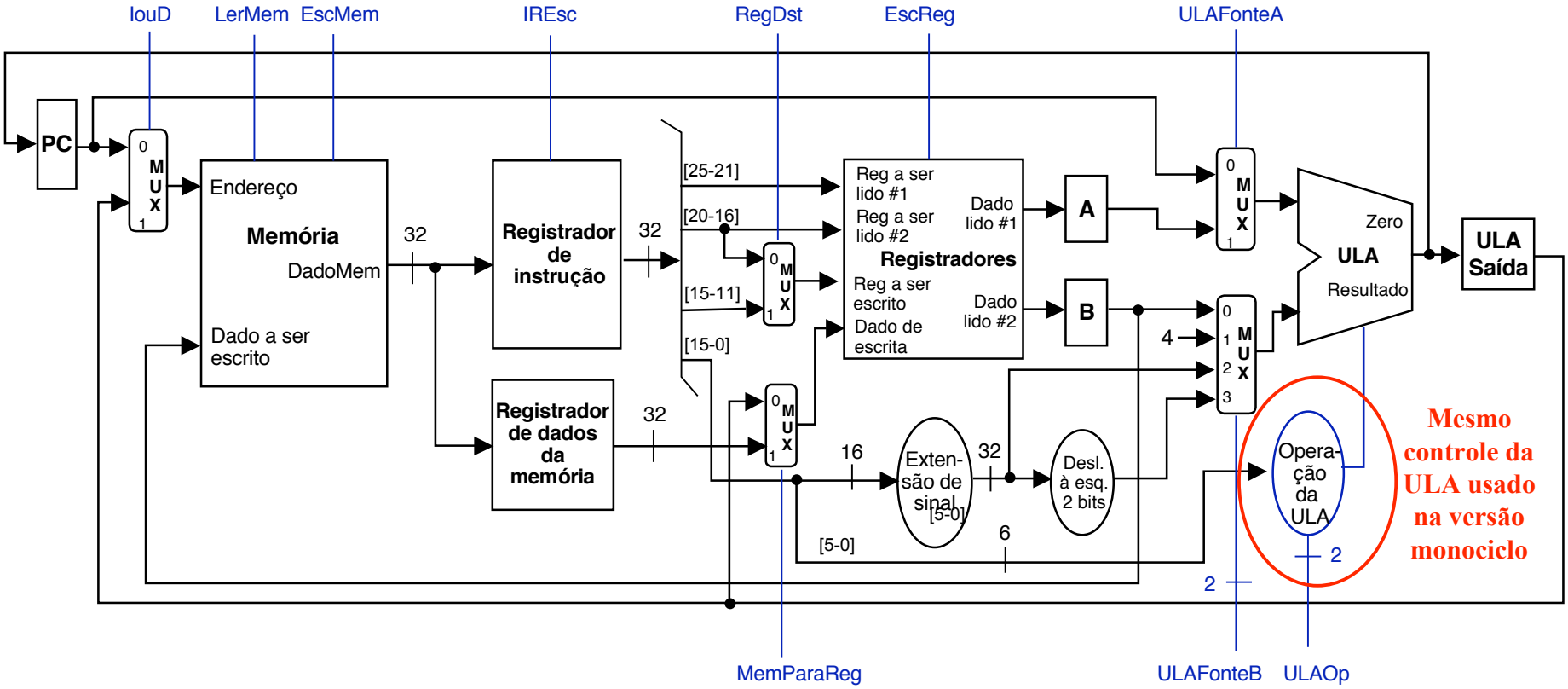
Os Registradores são "Barreiras Temporais"



2. Organizações do MIPS: multiciclo

Características do Bloco Operativo Multiciclo

Os Sinais de Controle



2. Organizações do MIPS: multiciclo

Características do Bloco Operativo Multiciclo

Acréscimos de Recursos para Suportar jump e branch on equal

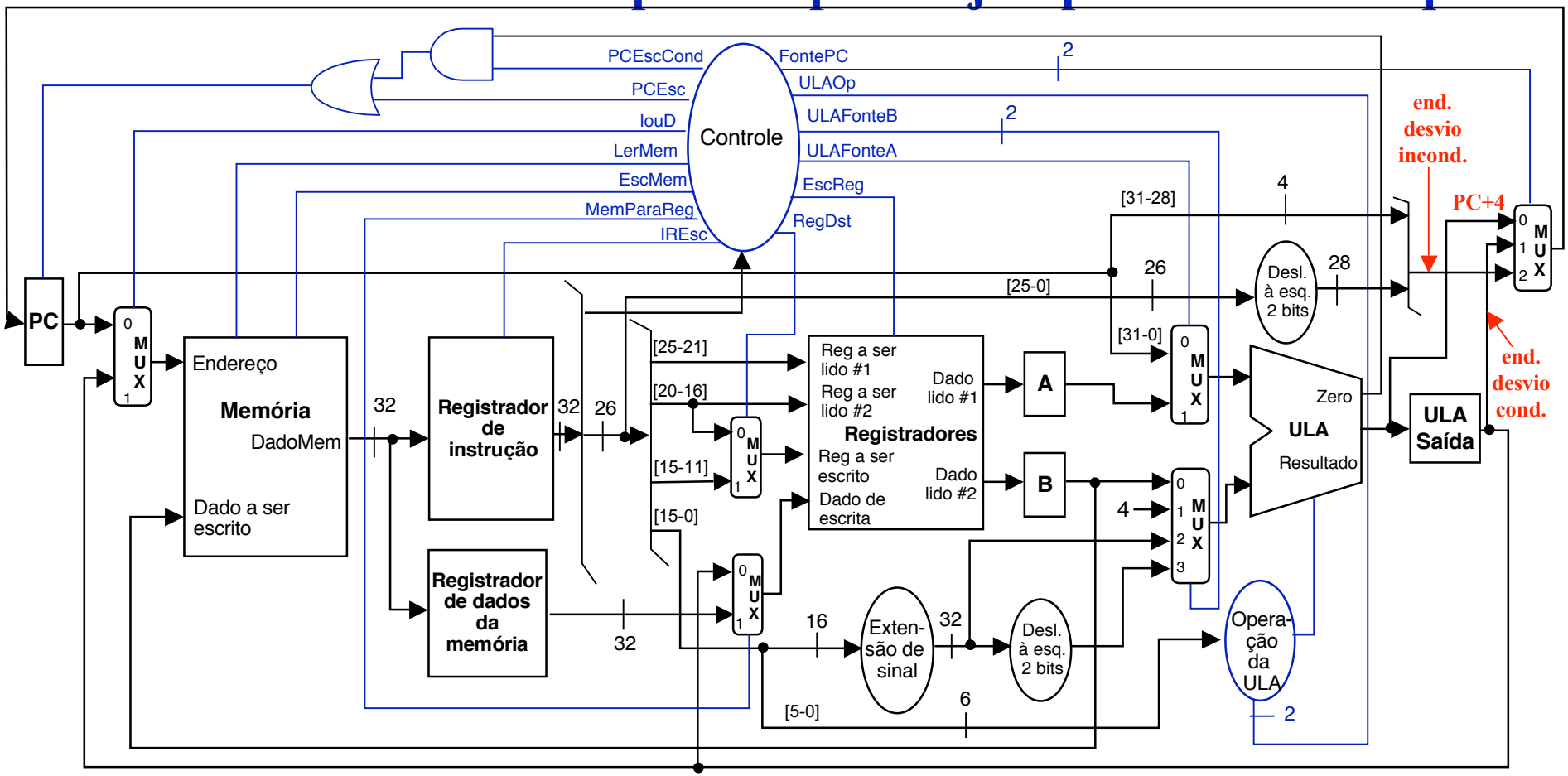
Existem 3 possíveis fontes para o PC:

1. **O resultado de PC+4, disponível na saída da ULA: este valor sempre será armazenado no PC**
2. **O conteúdo de ULASaída: este registrador armazena o endereço-alvo do desvio condicional, após este ter sido calculado pela ULA (beq)**
3. **Os 26 bits menos significativos do IR, deslocados à esquerda e concatenados com os 4 bits mais significativos do PC incrementado (jump)**

2. Organizações do MIPS: multiciclo

Características do Bloco Operativo Multiciclo

Acréscimos de Recursos para Suportar jump e branch on equal



2. Organizações do MIPS: multiciclo

Passos (etapas) das Instruções

1. **Busca da instrução**
2. **Decodificação da instrução**
   - **Leitura dos registradores – mesmo que não sejam utilizados**
   - **Cálculo do endereço do branch – mesmo que instrução não seja branch**
3. **Execução da operação – instruções tipo R**
   - **Cálculo do endereço efetivo do operando – instruções load e store**
   - **Determinar se branch deve ser executado – instrução branch**
4. **Acesso à memória – instruções load e store**
   - **Escrita de registrador – instruções tipo R**
5. **Escrita de registrador – instrução load**

2. Organizações do MIPS: multiciclo

Execução de Instruções

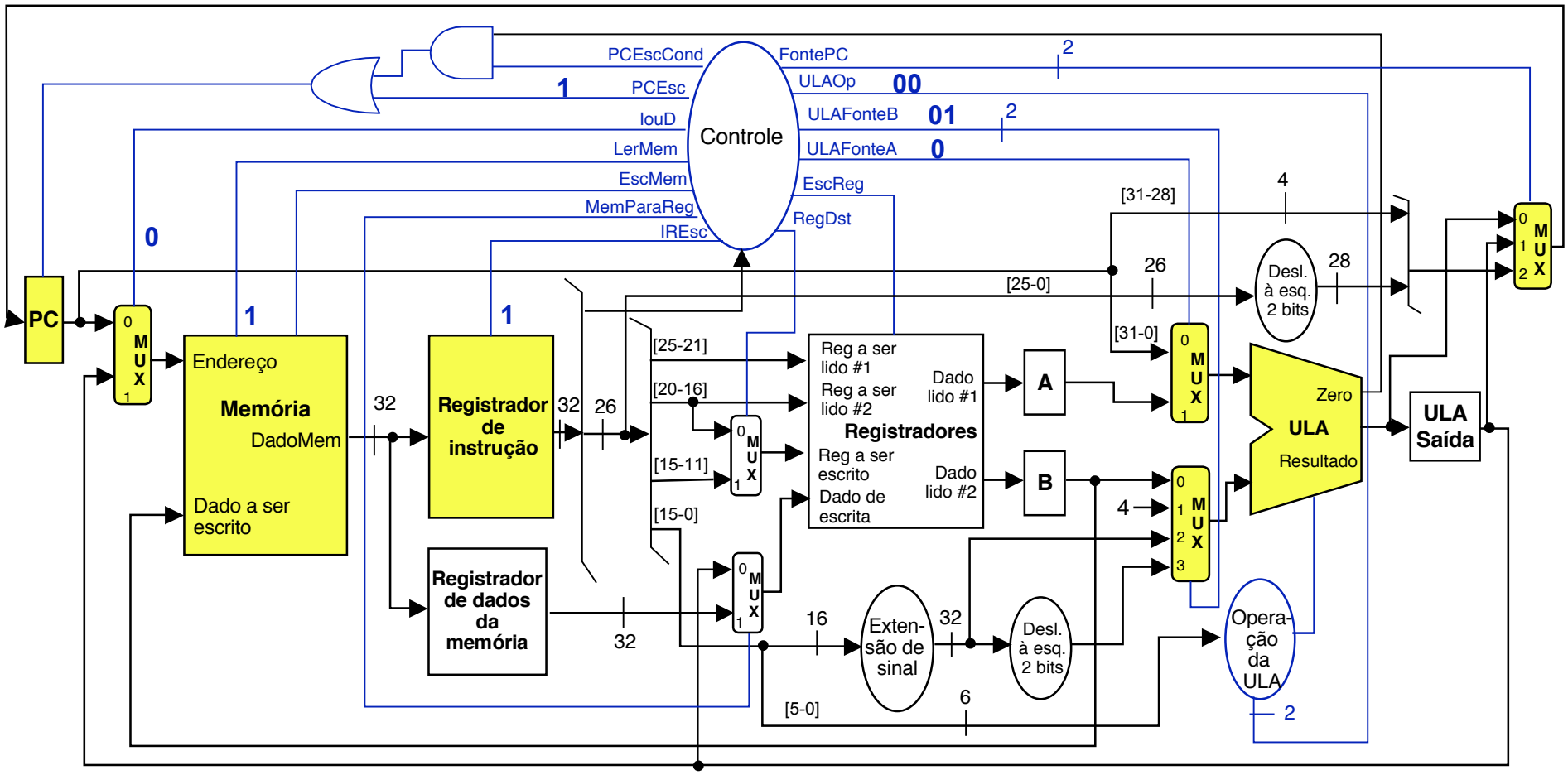
1. Busca da Instrução (e incremento do PC)

RI = Mem[PC]; PC = PC + 4;

Estas operações ocorrem em paralelo

2. Organizações do MIPS: multiciclo

Execução de Instruções: busca



2. Organizações do MIPS: multiciclo

Execução de Instruções

2. Decodificação (Geração dos Sinais de Controle) e Leitura de Rs e Rt

A = Reg[RI[25-21]];

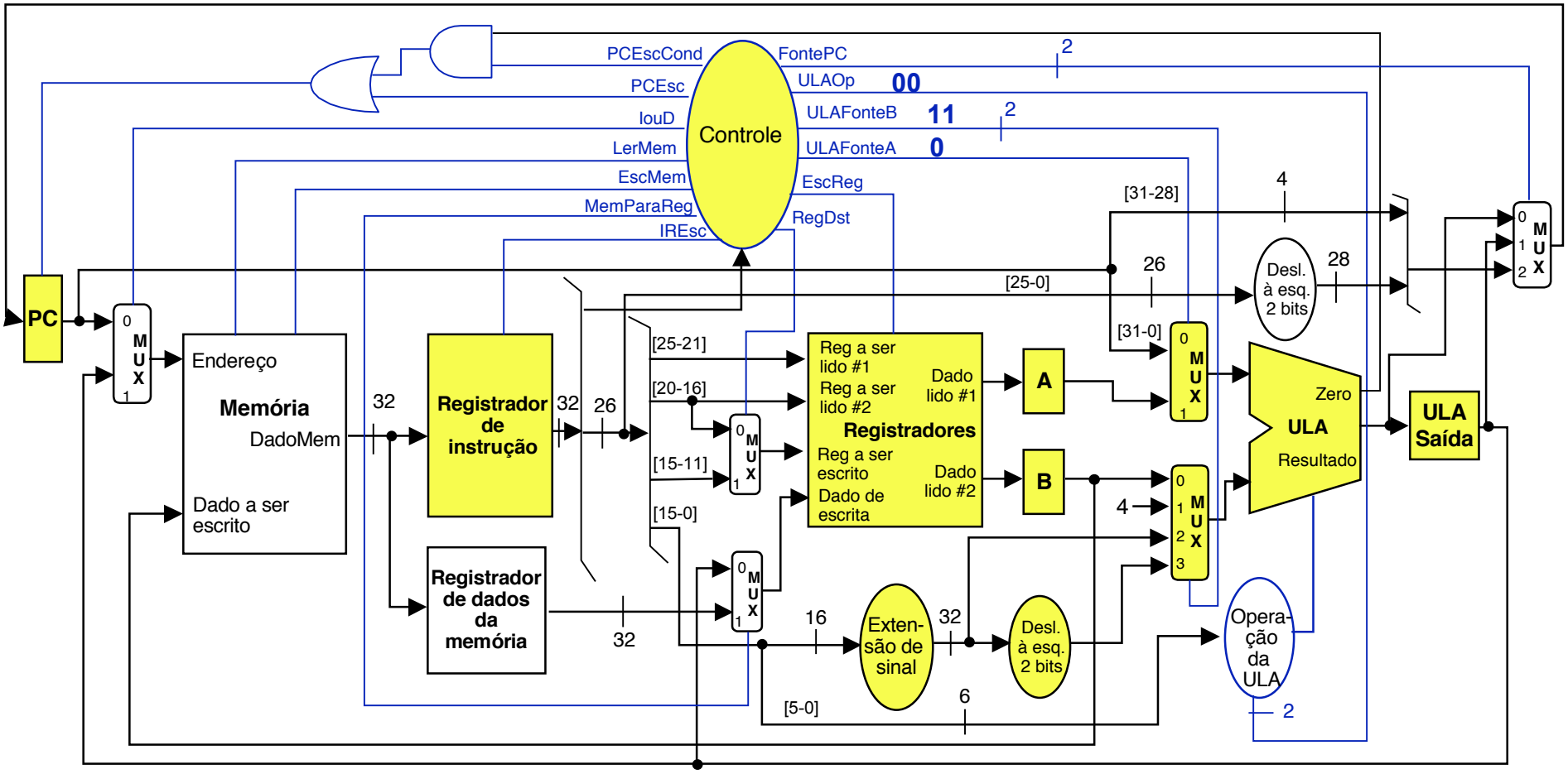
B = Reg[RI[20-16]];

ULASaída = PC + (extensão de sinal (RI[15-0]) << 2)

Estas operações ocorrem em paralelo

2. Organizações do MIPS: multiciclo

Execução de Instruções: leit. Rs e Rt e decodificação



2. Organizações do MIPS: multiciclo

Execução de Instruções

3. Execução da Instrução:

Referência à memória (lw e sw)

ULASaída = A + extensão de sinal(RI[15-0]);

Tipo R

ULASaída = A op B;

Desvio Condicional

Se (A == B) então PC = ULASaída;

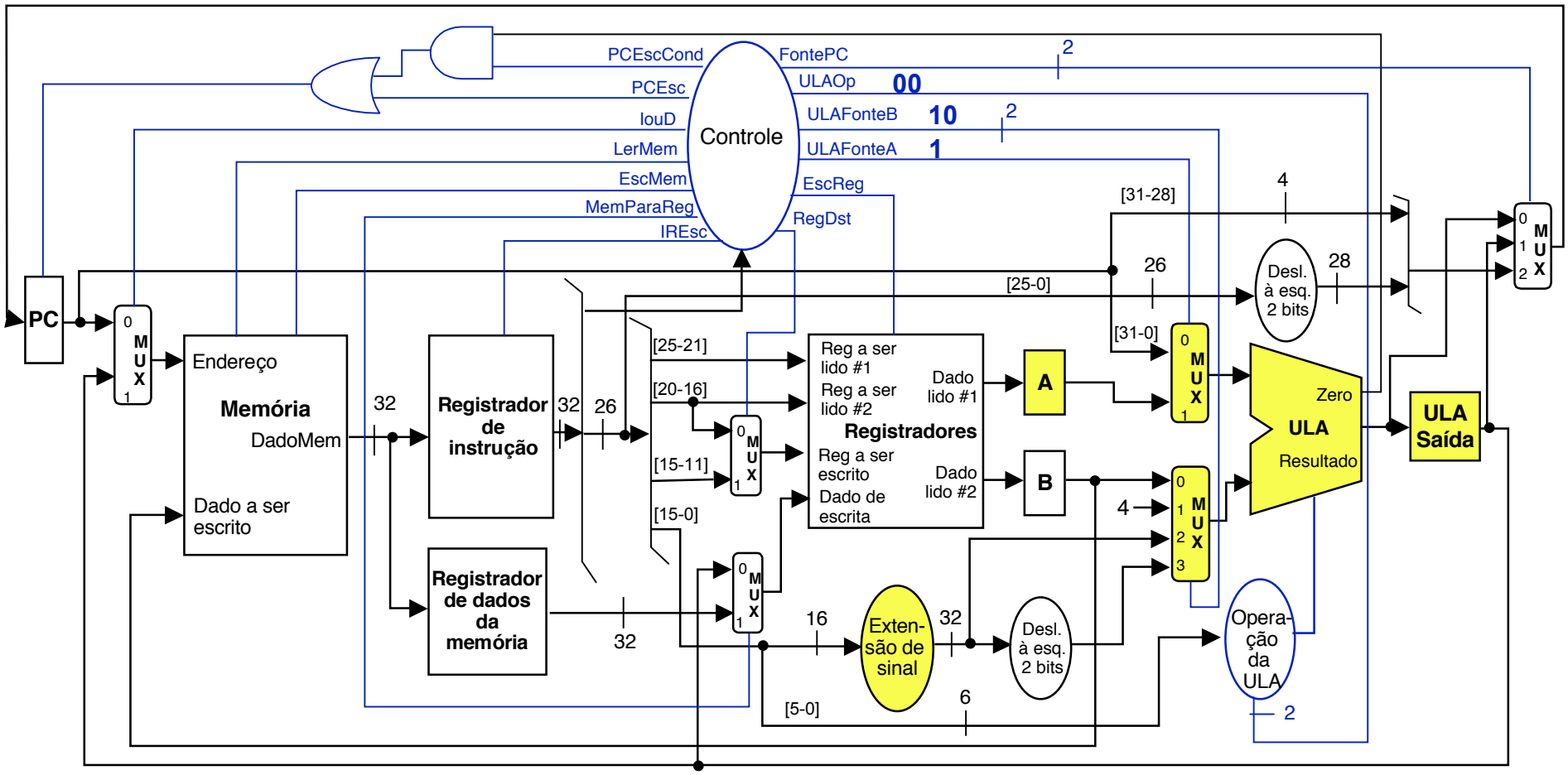
(usa a ULA para fazer A-B, porém sem escrever em ULASaída)

Desvio Condicional

PC = PC[31-28] || (RI[25-0] <<2);

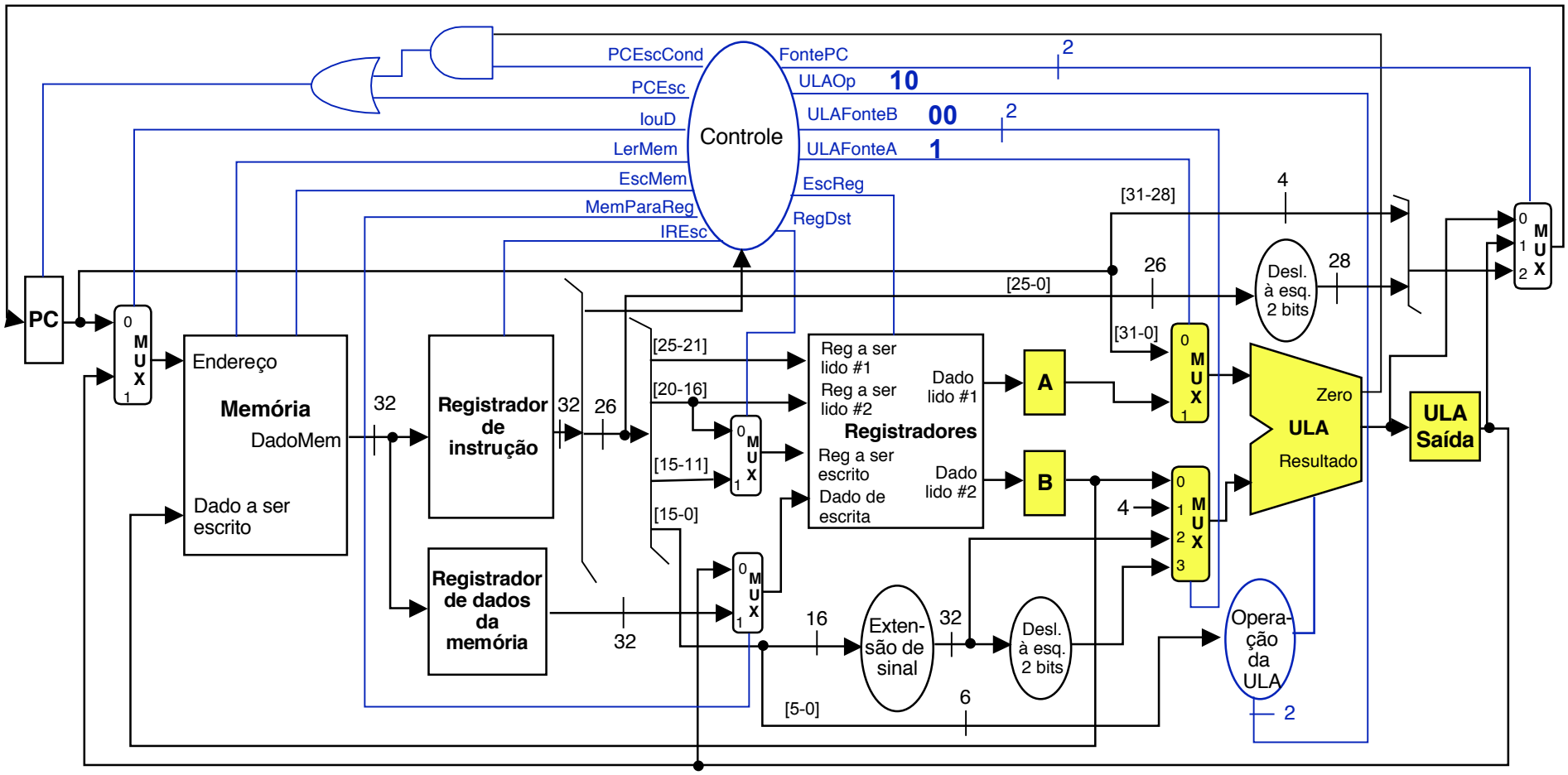
2. Organizações do MIPS: multiciclo

Execução de Instruções: execução lw/sw



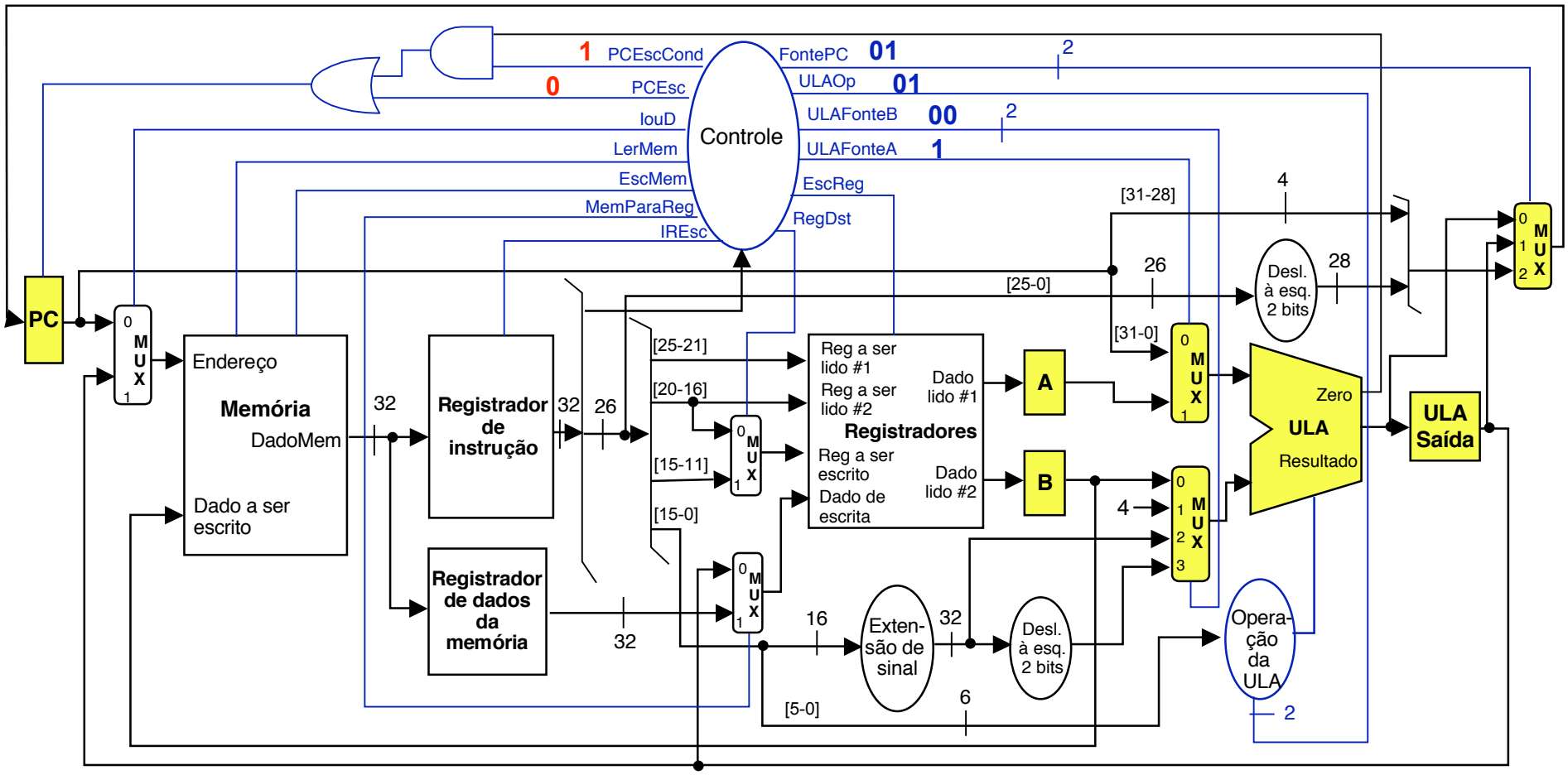
2. Organizações do MIPS: multiciclo

Execução de Instruções: execução tipo R



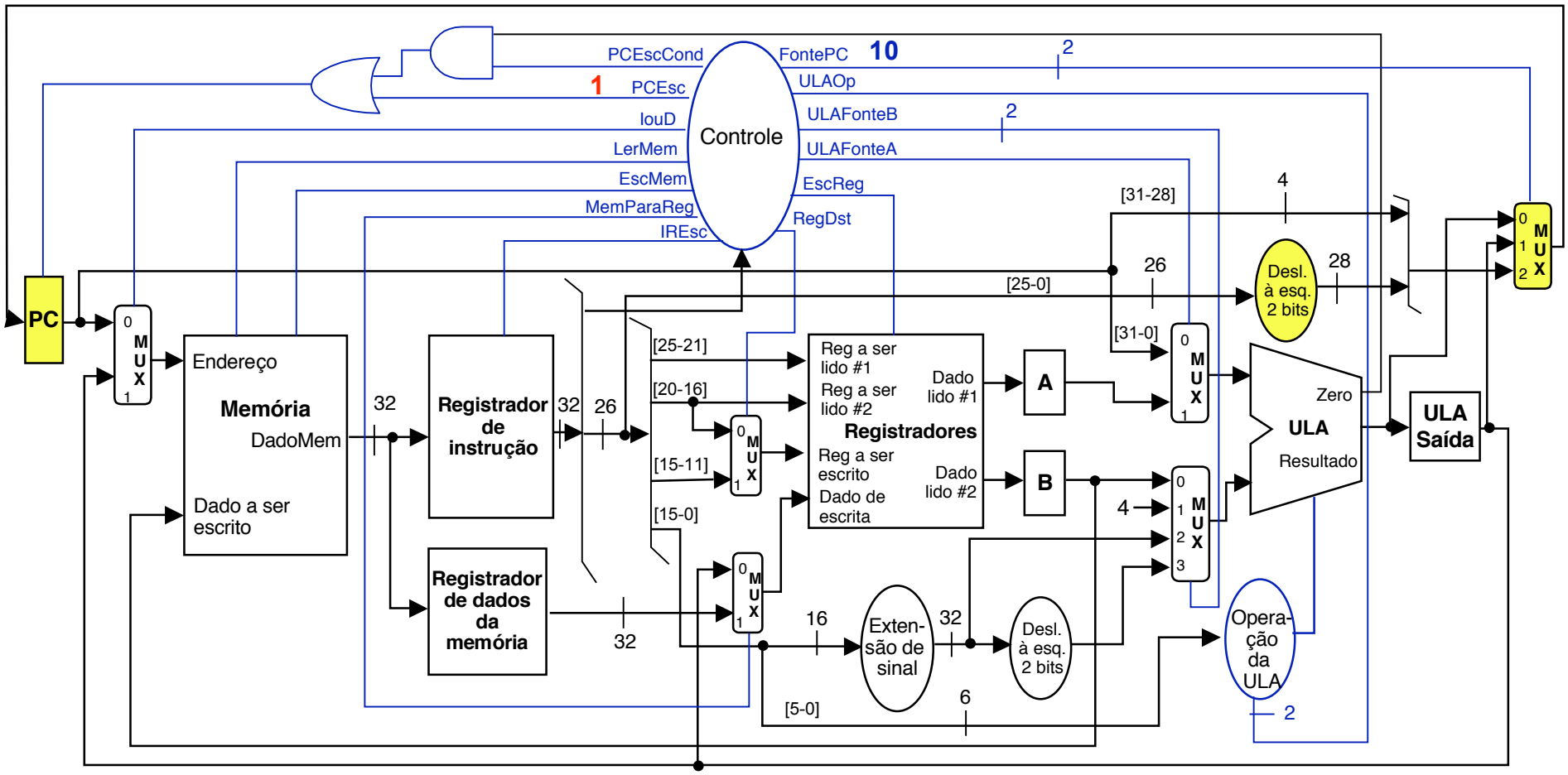
2. Organizações do MIPS: multiciclo

Execução de Instruções: execução beq



2. Organizações do MIPS: multiciclo

Execução de Instruções: execução jump



2. Organizações do MIPS: multiciclo

Execução de Instruções

4. Final da Execução de sw e Tipo R:

lw:

RDM = Mem[ULASaída];

sw:

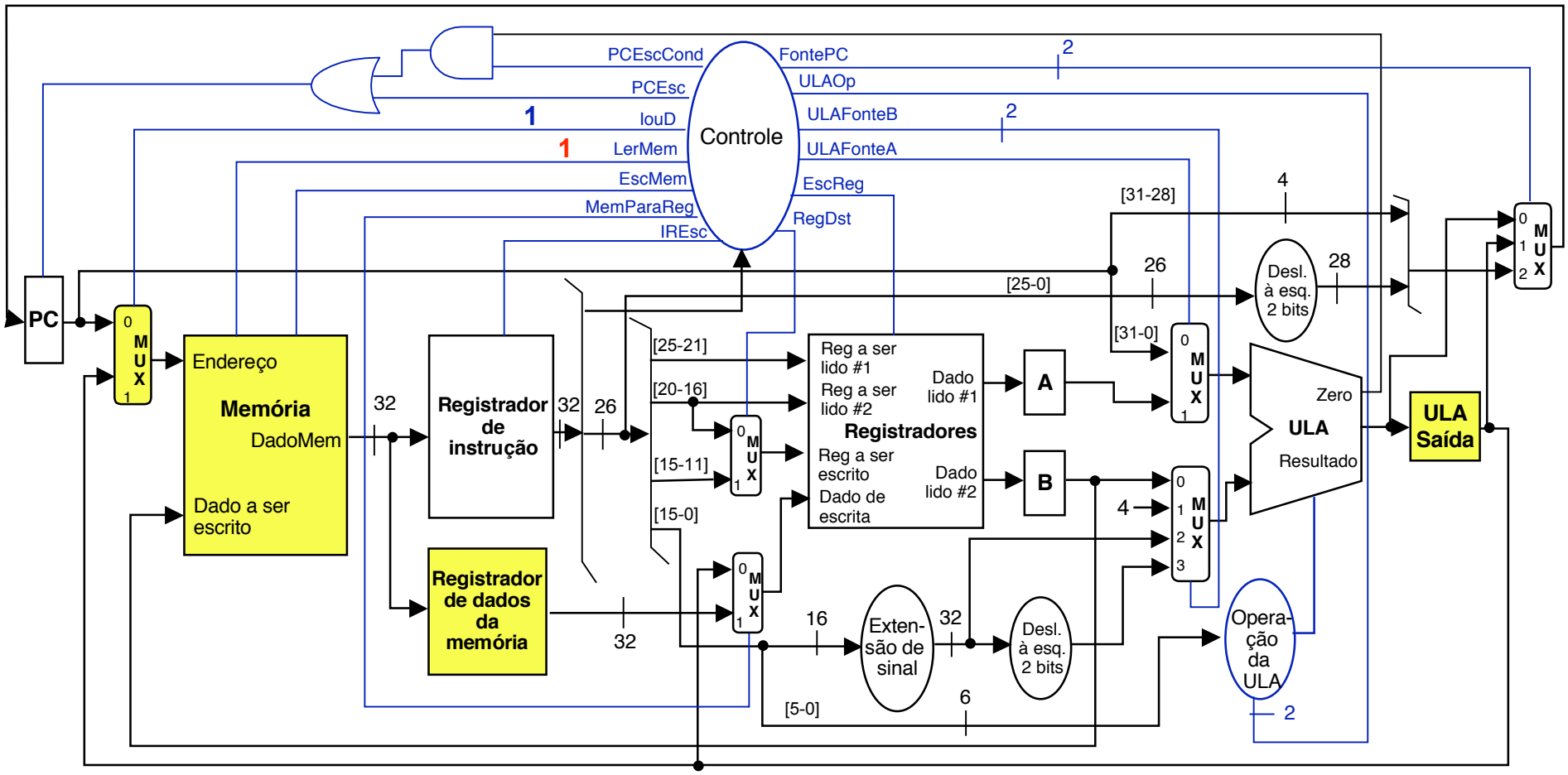
Mem[ULASaída] = B;

Tipo R

Reg[RI[15-11]] = ULASaída;

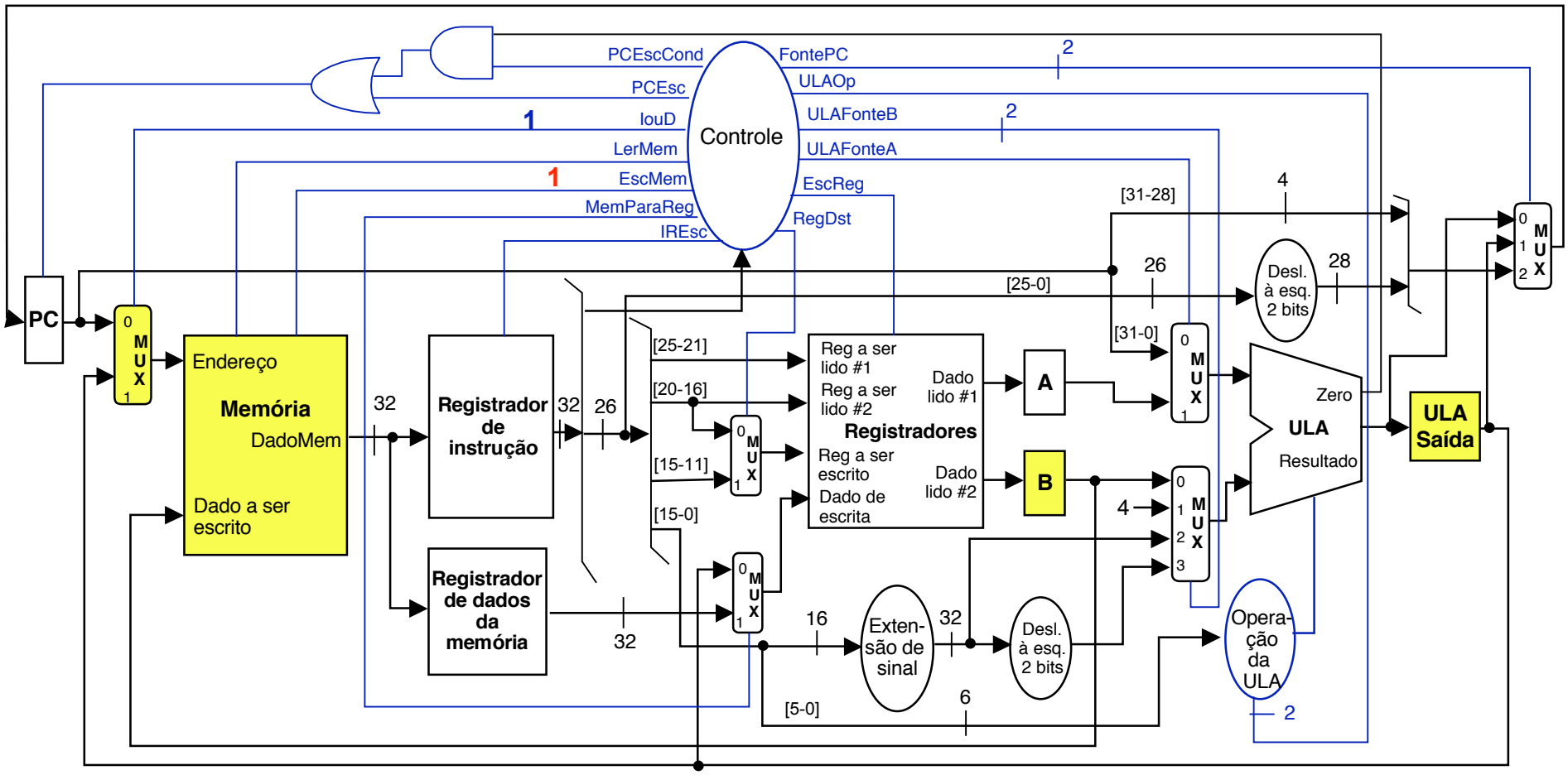
2. Organizações do MIPS: multiciclo

Execução de Instruções: lw lê dado da memória



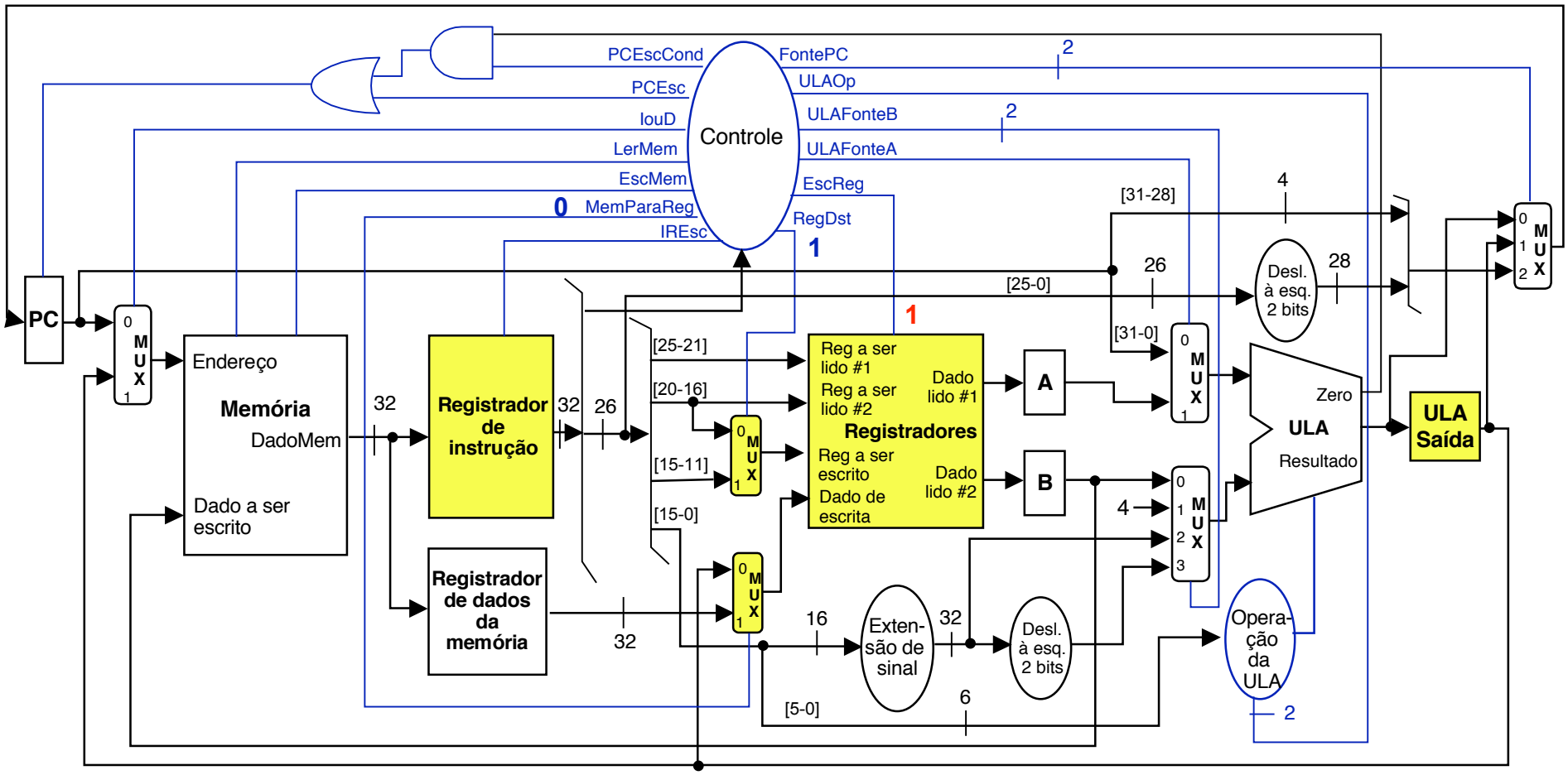
2. Organizações do MIPS: multiciclo

Execução de Instruções: conclui sw



2. Organizações do MIPS: multiciclo

Execução de Instruções: conclui tipo R



2. Organizações do MIPS: multiciclo

Execução de Instruções

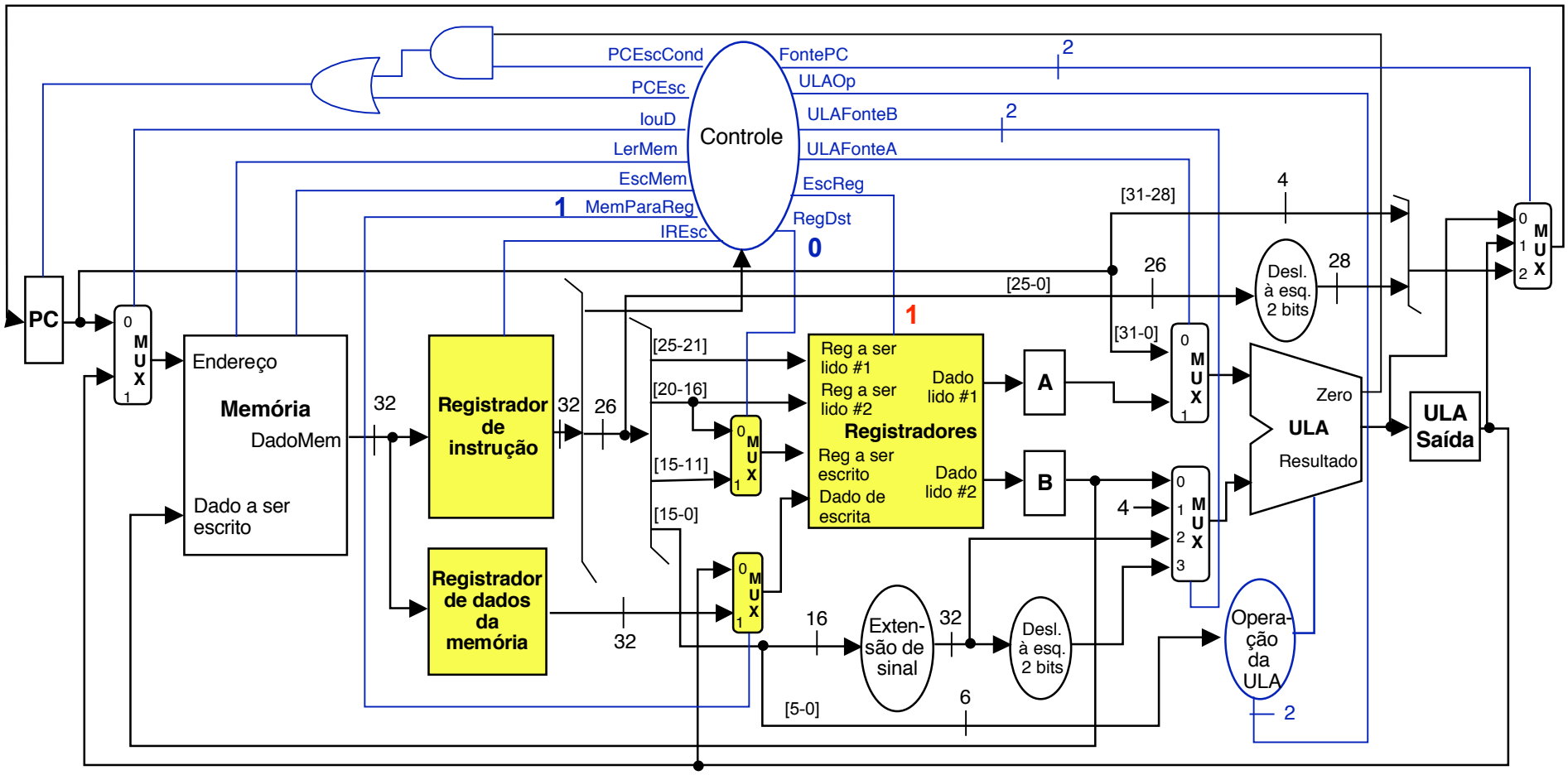
5. Final da Execução de lw:

lw:

Reg[RI[20-16]] = RDM;

2. Organizações do MIPS: multiciclo

Execução de Instruções: conclui lw



2. Organizações do MIPS: multiciclo

Resumo dos Passos Necessários para Cada Instrução

Nome do passo	Instrução tipo R	Instrução lw	Instrução sw	Instrução de desvio condicional	Instrução de desvio incondicional
Busca da instrução	RI = Mem[PC] PC = PC + 4				
Decodificação da instrução & leitura dos registradores Rs e Rt & cálculo do endereço de desvio (cond.)	A = Reg [RI[25-21]] B = Reg [RI[20-16]] ULASaída = PC + (extensão de sinal(RI[15-0]) <<2)				
Execução, cálculo do endereço de acesso à memória, término de uma instrução branch/jump	ULAOp = A op B	ULASaída = A + extensão de sinal (RI[15-0])		Se (A == B) então PC = ULASaída	PC = PC[31-28] || (RI[25-0] <<2)
Término de uma instrução store word ou de tipo R	Reg [RI[15-11]] = ULASaída	RDM = Mem [ULASaída]	Mem [ULASaída] = B		
Término de uma instrução load word		Reg[RI[20-16]] = RDM			
Número de passos	**4**	**5**	**4**	**3**	**3**