

Modelo matemático de um circuito ativo capaz de cancelar capacitâncias parasitas em circuitos semicondutores híbridos

Luiz Eduardo Schiller e Dr. Lester de Abreu Faria

Instituto Tecnológico de Aeronáutica (ITA), Pça. Mal. Eduardo Gomes, nº 50 – São José dos Campos – SP

Resumo— Fotodetectores Infravermelhos a Poços Quânticos (QWIPs, em inglês) têm como saída correntes muito baixas, da ordem de nA. Como geralmente são feitos por materiais das famílias III-V, que não são utilizados em aplicações CMOS regulares (Si, família IV), é necessário hibridização. Os pads de conexão introduzem altas capacitâncias, que podem drenar grande parte da corrente gerada pelo sensor. No presente trabalho, um circuito ativo anteriormente proposto pelos autores e capaz de compensar esse efeito foi modelado matematicamente a fim de referenciar futuras implementações e permitir otimizações de desempenho, área e potência. Tal abordagem faz parte de um projeto complexo e multidisciplinar que visa à integração de sensores e que se mostra de alta relevância para a FAB, na medida em que permeia áreas bélicas e de imageamento, permitindo ser aplicada em mísseis, câmeras infravermelhas e detectores de diferentes aplicações.

Palavras-Chave— Tecnologia de infravermelho, CMOS, ROIC

I. INTRODUÇÃO

Na maioria dos dispositivos nos quais a saída é uma corrente, o sinal deve ser processado por um outro circuito, que realiza sua leitura e condicionamento de acordo com os requisitos do sistema. Isto é especialmente verdadeiro para os Fotodetectores Infravermelhos a Poços Quânticos (QWIPs, em inglês). Nestes, o sinal de saída é de corrente muito baixa (da ordem de nA), o que demanda altas performances do circuito integrado de leitura e condicionamento de sinal (ROIC), a fim de tornar o dispositivo útil [1].

Geralmente, a interface entre QWIPs e ROICs é crítica porque os elementos sensíveis (*pixels* - famílias de semicondutores III-V) são geralmente feitos por materiais não usados em aplicações CMOS regulares (Si, família IV), requerendo hibridização. Para ter uma corrente confiável e obter uma resposta linear, os efeitos dos *pads* de ligação entre esses dois materiais semicondutores devem ser levados em consideração ao projetar o ROIC.

Pads introduzem Capacitâncias parasitas (da ordem de 1.3pF, para *pads* analógicos) que podem ser muitas ordens de magnitude maiores do que as capacitâncias do circuito de condicionamento (ordem de décimos de pF), resultando em distorção do sinal imediatamente antes de sua leitura.

L. E. Schiller, luiz.schiller@embraer.com.br, L. A. Faria, lester@ita.br, Tel +55-12-3333333, ramal 273, Fax +55-12-3333333. Este trabalho foi financiado pela Fundação Casimiro Montenegro Filho em parceria com a Embraer, através do Programa de Especialização em Engenharia XXIV.

Muitos esforços têm sido feitos para minimizar esta capacidade parasita e para criar uma capacidade nula para o *pad* em diferentes aplicações, dentre as quais podem-se citar lasers e dispositivos ópticos [2], cartões de transceptor de alta frequência [3], placa de circuito impresso multilayer de alta frequência [4], e testes de chip [5]. Na maioria dos casos é necessário implementar modificações de processo para a estrutura PAD, causando alterações na configuração de camadas e seus contatos.

Apesar de as técnicas serem sofisticadas e, em alguns casos, muito complexas, ainda há uma capacidade residual baixa parasita que poderia ser intolerável no caso de implementações como o QWIP-ROIC.

Uma opção de circuito [6] capaz de reduzir drasticamente os efeitos da capacidade parasita introduzida pela ligação de hibridização *pads* foi anteriormente proposta, podendo este circuito ser implementado não somente em integração de semicondutores por meio de *pads*, mas ainda em qualquer circuito onde as correntes sejam baixas e as capacitâncias sejam capazes de deteriorar a qualidade da resposta do circuito.

Apesar de seu potencial, o circuito foi apresentado de maneira qualitativa a partir de um exemplo funcional. Dessa forma, o presente trabalho visa a desenvolver um modelamento matemático do circuito em pauta, o qual permita a sua otimização em termos de desempenho, área, e potência; e com isso uma implementação prática mais eficiente, fazendo parte de um projeto complexo e multidisciplinar que visa à integração de sensores e que se mostra de alta relevância para a FAB, na medida em que permeia áreas bélicas e de imageamento, permitindo ser aplicada em mísseis, câmeras infravermelhas e detectores de diferentes aplicações.

A. Circuito de interesse

A entrada do circuito de interesse consiste em uma fonte de corrente que pode ser dividida entre a corrente de escuro I_d , constante e gerada independentemente de estímulo do sensor, que deve ser cancelada; e a corrente útil I_{net} , produto dos estímulos, que deve ser aproveitada ao máximo. Na transmissão da corrente para o ROIC, a capacidade do *pad*, C_{pad} , liga o nó de entrada ao terra, conforme a Fig. 1.

O ROIC pode ser abstruído como um integrador, desde que a tensão de integração não ultrapasse o limite de operação linear. Este modelamento visa a uma integração do sinal, convertendo a fotocorrente em uma tensão de saída. No presente trabalho, o

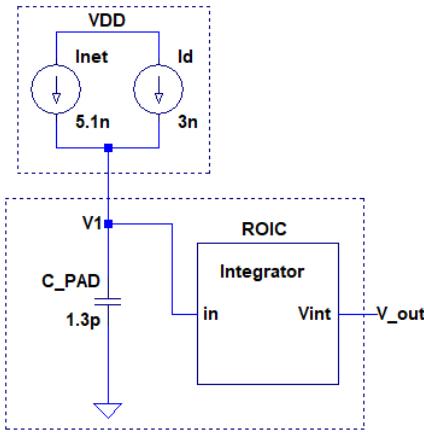


Fig. 1 - Modelo adotado do circuito problema, sem a inclusão do cancelador de capacitância

ROIC será tratado como uma caixa preta, sendo desnecessário, nesse entendimento, avaliar a dinâmica de funcionamento do mesmo.

O *pad* é uma fonte de perturbação no sistema, drenando parte da corrente de carregamento e diminuindo a excursão da tensão de saída, como se pode observar comparando as Figuras 2 e 3; fato este que distorce o sinal de saída, fazendo com que o mesmo perca a linearidade com os estímulos de entrada.

B. Circuito de cancelamento de capacitância

O circuito da Figura 4 dispõe os elementos do cancelador de capacitância. Sua principal função é manter a tensão v_1 constante para uma dada excursão da corrente útil I_{net} . Uma vez identificada sua aplicação, é necessário compreendê-lo a fundo para identificar suas limitações e poder implementá-lo da maneira mais eficiente possível. Por isso, será detalhado o equacionamento desse sistema na Seção II.

O circuito foi modelado utilizando a ferramenta gratuita LTSPICE [7] com vista à geração de efiguras e verificação dos cálculos.

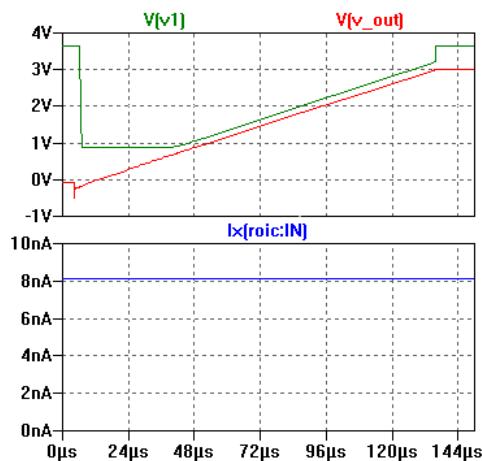


Fig. 2 - Simulação do circuito ideal, sem a presença da capacitância C_{pad}

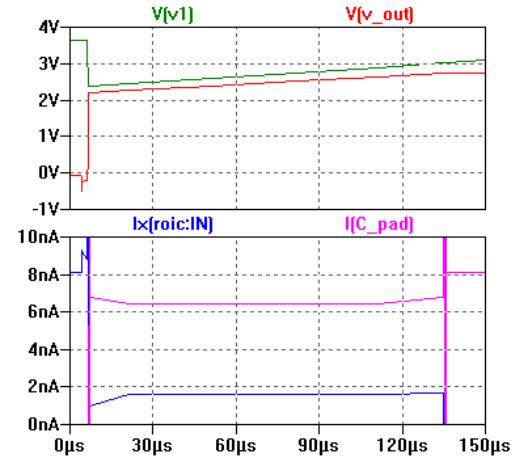


Fig. 3 - Simulação do circuito considerando a capacitância C_{pad}

II. EQUACIONAMENTO

Considera-se que os tempos de propagação dos transistores seja insignificante no presente contexto. Definam-se as correntes $i_1 = I_{net} + I_d$, entrada do circuito no ponto v_1 ; i_x, i_y, i_n , e i_3 as correntes que passam pelos transistores M_x, M_y, M_n , e M_0 , respectivamente; $i_4 = i_x + i_y$, $i_2 = i_3 + i_4$ e finalmente a corrente i_5 , que carrega o capacitor C_{pad} , resultante de $i_1 - i_2$.

O transistor M_d atua em saturação como fonte de corrente, com tensão de gate V_d selecionada para drenar I_d , a corrente de escuro do sensor utilizado. M_0 , sujeito à tensão V_0 no gate, pode se encontrar em modo de transcondutância ou saturação.

A. M_0 em transcondutância

Neste modo de operação, ocorre uma dinâmica temporal em que a tensão v_1 determina a tensão v_2 , que por sua vez determina a tensão v_3 , e finalmente é possível calcular v_1 , fechando o ciclo de uma equação diferencial conforme resumido em (1).

$$\begin{cases} I_d, v_1(t) \rightarrow v_2(v_1) \\ v_1(t), v_2(v_1) \rightarrow v_3(v_1, v_2) = v_3(v_1) \\ I_{net}, v_1(t), v_3(v_1) \rightarrow \dot{v}_1(t) \\ \dot{v}_1(t) = f(v_1(t)) \end{cases} \quad (1)$$

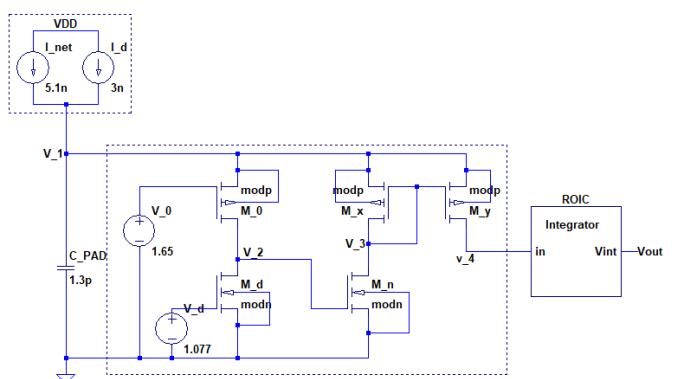


Fig. 4 - Circuito ativo de realimentação de corrente para anular capacitância parásita

No primeiro caso, como $i_3 = I_d$, tem-se (2). Presumindo-se V_0 , V_{TP} , I_d , e β_0 pré-fixados, infere-se v_2 como função de v_1 (6), e sua derivada (7).

$$I_d = \beta_0 \left[(V_0 - v_1 - V_{TP})(v_2 - v_1) - \frac{(v_2 - v_1)^2}{2} \right] \quad (2)$$

$$b_2 = -(V_0 - V_{TP}) \quad (3)$$

$$\frac{v_2^2}{2} + b_2 v_2 + \left[(-b_2 - v_1/2)v_1 + \frac{I_d}{\beta_0} \right] = 0 \quad (4)$$

$$\Delta_2 = b_2^2 + 2 \left[(b_2 + v_1/2)v_1 - \frac{I_d}{\beta_0} \right] \quad (5)$$

$$v_2 = -b_2 - \sqrt{\Delta_2} \quad (6)$$

$$\frac{dv_2}{dv_1} = -\frac{b_2 + v_1}{\sqrt{\Delta_2}} \quad (7)$$

Os transistores M_n , M_x , e M_y são responsáveis por drenar a corrente i_4 , que pode ser dividida em i_x e i_y . O transistor M_n recebe a tensão v_2 no gate como entrada, o que define a tensão v_3 de modo que $i_x = i_n$. M_x necessariamente está saturado, M_n pode estar em corte, transcondutância ou em saturação.

1) M_0 em transcondutância e M_n em corte: Se v_2 alcançar um ponto suficientemente baixo, o transistor M_n pode ser cortado, anulando a corrente i_4 . Para esta condição se manter, é necessário que I_{net} seja nula.

$$v_2 < V_d - V_{TN} \rightarrow I_{net} = 0 \quad (8)$$

2) M_0 e M_n em transcondutância: No primeiro caso, tem-se (10), de onde se obtém v_3 em função de v_1 (16).

$$i_x = i_n \quad (9)$$

$$\frac{\beta_x(v_3 - v_1 - V_{TP})^2}{2} = \beta_n \left[(v_2 - V_{TN})v_3 - \frac{v_3^2}{2} \right] \quad (10)$$

$$a_3 = \frac{\beta_x - \beta_n}{2} \quad (11)$$

$$b_3(v_1, v_2) = -[\beta_x(v_1 + V_{TP}) + \beta_n(v_2 - V_{TN})] \quad (12)$$

$$c_3(v_1) = \frac{\beta_x(v_1 + V_{TP})^2}{2} \quad (13)$$

$$a_3 v_3^2 + b_3(v_1, v_2)v_3 + c_3(v_1) = 0 \quad (14)$$

$$\Delta_3 = b_3^2(v_1, v_2) - 4a_3 c_3(v_1) \quad (15)$$

$$v_3 = \frac{-b_3(v_1, v_2) - \sqrt{\Delta_3}}{2a_3} \quad (16)$$

E também a sua derivada em relação a v_1 (19) e o valor de i_4 (20).

$$\frac{db_3}{dv_1} = -\left(\beta_x + \beta_n \frac{dv_2}{dv_1} \right) \quad (17)$$

$$\frac{dc_3}{dv_1} = \beta_x(v_1 + V_{TP}) \quad (18)$$

$$\frac{dv_3}{dv_1} = \frac{1}{2a_3} \left(-\frac{db_3}{dv_1} - \frac{b_3 \frac{db_3}{dv_1} - 2a_3 \frac{dc_3}{dv_1}}{\sqrt{\Delta_3}} \right) \quad (19)$$

$$i_4 = \frac{\beta_n(\beta_x + \beta_y)}{\beta_x} \left[(v_2 - V_{TN})v_3 - \frac{v_3^2}{2} \right] \quad (20)$$

3) M_0 em transcondutância e M_n em saturação: Caso M_n esteja em saturação, em vez de (16), (19), e (20), tem-se (23), (24), e (26).

$$i_n = i_x \quad (21)$$

$$\frac{\beta_n}{2}(v_2 - V_{TN})^2 = \frac{\beta_x}{2}(v_3 - v_1 - V_{TP})^2 \quad (22)$$

$$v_3 = v_1 + V_{TP} - \sqrt{\frac{\beta_n}{\beta_x}(v_2 - V_{TN})} \quad (23)$$

$$\frac{dv_3}{dv_1} = 1 - \sqrt{\frac{\beta_n}{\beta_x} \frac{dv_2}{dv_1}} \quad (24)$$

$$\frac{\beta_n}{2}(v_2 - V_{TN})^2 = \frac{\beta_x}{\beta_x + \beta_y} i_4 \quad (25)$$

$$i_4 = \frac{\beta_n(\beta_x + \beta_y)}{2\beta_x} (v_2 - V_{TN})^2 \quad (26)$$

4) Dinâmica de v_1 : Presumindo-se que ambos os transistores do espelho de corrente formado por M_x e M_y estejam em saturação, tem-se (27). Disso, segue um valor determinado para i_4 conforme (29), e (20) ou (26).

$$\frac{i_x}{\beta_x} = \frac{i_y}{\beta_y} \quad (27)$$

$$i_4 = i_x + i_y \quad (28)$$

$$i_4 = \frac{(\beta_x + \beta_y)(v_3 - v_1 - V_{TP})^2}{2} \quad (29)$$

$$\frac{di_4}{dv_1} = (\beta_x + \beta_y)(v_3 - v_1 - V_{TP}) \left(\frac{dv_3}{dv_1} - 1 \right) \quad (30)$$

Como $i_3 = I_d$, tem-se i_2 . Finalmente, subtraindo-se i_2 de i_1 , resta i_5 , a corrente que carrega o capacitor C_{pad} . Em outras palavras, tem-se a derivada de v_1 no tempo, conforme (31).

$$C_{pad} \dot{v}_1 = I_{net} - i_4 \quad (31)$$

5) Modelo linear do circuito de cancelamento de capacitors: Para linearizar o sistema, é necessário definir o ponto de operação. Partindo de uma corrente I_{net} constante, e de (31), tem-se (34), definindo um ponto de derivada nula, uma vez que v_3 é função de v_1 .

$$\dot{v}_1 = 0 \iff i_4 = I_{net} \quad (32)$$

$$\frac{(\beta_x + \beta_y)(v_3 - v_1 - V_{TP})^2}{2} = I_{net} \quad (33)$$

$$v_3 - v_1 - V_{TP} = -\sqrt{\frac{2I_{net}}{\beta_x + \beta_y}} \quad (34)$$

Definam-se $x_0 \mid v_1 = x_0 \rightarrow \dot{v}_1 = 0$; e $x = v_1 - x_0$. De acordo com (29), i_4 é função de v_1 . Assim, pode-se definir $y_0 = I_{net}$ e $y = i_4 - y_0$. A relação entre v_1 e i_4 pode ser reescrita em (35) e (36):

$$y = kx \quad (35)$$

$$\dot{x} + \frac{k}{C_{pad}} x = 0 \quad (36)$$

$$x(t) = x(0)e^{-tk/C_{pad}} \quad (37)$$

onde (37) é a solução da equação diferencial ordinária de primeira ordem descrita em (36). Ela indica que quanto maior o valor da constante k , mais rápida é a regulação do circuito, e em maior frequência ele pode operar. Uma análise de otimização do circuito se dá na Seção III.

B. M_0 em saturação

Neste modo de operação, como será demonstrado, v_1 depende apenas de I_d , v_3 se ajustará para que i_4 seja igual a I_{net} , v_2 também se ajusta para que $i_n = i_x$ e o circuito se encontre em equilíbrio. Ou seja, todas as variáveis são constantes no tempo para um conjunto de entradas que recaia neste modo de operação. Isso se resume em (38).

$$\begin{cases} I_d \rightarrow v_1 \\ I_{net}, v_1 \rightarrow v_3 \\ I_{net}, v_3 \rightarrow v_2 \end{cases} \quad (38)$$

Se M_0 se encontrar em saturação, tem-se (39), levando a v_1 constante em (40). Note que, nesta situação, v_2 possui um intervalo no qual pode variar livremente sem interferir com o escoamento da corrente de escuro.

$$I_d = \frac{\beta_0(V_0 - v_1 - V_{TP})}{2} \quad (39)$$

$$v_1 = \sqrt{\frac{2I_d}{\beta_0}} + V_0 - V_{TP} \quad (40)$$

1) M_0 em saturação e M_n em corte:

Conforme (8):

$$v_2 < V_d - V_{TN} \leftrightarrow i_n = 0 \quad (41)$$

2) M_0 em saturação e M_n em transcondutância: Presume-se que v_2 está ajustado para que $i_4 = I_{net}$ e tem-se (45). De (40), pode-se inferir (46).

$$i_x = \frac{\beta_x}{2}(v_3 - v_1 - V_{TP})^2 \quad (42)$$

$$i_x = \frac{\beta_x}{\beta_x + \beta_y} i_4 \quad (43)$$

$$i_4 = I_{net} \quad (44)$$

$$v_3 = v_1 + V_{TP} - \sqrt{\frac{2I_{net}}{\beta_x + \beta_y}} \quad (45)$$

$$v_3 = \sqrt{\frac{2I_d}{\beta_0}} + V_0 - \sqrt{\frac{2I_{net}}{\beta_x + \beta_y}} \quad (46)$$

Daí, pode-se calcular o valor de v_2 necessário para regular M_n em (47).

$$v_2 = \frac{\beta_x I_{net}}{\beta_n v_3 (\beta_x + \beta_y)} + V_{TN} + \frac{v_3}{2} \quad (47)$$

3) M_0 e M_n em saturação: Caso M_n também esteja em saturação, em vez de (47), tem-se (49).

$$\frac{\beta_n}{2}(v_2 - V_{TN})^2 = \frac{\beta_x}{\beta_x + \beta_y} I_{net} \quad (48)$$

$$v_2 = \sqrt{\frac{2\beta_x I_{net}}{\beta_n(\beta_x + \beta_y)}} + V_{TN} \quad (49)$$

C. Limites da operação do circuito

Tendo estabelecido as condições de operação, cabe levantar os pontos de transição entre os modos, bem como a sequencia de inicialização do circuito. A começar de uma condição inicial em que o mesmo encontra-se desligado, com $v_1(0) = 0$.

1) Inicialização do circuito: Nesse caso, v_2 iria a zero para cortar M_d , a fonte de corrente responsável por drenar a corrente de escuro I_d , cortando também M_n , resultando em toda a corrente i_1 escoando para o capacitor, que se carrega de acordo com (51) até v_1 se tornar alto o bastante para permitir a passagem de uma corrente i_3 não-nula.

$$\begin{cases} v_1 \leq V_0 - V_{TP} \rightarrow i_3 = 0 \\ i_3 = 0 \rightarrow v_2 = 0 \\ v_2 = 0 \rightarrow i_n = 0 \\ i_n = 0 \leftrightarrow i_x = 0 \\ i_x = 0 \rightarrow i_y = 0 \\ i_x = i_y = 0 \leftrightarrow i_4 = 0 \\ i_3 = i_4 = 0 \leftrightarrow i_5 = i_1 \end{cases} \quad (50)$$

$$i_5 = i_1 \rightarrow C_{pad}\dot{v}_1 = i_1 \quad (51)$$

Após essa fase, v_1 ainda está muito baixo, o que permite, mesmo em saturação, a passagem de uma corrente menor que I_d , de modo que M_d não está em saturação, e para isso nos encontramos com um v_2 baixo. Na medida em que v_1 aumenta, v_2 também aumenta para permitir mais corrente por M_d conforme (53) até que (52) não seja mais válida.

$$v_2 < V_d - V_{TN} = \sqrt{\frac{2I_d}{\beta_d}} \quad (52)$$

$$\frac{\beta_0(V_0 - v_1 - V_{TP})^2}{2} = \beta_d \left[(V_d - V_{TN})v_2 - \frac{v_2^2}{2} \right] \quad (53)$$

É necessário garantir que i_4 , a corrente que passa pelo outro ramo do circuito, não seja alta o suficiente para o circuito entrar em equilíbrio neste ponto, o que implicaria a corrente de escuro ser repassada ao ROIC. A única maneira de garantir isso para $I_{net} = 0$ é se M_n ainda estiver em corte no ponto mínimo de operação. Conforme (54), isso ocorre desde que se satisfaça (55).

$$\begin{cases} v_2 = V_d - V_{TN} \rightarrow i_3 = I_d \\ v_2 \leq V_{TN} \rightarrow i_n = 0 \end{cases} \quad (54)$$

$$V_d \leq 2V_{TN} \leftrightarrow \beta_d \geq \frac{2I_d}{V_{TN}^2} \quad (55)$$

Se isso for garantido, então independente do modo de operação, v_2 alcançará um valor acima do ponto mínimo para que $i_3 = I_d$; desde que v_1 não necessite estar acima da máxima tensão possível para o correto funcionamento das fontes de corrente de entrada.

2) *Fronteiras entre os modos de operação:* O ponto de fronteira entre os modos de operação de M_0 em corte, transcondutância e saturação podem ser determinados por (8) e (56).

$$v_2 = V_0 - V_{TP} \quad (56)$$

Partindo de M_0 em saturação, se I_{net} for suficientemente alta, a tensão v_3 necessária para M_x conduzir a corrente desejada diminui. Em contrapartida, v_2 precisará subir para aumentar a condutância de M_n , podendo então atingir o ponto limite para M_n passar de saturação para transcondutância, o que ocorre quando se satisfaz (57).

$$v_3 = v_2 - V_{TN} \quad (57)$$

Nesse processo, v_2 pode alcançar o nível máximo para que M_0 esteja em saturação. O valor limite de I_{net} para que isso ocorra pode ser conferido por meio de (47) ou (48), assumindo (56).

Assim, se $i_4 < I_{net}$, entra-se na região em que M_0 está em transcondutância, e a dinâmica muda de uma adaptação instantânea de v_2 ao valor necessário para escoar I_{net} para a equação diferencial descrita em (31).

3) *Entrada e saída do circuito:* Considera-se que a fonte de correntes I_{net} e I_d na entrada do circuito apenas funcionem corretamente se a tensão de entrada se mantiver abaixo de um v_{1MAX} , o qual será tratado como uma saturação simples no cálculo das dinâmicas, se for o caso.

Para que o espelho de corrente formado por M_x e M_y opere corretamente, é necessário que ambos estejam em saturação, o que se cumpre desde que seja garantido (59), limitando a tensão de entrada do ROIC.

$$v_4 - v_1 \leq v_3 - v_1 - V_{TP} \quad (58)$$

$$v_4 \leq v_3 - V_{TP} \quad (59)$$

Após a fase de integração, o ROIC fecha a entrada, impondo $i_4 = i_x$, uma vez que $i_y = 0$. O circuito deve ser projetado para que o capacitor não seja carregado, mesmo nessa circunstância, ou que o tempo de *reset* do ROIC seja suficiente para restabelecer a condição operacional.

III. OTIMIZAÇÃO

De posse das condições necessárias para o correto funcionamento do circuito, resta apenas avançar para a otimização do mesmo.

São recursos consumidos pelo circuito: a área do mesmo e a potência elétrica. A área S pode ser determinada, de forma simplificada, pela soma das dimensões dos transistores utilizados (60), se possível considerando terminais compartilhados.

$$S = \sum_i W_i (L_{d,i} + L_{g,i} + L_{s,i}) - \sum S_{shared} \quad (60)$$

A potência elétrica pode ser determinada por (61). Cabe ressaltar que a mesma equação se aplica ao sensor utilizado como entrada. Assim sendo, a potência consumida pelo circuito total

depende apenas da tensão de referência V_{DD} utilizada pelo sensor e das correntes I_d e I_{net} geradas, independentemente do circuito anulador de capacitância (63).

$$P = U_i \quad (61)$$

$$P = (V_{DD} - v_1)(I_d + I_{net}) + (v_1 - 0)I_d + (v_1 - 0)I_{net} \quad (62)$$

$$P = V_{DD}(I_d + I_{net}) \quad (63)$$

O produto do circuito é a corrente i_y , que vai para o ROIC. Quanto maior essa corrente, maior é a frequência com que este opera. Dito isso, um dos objetivos é maximizar a relação β_y/β_x do espelho de corrente. No entanto, se isso for levado ao extremo, o ramo de M_x não será capaz de conduzir a corrente I_{net} na sua totalidade, carregando o capacitor do *pad* durante a fase em que o ROIC não está recebendo corrente. Isso pode ser compensado pelo aumento do tempo de *reset* do ROIC, o que por sua vez reduziria o tempo disponível para leitura, que é o seu propósito final.

Outro fator relevante, o limite máximo de v_4 , foi especificado em (59). Isso indica que a tensão máxima de integração, a qual se deseja a maior possível, está limitada por v_3 . v_3 , por sua vez, depende de v_1 (45), pois seu valor deve ser tal que $i_4 = I_{net}$, em equilíbrio. Finalmente, o valor de v_1 depende de V_0 e β_0 , além das características de M_n , que podem requerer um v_2 proibitivamente alto, e está sujeito a limitações operacionais do sensor de entrada. Outro fator que pode elevar o valor de v_3 é o aumento das transcondutâncias de M_x e M_y .

Quanto a M_n , é desejável então que seja altamente condutivo, de modo a exigir mínima excursão por parte de v_2 . M_d necessita apenas satisfazer (55) e permitir uma corrente útil nula, estabelecendo assim o valor mínimo para v_2 .

Também é necessário que o valor máximo possível para I_{net} seja maior ou igual ao valor máximo que o sensor seja capaz de produzir. Isso é uma condição restritiva para o projeto deste sistema.

Dada a característica de instantaneidade da operação do circuito com M_0 em saturação, é desejável operar nesse modo. No entanto, pode ser possível miniaturizá-lo se necessário, aceitando, em contrapartida, a dinâmica de primeira ordem apresentada em (37). Nesse caso, é possível delimitar o menor k em (35) e (37) aceitável e otimizar para esse valor.

Apresentados os objetivos acima, tem-se o previsível conflito entre a área utilizada e o desempenho do circuito.

IV. CONCLUSÕES E TRABALHOS FUTUROS

No presente trabalho, foi feita uma análise minuciosa do circuito de cancelamento de capacitância apresentado. Com isso, foram identificadas as condições limitantes de sua operação, os meios de melhorar seu funcionamento, os parâmetros a serem ajustados, e os custos associados. A partir desse equacionamento, é possível então se desenvolver uma ferramenta computacional que permita otimizar cada um dos parâmetros de interesse, trabalho esse em desenvolvimento pelo grupo de pesquisa. Esse software proporcionará a exata dimensão do espaço de projeto disponível para o circuito, bem como os

circuitos mais eficientes para determinadas restrições de área e desempenho.

Cabe ressaltar que, apesar de poder ser otimizado, o circuito ainda está sujeito às limitações de fabricação e dos sistemas externos de entrada e saída. Assim, mesmo com a otimização, ainda não deve ser descartada a possibilidade de construção de outros circuitos, conceitualmente distintos. Tudo isso faz parte de um projeto complexo e multidisciplinar que visa à integração de sensores e que se mostra de alta relevância para a FAB, na medida em que permeia áreas bélicas e de imageamento, permitindo ser aplicada em mísseis, câmeras infravermelhas e detectores de diferentes aplicações.

REFERÊNCIAS

- [1] F. D. P. Alves; J. Amorim; M. Byloos; H. C. Liu; A. Bezinger et al. “Three-band quantum well infrared photodetector using interband and intersubband transitions”. *Journal of Applied Physics*, v. 103, n. 11, p. 114515, 2008. Disponível em: <<http://dx.doi.org/10.1063/1.2937919>>.
- [2] F. Peters; J. Geske. “Low-capacitance bond pads for high speed devices”. Google Patents, 2002. US Patent 6,465,811. Disponível em: <<https://www.google.ch/patents/US6465811>>. Acesso em: 27 jun. 2017.
- [3] H. Johnson; C. Cubitt. “Parasitic pads”. 2012. EDN Magazine. Disponível em: <<http://www.signalintegrity.com/Pubs/edn/parasiticpads.htm>>. Acesso em: 27 jun. 2017.
- [4] L. Burns; N. Mitchell; T. Bradshaw; C. Woo. “Reduced-capacitance component mounting pads and capacitance-reduction methods for high frequency multi-layer printed circuit boards”. Google Patents, 2000. US Patent 6,020,562. Disponível em: <<https://www.google.ch/patents/US6020562>>.
- [5] D. H. Boyle. “Low capacitance pad for semiconductor chip testing”. Google Patents, 1984. US Patent 4,439,727. Disponível em: <<https://www.google.ch/patents/US4439727>>.
- [6] L. A. Faria; C. A. F. Reis; F. D. P. Alves; N. A. S. Gomes. “Pad capacitance nulling circuit for qwip-roic hybridisation”. *Electronics Letters*, v. 48, n. 21, p. 1360–1361, 2012. ISSN 0013-5194.
- [7] “LINEAR Technology - Design Simulation and Device Models”. Disponível em: <<http://www.linear.com/designtools/software/>>. Acesso em: 27 jun. 2017.