

## Práctica Sistemas Digitales. Morris Mano.

### Sistemas binarios

### PROBLEMAS

**1-1** Enumere los números octales y hexadecimales del 16 al 32. Utilizando A y B como últimos dos dígitos, enumere los números del 10 al 26 en base 12.

**1-2** ¿Cuántos bytes hay exactamente en un sistema que contiene a) 32K bytes, b) 64M bytes, y c) 6.4G bytes?

**1-3** Dé el número binario más grande que se puede expresar con 12 bits. Dé su equivalente decimal y hexadecimal.

**1-4** Convierta a decimal los números que siguen en las bases indicadas:  $(4310)_5$  y  $(198)_{12}$ .

**1-5** Determine en cada caso la base de los números, de modo que las operaciones sean correctas:

a)  $14/2=5$ ;                      b)  $54/4=13$ , y c)  $24+17=40$ .

**1-6** La solución de la ecuación cuadrática  $x^2 - 11x + 22 = 0$  es  $x=3$  y  $x=6$ . ¿Qué base tienen los números?

**1-7** Exprese estos números en decimal:  $(10110.0101)_2$ ,  $(16.5)_{16}$  y  $(26.24)_8$ .

**1-8** Convierta estos números binarios a hexadecimal y decimal: a) 1.11010,                      b) 1110.10. Explique por qué la respuesta decimal a b) es 8 veces la de a).

**1-9** Convierta el número hexadecimal 68BE a binario y, de binario, conviértalo a octal.

**1-10** Convierta el número decimal 345 a binario de dos maneras: a) conviértalo directamente a binario; b) conviértalo primero a hexadecimal, y luego de hexadecimal a binario. ¿Qué método es más rápido?

**1-11** Resuelva los siguientes problemas de conversión:

a) Convierta el número decimal 34.4375 a binario.

b) Calcule el equivalente binario de  $1/3$  hasta ocho posiciones. Luego conviértalo de binario a decimal. ¿Qué tan cercano a  $1/3$  es el resultado?

c) Convierta el resultado binario de b) a hexadecimal. Luego convierta el resultado a decimal. ¿La respuesta es la misma?

**1-12** Sume y multiplique los números siguientes sin convertirlos a decimal.

a) Números binarios 1011 y 101.

b) Números hexadecimales 2E y 34.

**1-13** Realice esta división en binario:  $1011111 \div 101$ .

**1-14** Obtenga el complemento a nueve y a diez de los números decimales siguientes:

a) 98127634                      b) 72049900                      c) 10000000                      d) 00000000.

**1-15** a) Obtenga el complemento a 16 de AF3B.

b) Convierta AF3B a binario.

c) Obtenga el complemento a dos del resultado de b).

d) Convierta la respuesta de                      c) a hexadecimal y compárela con la respuesta de a).

**1-16** Obtenga los complementos a uno y a dos de estos números binarios:

a) 11101010    b) 01111110    c) 00000001    d) 10000000    (e) 00000000.

**1-17** Efectúe la resta de los siguientes números sin signo utilizando el complemento a 10 del sustraendo. Si el resultado es negativo, obtenga su complemento a 10 y antepóngale un signo menos.

Compruebe sus respuestas.

a) 7188-3049                      b) 150-2100                      c) 2997-7992                      d) 1321-375

**1-18** Efectúe la resta de los siguientes números binarios sin signo utilizando el complemento a dos del sustraendo. Si el resultado es negativo, obtenga su complemento a dos y antepóngale un signo menos.

- a) 11011-11001                      b) 110100-10101                      c) 1011-110000                      d) 101010-101011

**1-19** Los números decimales que siguen se presentan en forma de magnitud con signo: +9826 y +801.

Conviértalos a la forma de complemento a 10 con signo y realice las operaciones siguientes (tome

nota de que la suma es +10627 y requiere seis dígitos):

- a) (+9826) + (+801)    b) (+9826) + (−801)  
c) (−9826) + (+801)    d) (−9826) + (−801)

**1-20** Convierta los números decimales +61 y +27 a binario empleando la representación de complemento

a dos con signo y suficientes dígitos para dar cabida a los números. Luego efectúe el equivalente

binario de ( +27)+( −61), ( −27)+( +61) y (−27)+(−61). Convierta las respuestas a decimal y verifique que sean correctas.

**1-21** Convierta el número decimal 9126 a los códigos BCD y ASCII. En el caso de ASCII, añada un bit de paridad impar a la izquierda.

**1-22** Represente los números decimales sin signo 965 y 672 en BCD y luego muestre los pasos necesarios para obtener su suma.

**1-23** Formule un código binario ponderado para los dígitos decimales empleando los pesos 6, 3, 1, 1.

**1-24** Represente el número decimal 6027 en a) BCD, b) código exceso-3, y c) código 2421.

**1-25** Obtenga el complemento a nueve de 6027 y expréselo en código 2421. Demuestre que el resultado es el complemento a uno de la respuesta al inciso c) del problema 1-24. Esto demuestra que el código 2421 se autocomplementa.

**1-26** Asigne un código binario ordenado a los 52 naipes de la baraja. Utilice el número mínimo de bits.

**1-27** Escriba la expresión “G. Boole” en ASCII empleando un código de ocho bits. Incluya el punto y el espacio. Trate el bit de extrema izquierda de cada carácter como bit de paridad. Cada código de 8 bits deberá tener paridad par. (George Boole fue un matemático del siglo XIX. El álgebra Booleana, que se estudiará en el capítulo siguiente, lleva su nombre.)

**1-28** Decodifique el código ASCII siguiente: 1001010 1100001 1101110 1100101 0100000 1000100 1101111 1100101.

**1-29** La que sigue es una cadena de caracteres ASCII cuyos patrones de bits se han convertido a hexadecimal para que no ocupen tanto espacio: 4A EF 68 6E 20 C4 EF E5. De los ocho bits de cada par de dígitos, el de la extrema izquierda es un bit de paridad. Los bits restantes son el código ASCII.

- a) Conviértalos a bits y decodifique el ASCII.  
b) Determine la paridad empleada: impar o par.

**1-30** ¿Cuántos caracteres imprimibles hay en ASCII? ¿Cuántos de ellos son caracteres especiales (ni letras ni números)?

**1-31** ¿Qué bit es preciso complementar para cambiar una letra ASCII de mayúscula a minúscula, y viceversa?

**1-32** El estado de un registro de 12 bits es 100010010111. ¿Qué contiene si representa

a) tres dígitos decimales en BCD? b) tres dígitos decimales en código exceso-3?

c) tres dígitos decimales en código 84-2-1? d) un número binario?

**1-33** Haga una lista con el código ASCII de los 10 dígitos decimales, con un bit de paridad par en la posición de extrema izquierda.

**1-34** Suponga una compuerta AND de tres entradas cuya salida es F y una compuerta OR de tres entradas cuya salida es G. Las entradas son A, B y C. Muestre las señales (en un diagrama de temporización similar al de la figura 1-5) de las salidas F y G en función de las tres entradas ABC.

Utilice las ocho posibles combinaciones de ABC.

## Álgebra booleana y compuertas lógicas

**2-1** Demuestre con tablas de verdad la validez de las identidades siguientes:

a) Teorema de DeMorgan para tres variables:  $(x + y + z)' = x'y'z'$  y  $(xyz)' = x' + y' + z'$

b) La ley distributiva:  $x + yz = (x + y)(x + z)$

**2-2** Simplifique las expresiones booleanas siguientes de modo que usen el mínimo de literales:

a)  $xy + xy'$

b)  $(x + y)(x + y')$

c)  $xyz + x'y + xyz'$

d)  $(A + B)'(A' + B)'$

**2-3** Simplifique las expresiones booleanas siguientes de modo que usen el mínimo de literales:

a)  $ABC + A'B + ABC'$

b)  $x'yz + xz$

c)  $(x + y)'(x' + y')$

d)  $xy + x(wz + wz')$

e)  $(BC' + A'D)(AB' + CD')$

**2-4** Reduzca las siguientes expresiones booleanas al número de literales que se indica:

a)  $A'C' + ABC + AC'$

a tres literales

b)  $(x'y' + z)' + z + xy + wz$

a tres literales

c)  $A'B(D' + C'D) + B(A + A'CD)$

a una literal

d)  $(A' + C)(A' + C')(A + B + C'D)$

a cuatro literales



**2-15** Dada la función booleana

$$F = xy'z + x'y'z + w'xy + wx'y + wxy$$

- a) Prepare la tabla de verdad de la función.
- b) Dibuje el diagrama de lógica empleando la expresión booleana original.
- c) Simplifique la función al mínimo de literales empleando álgebra booleana.
- d) Prepare la tabla de verdad de la función a partir de la expresión simplificada y demuestre que es igual a la de la parte a).
- e) Dibuje el diagrama de lógica de la expresión simplificada y compare el número total de compuertas con el diagrama de la parte b).

**2-16** Expresé la siguiente función como suma de minitérminos y como producto de maxitérminos.

$$F(A, B, C, D) = B'D + A'D + BD$$

**2-17** Expresé el complemento de las siguientes funciones como suma de minitérminos:

- a)  $F(A, B, C, D) = \sum(0, 2, 6, 11, 13, 14)$
- b)  $F(x, y, z) = \prod(0, 3, 6, 7)$

**2-18** Convierta lo siguiente a la otra forma canónica:

- a)  $F(x, y, z) = \sum(1, 3, 7)$
- b)  $F(A, B, C, D) = \prod(0, 1, 2, 3, 4, 6, 12)$

**2-19** Convierta las expresiones siguientes a suma de productos y producto de sumas:

- a)  $(AB + C)(B + C'D)$
- b)  $x' + x(x + y')(y + z')$

**2-20** Dibuje el diagrama de lógica correspondiente a las siguientes expresiones booleanas sin simplificarlas:

- a)  $BC' + AB + ACD$
- b)  $(A + B)(C + D)(A' + B + D)$
- c)  $(AB + A'B')(CD' + C'D)$

**2-21** Demuestre que el dual del OR exclusivo es igual a su complemento.

**2-22** Sustituyendo la expresión booleana equivalente de las operaciones binarias definidas en la tabla 2-8, demuestre lo siguiente:

- a) La operación de inhibición no es conmutativa ni asociativa.
- b) La operación de OR exclusivo es conmutativa y asociativa.

**2-23** Demuestre que una compuerta NAND de lógica positiva es una compuerta NOR de lógica negativa, y viceversa.

## REFERENCIAS

1. BOOLE, G. 1954. *An Investigation of the Laws of Thought*. Nueva York: Dover.
2. SHANNON, C. E. A symbolic analysis of relay and switching circuits. *Trans. AIEE* 57 (1938): 713-723.
3. HUNTINGTON, E. V. Sets of independent postulates for the algebra of logic. *Trans. Am. Math. Soc.*, 5 (1904): 288-309.
4. MANO, M. M. y C. R. KIME. 2000. *Logic and Computer Design Fundamentals*, 2a. ed. Upper Saddle River, NJ: Prentice-Hall.

**5. DIETMEYER, D. L. 1988. *Logic Design of Digital Systems*, 3a. ed. Boston: Allyn Bacon.**

**Minimización en el nivel de compuertas**

- 3-1** Simplifique las siguientes funciones booleanas empleando mapas de tres variables:
- a)  $F(x, y, z) = \sum (0, 2, 6, 7)$       b)  $F(A, B, C) = \sum (0, 2, 3, 4, 6)$   
c)  $F(a, b, c) = \sum (0, 1, 2, 3, 7)$       d)  $F(x, y, z) = \sum S(3, 5, 6, 7)$
- 3-2** Simplifique las siguientes funciones booleanas empleando mapas de tres variables:
- a)  $F(x, y, z) = \sum (0, 1, 5, 7)$       b)  $F(x, y, z) = \sum (1, 2, 3, 6, 7)$
- 3-3** Simplifique las siguientes expresiones booleanas empleando mapas de tres variables:
- a)  $xy + x'y'z' + x'yz'$       b)  $x'y' + yz + x'yz'$   
c)  $A'B + BC' + B'C'$
- 3-4** Simplifique las siguientes funciones booleanas empleando mapas  $x$ :
- a)  $F(x, y, z) = \sum (2, 3, 6, 7)$       b)  $F(A, B, C, D) = \sum (4, 6, 7, 15)$   
c)  $F(A, B, C, D) = \sum (3, 7, 11, 13, 14, 15)$       d)  $F(w, x, y, z) = \sum (2, 3, 12, 13, 14, 15)$
- 3-5** Simplifique las siguientes funciones booleanas empleando mapas de cuatro variables:
- a)  $F(w, x, y, z) = \sum (1, 4, 5, 6, 12, 14, 15)$   
b)  $F(A, B, C, D) = \sum (0, 1, 2, 4, 5, 7, 11, 15)$   
c)  $F(w, x, y, z) = \sum (2, 3, 10, 11, 12, 13, 14, 15)$   
d)  $F(A, B, C, D) = \sum (0, 2, 4, 5, 6, 7, 8, 10, 13, 15)$
- 3-6** Simplifique las siguientes expresiones booleanas empleando mapas de cuatro variables:
- a)  $A'B'C'D' + AC'D' + B'CD' + A'BCD + BC'D$   
b)  $x'z + w'xy' + w(x'y + xy')$
- 3-7** Simplifique las siguientes expresiones booleanas empleando mapas de cuatro variables:
- a)  $w'z + xz + x'y + wx'z$       b)  $B'D + A'BC' + AB'C + ABC'$   
c)  $AB'C + B'C'D' + BCD + ACD' + A'B'C + A'BC'D$   
d)  $wxy + yz + xy'z + x'y$
- 3-8** Encuentre los minitérminos de las siguientes expresiones booleanas graficando primero cada función en un mapa:
- a)  $xy + yz + xy'z$       b)  $C'D + ABC' + ABD' + A'B'D$   
c)  $wxy + x'z' + w'xz$
- 3-9** Encuentre todos los implicantes primos de las siguientes funciones booleanas y deduzca cuáles son esenciales:
- a)  $F(w, x, y, z) = \sum (0, 2, 4, 5, 6, 7, 8, 10, 13, 15)$   
b)  $F(A, B, C, D) = \sum (0, 2, 3, 5, 7, 8, 10, 11, 14, 15)$   
c)  $F(A, B, C, D) = \sum (1, 3, 4, 5, 10, 11, 12, 13, 14, 15)$
- 3-10** Simplifique las siguientes funciones booleanas encontrando primero los implicantes primos esenciales:
- a)  $F(w, x, y, z) = \sum (0, 2, 4, 5, 6, 7, 8, 10, 13, 15)$   
b)  $F(A, B, C, D) = \sum (0, 2, 3, 5, 7, 8, 10, 11, 14, 15)$   
c)  $F(A, B, C, D) = \sum (1, 3, 4, 5, 10, 11, 12, 13, 14, 15)$
- 3-11** Simplifique las siguientes funciones booleanas empleando mapas de cinco variables:
- a)  $F(A, B, C, D, E) = \sum (0, 1, 4, 5, 16, 17, 21, 25, 29)$   
b)  $F = A'B'CE' + A'B'C'D' + B'D'E' + B'CD' + CDE' + BDE'$

**3-12** Simplifique las siguientes funciones booleanas en forma de producto de sumas:

a)  $F(w, x, y, z) = \sum (0, 2, 5, 6, 7, 8, 10)$       b)  $F(A, B, C, D) = \prod (1, 3, 5, 7, 13, 15)$

**3-13** Simplifique las expresiones siguientes en forma de 1) suma de productos y 2) producto de sumas:

a)  $x'z' + y'z' + yz' + xy$       b)  $AC' + B'D + A'CD + ABCD$   
 c)  $(A' + B' + D')(A + B' + C')(A' + B + D')(B + C' + D')$

**3-14** Dé tres posibles formas de expresar esta función booleana con ocho o menos literales:

$$F = A'B'D' + AB'CD' + A'BD + ABC'D$$

**3-15** Simplifique la función booleana  $F$ , que tiene las condiciones de indiferencia  $d$ , y luego exprese la función simplificada como suma de miniterminos:

a)  $F(x, y, z) = \sum (0, 1, 2, 4, 5)$       b)  $F(A, B, C, D) = \sum (0, 6, 8, 13, 14)$   
 $d(x, y, z) = \sum (3, 6, 7)$        $d(A, B, C, D) = \sum (2, 4, 10)$   
 c)  $F(A, B, C, D) = \sum (1, 3, 5, 7, 9, 15)$   
 $d(A, B, C, D) = \sum (4, 6, 12, 13)$

**3-16** Simplifique estas expresiones e impleméntelas con circuitos de compuertas NAND de dos niveles:

a)  $AB' + ABD + ABD' + A'C'D' + A'BC'$   
 b)  $BD + BCD' + AB'C'D'$

**3-17** Dibuje un diagrama lógico NAND que implemente el complemento de esta función:

$$F(A, B, C, D) = \sum (0, 1, 2, 3, 4, 8, 9, 12)$$

**3-18** Dibuje un diagrama lógico empleando sólo compuertas NAND de dos entradas para implementar esta expresión:

$$(AB + A'B')(CD' + C'D)$$

**3-19** Simplifique las funciones siguientes e impleméntelas con circuitos de compuertas NOR de dos niveles:

a)  $F = wx' + y'z' + w'yz'$       b)  $F(w, x, y, z) = \sum (5, 6, 9, 10)$

**3-20** Dibuje el circuito NAND de múltiples niveles para esta expresión:

$$(AB' + CD')E + BC(A + B)$$

**3-21** Dibuje el circuito NOR de múltiples niveles para esta expresión:

$$w(x + y + z) + xyz$$

**3-22** Convierta el diagrama lógico del circuito mostrado en la figura 4-4 en un circuito NAND multinivel.

**3-23** Implemente la siguiente función booleana  $F$ , que tiene las condiciones de indiferencia  $d$ , empleando no más de dos compuertas NOR:

$$F(A, B, C, D) = \sum (0, 1, 2, 9, 11)$$

$$d(A, B, C, D) = \sum (8, 10, 14, 15)$$

Suponga que cuenta con las entradas normales y con sus complementos.

**3-24** Implemente la siguiente función booleana  $F$  empleando las formas de dos niveles a) NAND-AND, b) AND-NOR, c) OR-NAND, y d) NOR-OR:

$$F(A, B, C, D) = \sum (0, 1, 2, 3, 4, 8, 9, 12)$$

**3-25** Enumere las ocho formas degeneradas de dos niveles y demuestre que se reducen a una sola operación. Explique cómo usar las formas degeneradas de dos niveles para extender el número de entradas de una compuerta.



- 3-26** Con la ayuda de mapas, encuentre la forma de suma de productos más simple de la función  $F = fg$ , donde  $f$  y  $g$  son, respectivamente,

$$f = wxy' + y'z + w'yz' + x'yz'$$

y

$$g = (w + x + y' + z')(x' + y' + z)(w' + y + z')$$

- 3-27** Demuestre que el dual del OR exclusivo también es su complemento.
- 3-28** Deduzca los circuitos de un generador de paridad de tres bits y un verificador de paridad de cuatro bits empleando un bit de paridad impar.
- 3-29** Implemente estas cuatro expresiones booleanas:

$$D = A \oplus B \oplus C$$

$$E = A'BC + AB'C$$

$$F = ABC' + (A' + B')C$$

$$G = ABC$$

- 3-30** Implemente esta expresión booleana con compuertas OR exclusivo y AND:

$$F = AB'CD' + A'BCD' + AB'C'D + A'BC'D$$

- 3-31** Escriba en HDL la descripción de estructura de compuertas del circuito de la figura 3-22a).
- 3-32** El circuito OR exclusivo de la figura 3-32a) tiene compuertas con retardo de 10 ns para los inversores, 20 ns para las compuertas AND y 30 ns para las compuertas OR. La entrada del circuito pasa de  $xy = 00$  a  $xy = 01$ .
- Deduzca las señales en la salida de cada compuerta desde  $t = 0$  hasta  $t = 50$  ns.
  - Escriba la descripción HDL del circuito, incluyendo los retardos.
  - Escriba un módulo de estímulo (similar al ejemplo HDL 3-3) y simule el circuito para verificar la respuesta de la parte a).

- 3-33** Escriba la descripción HDL del circuito de la figura 3-37 empleando dos expresiones booleanas.

- 3-34** Escriba la descripción HDL del circuito especificado por estas funciones booleanas:

$$x = A(CD + B) + BC'$$

$$y = (AB' + A'B)(C + D')$$

$$z = [(A + B)(C' + D'B)]'$$

Utilice enunciados de asignación continua.

- 3-35** Encuentre los errores de sintaxis en las declaraciones siguientes (tome nota de que los nombres de las compuertas primitivas son opcionales):

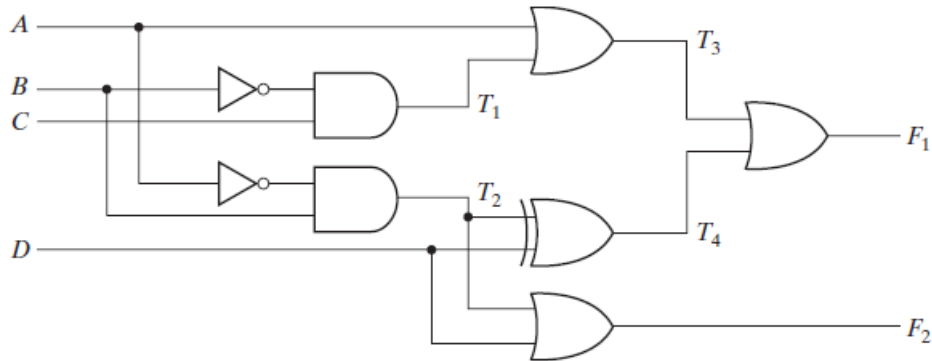
```
module Exmpl-3 (A, B, C, D, F)
  inputs A, B, C,
  Output D, F;
  and g1 (A, B, D);
  not (D, B, A);
  OR (F, B, C);
endmodule;
```



## CIRCUITOS COMBINACIONALES

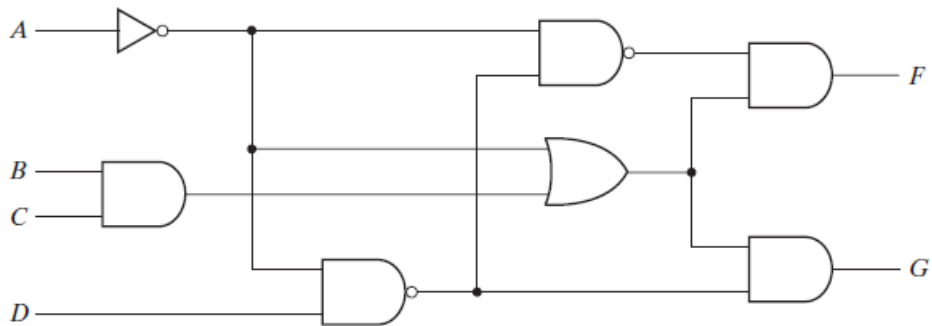
**4-1** Considere el circuito combinacional de la figura P4-1.

- Deduzca las expresiones booleanas para  $T_1$  a  $T_4$ . Evalúe las salidas  $F_1$  y  $F_2$  en función de las cuatro entradas.
- Escriba la tabla de verdad con 16 combinaciones binarias de las cuatro variables de entrada. Luego dé en la tabla los valores binarios de  $T_1$  a  $T_4$  y las salidas  $F_1$  y  $F_2$ .
- Grafique en mapas las funciones booleanas de salida obtenidas en la parte b) y demuestre que las expresiones booleanas simplificadas son equivalentes a las obtenidas en la parte a).



**FIGURA P4-1**

**4-2** Obtenga las expresiones booleanas simplificadas para las salidas  $F$  y  $G$  en términos de las variables de entrada del circuito de la figura P4-2.



**FIGURA P4-2**

**4-3** Para el circuito de la figura 4-26 (sección 4-10),

- Escriba las funciones booleanas de las cuatro salidas en función de las variables de entrada.
- Si el circuito se presenta como tabla de verdad, ¿cuántas filas y columnas tendría la tabla?

**4-4** Diseñe un circuito combinacional con tres entradas y una salida. La salida es 1 cuando el valor binario de las entradas es menos que 3, y es 0 en los demás casos.

**4-5** Diseñe un circuito combinacional con tres entradas,  $x$ ,  $y$  y  $z$ , y tres salidas,  $A$ ,  $B$  y  $C$ . Cuando la entrada binaria es 0, 1, 2 o 3, la salida binaria es uno más que la entrada. Si la entrada binaria es 4, 5, 6 o 7, la salida binaria es uno menos que la entrada.

- 4-6** Un circuito de mayoría es un circuito combinacional cuya salida es 1 si las variables de entrada tienen más unos que ceros. La salida es 0 en caso contrario. Diseñe un circuito de mayoría de tres entradas.
- 4-7** Diseñe un circuito combinacional que convierta un código Gray de cuatro bits (tabla 1-6) en un número binario de cuatro bits. Implemente el circuito con compuertas OR exclusivo.
- 4-8** Diseñe un convertidor de código que convierta un dígito decimal del código 8, 4, -2, -1 a BCD (véase la tabla 1-5).
- 4-9** Un decodificador de BCD a siete segmentos es un circuito combinacional que convierte un dígito decimal BCD en un código apropiado para seleccionar segmentos de un indicador que exhibe los dígitos decimales en la forma acostumbrada. Las siete salidas del decodificador ( $a, b, c, d, e, f, g$ ) seleccionan los segmentos correspondientes del indicador, como se indica en la figura P4-9a). La forma de representar los dígitos decimales con el indicador se muestra en la figura P4-9b). Diseñe un decodificador de BCD a siete segmentos empleando el mínimo de compuertas. Las seis combinaciones no válidas deberán dejar el indicador en blanco.



a) Designación de segmentos

b) Designación numérica para exhibición

**FIGURA P4-9**

- 4-10** Diseñe un circuito combinacional complementador a dos, de cuatro bits. (La salida genera el complemento a dos del número binario de entrada.) Demuestre que es posible construir el circuito con compuertas OR exclusivo. ¿Puede predecir las funciones de salida para un complementador a dos de cinco bits?

- 4-11** Diseñe un circuito combinacional incrementador de cuatro bits. (Un circuito que suma 1 a un número binario de cuatro bits.) El circuito puede diseñarse con cuatro semisumadores.
- 4-12** a) Diseñe un circuito semirrestador con entradas  $x$  y  $y$ , y salidas  $D$  y  $B$ . El circuito resta los bits  $x - y$ , y coloca la diferencia en  $D$  y el préstamo (*borrow*) en  $B$ .  
 b) Diseñe un circuito restador completo con tres entradas,  $x$ ,  $y$  y  $z$ , y dos salidas,  $D$  y  $B$ . El circuito resta  $x - y - z$ , donde  $z$  es el préstamo de entrada,  $B$  es el préstamo de salida y  $D$  es la diferencia.
- 4-13** El circuito sumador-restador de la figura 4-13 recibe los valores siguientes para la entrada de modo  $M$  y las entradas de datos  $A$  y  $B$ . En cada caso, determine los valores de las cuatro salidas  $SUM$ , el acarreo  $C$  y el desbordamiento  $V$ .

	$M$	$A$	$B$
a)	0	0111	0110
b)	0	1000	1001
c)	1	1100	1000
d)	1	0101	1010
e)	1	0000	0001

- 4-19** Construya un circuito sumador-restador BCD. Utilice el sumador BCD de la figura 4-14 y el complementador a nueve del problema 4-18. Utilice diagramas de bloque para los componentes.
- 4-20** Diseñe un multiplicador binario que multiplique dos números de cuatro bits. Utilice compuertas AND y sumadores binarios.
- 4-21** Diseñe un circuito combinacional que compare dos números de cuatro bits para ver si son iguales. La salida del circuito es 1 si los dos números son iguales, y 0 en caso contrario.
- 4-22** Diseñe un decodificador de exceso-3 a binario empleando las combinaciones no utilizadas del código como condiciones de indiferencia.
- 4-23** Dibuje el diagrama lógico de un decodificador de 2 a 4 líneas empleando únicamente compuertas NOR. Incluya una entrada de habilitación.
- 4-24** Diseñe un decodificador de BCD a decimal empleando las combinaciones no utilizadas del código BCD como condiciones de indiferencia.
- 4-25** Construya un decodificador de 5 a 32 líneas con cuatro decodificadores de 3 a 8 líneas provistos de habilitación y un decodificador de 2 a 4 líneas. Use diagramas de bloque para los componentes.
- 4-26** Construya un decodificador de 4 a 16 líneas con cinco decodificadores de 2 a 4 líneas provistos de habilitación.
- 4-27** Se especifica un circuito combinacional con estas tres funciones booleanas:

$$F_1(A, B, C) = \sum(2, 4, 7)$$

$$F_2(A, B, C) = \sum(0, 3)$$

$$F_3(A, B, C) = \sum(0, 2, 3, 4, 7)$$

Implemente el circuito con un decodificador construido con compuertas NAND (similar a la figura 4-19) y compuertas NAND o AND conectadas a las salidas del decodificador. Utilice un diagrama de bloque para el decodificador. Use el mínimo de entradas en las compuertas externas.

**4-28** Se define un circuito combinacional con las tres funciones booleanas siguientes:

$$F_1 = x'y'z' + xz$$

$$F_2 = xy'z' + x'y$$

$$F_3 = x'y'z + xy$$

Diseñe el circuito con un decodificador y compuertas externas.

**4-29** Diseñe un codificador prioritario con las cuatro entradas de la tabla 4-8, pero asignando a la entrada  $D_0$  la prioridad más alta, y a  $D_3$ , la más baja.

**4-30** Especifique la tabla de verdad de un codificador prioritario de octal a binario. Incluya una salida  $V$  para indicar que al menos una de las entradas está presente. La entrada con el subíndice más alto tendrá prioridad. ¿Qué valor tendrán las cuatro salidas si las entradas  $D_5$  y  $D_3$  son 1 al mismo tiempo?

**4-31** Construya un multiplexor  $16 \times 1$  con dos multiplexores  $8 \times 1$  y uno  $2 \times 1$ . Use diagramas de bloque.

**4-32** Implemente la función booleana siguiente con un multiplexor:

$$F(A, B, C, D) = \sum(0, 1, 3, 4, 8, 9, 15)$$

**4-33** Implemente un sumador completo con dos multiplexores  $4 \times 1$ .

**4-34** Un multiplexor  $8 \times 1$  tiene las entradas  $A$ ,  $B$  y  $C$  conectadas a las entradas de selección  $S_2$ ,  $S_1$  y  $S_0$ , respectivamente. Las entradas de datos  $I_0$  a  $I_7$  son:  $I_1 = I_2 = I_7 = 0$ ;  $I_3 = I_5 = 1$ ;  $I_0 = I_4 = D$ ; e  $I_6 = D'$ . Determine la función booleana que implementa el multiplexor.

**4-35** Implemente la siguiente función booleana con un multiplexor  $4 \times 1$  y compuertas externas. Conecte las entradas  $A$  y  $B$  a las líneas de selección. Los requisitos de entrada de las cuatro líneas de datos serán función de las variables  $C$  y  $D$ . Estos valores se obtienen expresando  $F$  en función de  $C$  y  $D$  para cada uno de los cuatro casos en que  $AB = 00, 01, 10$  y  $11$ . Podría ser necesario implementar estas funciones con compuertas externas.

$$F(A, B, C, D) = \sum(1, 3, 4, 11, 12, 13, 14, 15)$$

**4-36** Escriba la descripción HDL en el nivel de compuertas del circuito codificador prioritario de la figura 4-23.

## 5-1 CIRCUITOS SECUENCIALES

**5-1** El latch  $D$  de la figura 5-6 se construyó con cuatro compuertas NAND y un inversor. Considere estas otras tres formas de obtener un latch  $D$ . En cada caso, dibuje el diagrama lógico y verifique el funcionamiento del circuito.

- Use compuertas NOR para la parte de latch  $SR$  y compuertas AND para las otras dos. Se podría necesitar un inversor.
- Use compuertas NOR para las cuatro compuertas. Se podrían requerir inversores.
- Use únicamente cuatro compuertas NAND (sin inversor). Esto se logra conectando la salida de la compuerta superior de la figura 5-6 (que va al latch  $SR$ ) con la entrada de la compuerta inferior (en vez de la salida del inversor).

**5-2** Construya un flip-flop  $JK$  con un flip-flop  $D$ , un multiplexor de 2 líneas a 1 y un inversor.

**5-3** Demuestre que la ecuación característica para la salida de complemento de un flip-flop  $JK$  es

$$Q'(t + 1) = J'Q' + KQ$$

**5-4** Un flip-flop  $PN$  tiene cuatro operaciones: despeje a 0, ningún cambio, complemento y establecimiento a 1, cuando las entradas  $P$  y  $N$  son 00, 01, 10 y 11, respectivamente.

- Tabule la tabla de características.
- Deduzca la ecuación característica.
- Tabule la tabla de excitación.
- Muestre cómo el flip-flop  $PN$  se puede convertir en un flip-flop  $D$ .

**5-5** Explique la diferencia entre tabla de verdad, tabla de estados, tabla característica y tabla de excitación. Explique también la diferencia entre una ecuación booleana, una ecuación de estado, una ecuación característica y una ecuación de entrada de flip-flop.

**5-9** Un circuito secuencial tiene dos flip-flops  $JK$ ,  $A$  y  $B$ , y una entrada,  $x$ . El circuito se describe con estas ecuaciones de entrada de flip-flop:

$$\begin{aligned} J_A &= x & K_A &= B' \\ J_B &= x & K_B &= A \end{aligned}$$

- Deduzca las ecuaciones de estado  $A(t + 1)$  y  $B(t + 1)$  sustituyendo las ecuaciones de entrada por las variables  $J$  y  $K$ .
- Dibuje el diagrama de estados del circuito.

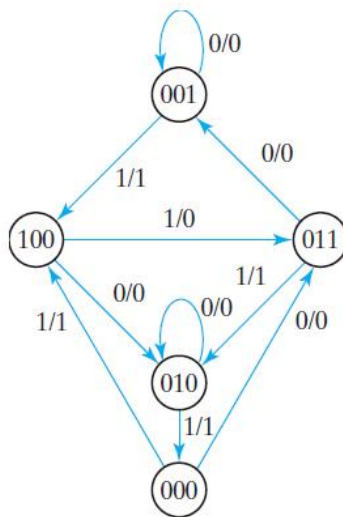
**5-10** Un circuito secuencial tiene dos flip-flops  $JK$ ,  $A$  y  $B$ , dos entradas,  $x$  y  $y$ , y una salida,  $z$ . Las ecuaciones de entrada de los flip-flops y la ecuación de salida del circuito son

$$\begin{aligned} J_A &= Bx + B'y' & K_A &= B'xy' \\ J_B &= A'x & K_B &= A + xy' \\ z &= Ax'y' + Bx'y' \end{aligned}$$

- Dibuje el diagrama lógico del circuito.
- Prepare la tabla de estados.
- Deduzca las ecuaciones de estado para  $A$  y  $B$ .



- 5-14** Sustituya la asignación binaria 2 de la tabla 5-9 en los estados de la tabla 5-8 y obtenga la tabla de estados binaria.
- 5-15** Prepare una tabla de estados para el flip-flop *JK* utilizando *Q* como estado actual y siguiente, y *J* y *K* como entradas. Diseñe el circuito secuencial especificado por la tabla de estados y demuestre que es equivalente a la figura 5-12a).
- 5-16** Diseñe un circuito secuencial con dos flip-flops *D*, *A* y *B*, y una entrada, *x*. Cuando *x* = 0, el estado del circuito no cambia. Cuando *x* = 1, el circuito pasa por las transiciones de estado de 00 a 01 a 11 a 10 y de vuelta a 00, y repite.
- 5-17** Diseñe un complementador a dos en serie con una entrada y una salida. El circuito acepta una cadena de bits de la entrada y genera el complemento a dos en la salida. El circuito se puede restablecer asincrónicamente para iniciar y terminar la operación.
- 5-18** Diseñe un circuito secuencial con dos flip-flops *JK*, *A* y *B*, y dos entradas, *E* y *x*. Si *E* = 0, el circuito permanece en el mismo estado sea cual sea el valor de *x*. Si *E* = 1 y *x* = 1, el circuito pasa por las transiciones de estado de 00 a 01 a 10 a 11 y de vuelta a 00, y repite. Cuando *E* = 1 y *x* = 0, el circuito pasa por las transiciones de estado de 00 a 11 a 10 a 01 y de vuelta a 00, y repite.
- 5-19** Un circuito secuencial tiene tres flip-flops, *A*, *B*, *C*; una entrada, *x*; y una salida, *y*. El diagrama de estados aparece en la figura P5-19. El circuito se diseñará tratando los estados no utilizados como condiciones de indiferencia. Analice el circuito obtenido del diseño para determinar el efecto de los estados no utilizados.
- a) Use flip-flops *D* en el diseño.                      b) Use flip-flops *JK* en el diseño.



**FIGURA P5-19**

- 5-20** Diseñe el circuito secuencial especificado por el diagrama de estados de la figura 5.19 empleando flip-flops *T*.

## Registros y contadores



- 6-1** Incluya una compuerta NAND de dos entradas con el registro de la figura 6-1 y conecte la salida de la compuerta a las entradas *C* de todos los flip-flops. Una entrada de la compuerta NAND recibe los pulsos de reloj del generador de reloj, y la otra entrada de la compuerta se encarga de controlar la carga en paralelo. Explique el funcionamiento del registro modificado.
- 6-2** Incluya una entrada de despeje sincrónica para el registro de la figura 6-2. El registro modificado tendrá una capacidad de carga en paralelo y una capacidad de despeje sincrónico. El registro se despeja (pone en ceros) sincrónicamente cuando el reloj tiene una transición positiva y la entrada de despeje es 1.
- 6-3** ¿Qué diferencia hay entre transferencia en serie y en paralelo? Explique cómo convertir datos en serie a paralelo y datos en paralelo a datos en serie. ¿Qué tipo de registro se necesita?
- 6-4** El contenido de un registro de cuatro bits es inicialmente 1101. El registro se desplaza seis veces a la derecha, siendo la entrada en serie 101101. ¿Qué contiene el registro después de cada desplazamiento?
- 6-5** El registro universal de desplazamiento de cuatro bits mostrado en la figura 6-7 se encierra en un paquete de CI.
- Dibuje un diagrama de bloques del circuito integrado que señale todas las entradas y salidas. Incluya dos entradas para la alimentación eléctrica.
  - Dibuje un diagrama de bloques empleando dos CI para producir un registro de desplazamiento universal de ocho bits.
- 6-6** Diseñe un registro de desplazamiento de cuatro bits con carga paralela empleando flip-flops *D*. Hay dos entradas de control: desplazar y cargar. Cuando desplazar = 1, el contenido del registro se desplaza una posición. Se transfieren nuevos datos al registro cuando cargar = 1 y desplazar = 0. Si ambas entradas de control son 0, el contenido del registro no cambia.
- 6-7** Dibuje el diagrama lógico de un registro de cuatro bits con cuatro flip-flops *D* y cuatro multiplexores  $4 \times 1$ , con entradas de selección de modo  $s_1$  y  $s_0$ . El registro opera según la siguiente tabla de función:

$s_1$	$s_0$	Operación del registro
0	0	Sin cambio
0	1	Complementar las cuatro salidas
1	0	Poner el registro en ceros (sincrónico con el reloj)
1	1	Cargar datos en paralelo

- 6-8** El sumador en serie de la figura 6-6 usa dos registros de cuatro bits. El registro *A* contiene el número binario 0101, y el registro *B*, 0111. El flip-flop de acarreo se restablece inicialmente en 0. Numere los valores binarios que están en el registro *A* y en el flip-flop de acarreo después de cada desplazamiento.
- 6-9** En la sección 6-2 se describieron dos formas de implementar un sumador en serie ( $A + B$ ). Es necesario modificar los circuitos para convertirlos en restadores en serie ( $A - B$ ).
- Utilizando el circuito de la figura 6-5, indique los cambios necesarios para obtener  $A +$  complemento a dos de  $B$ .
  - Utilizando el circuito de la figura 6-6, indique los cambios requeridos modificando la tabla 6-2, de un circuito sumador a uno restador. (Véase el problema 4-12.)
- 6-10** Diseñe un complementador a dos en serie con un registro de desplazamiento y un flip-flop. El número binario se desplaza hacia afuera por un lado y su complemento a dos se desplaza hacia adentro por el otro lado del registro de desplazamiento.

- 6-23** Diseñe un circuito de temporización que genere una señal de salida que se mantenga encendida durante exactamente ocho ciclos de reloj. Una señal de inicio hace que la salida pase al estado 1; después de ocho ciclos de reloj, la señal vuelve al estado 0.
- 6-24** Diseñe con flip-flops  $T$  un contador que pase por la siguiente sucesión binaria repetida: 0, 1, 3, 7, 6, 4. Demuestre que si los estados binarios 010 y 101 se consideran condiciones de indiferencia, el contador podría no funcionar correctamente. Encuentre una forma de corregir el diseño.
- 6-25** Es necesario generar seis señales repetidas de temporización  $T_0$  a  $T_5$  similares a las que se indican en la figura 6-17c). Diseñe el circuito utilizando:
- Únicamente flip-flops.
  - Un contador y un decodificador.
- 6-26** Un sistema digital tiene un generador de reloj que produce pulsos con una frecuencia de 80 MHz. Diseñe un circuito que genere un reloj con un tiempo de ciclo de 50 ns.
- 6-27** Diseñe un contador que siga esta sucesión binaria repetida: 0, 1, 2, 3, 4, 5, 6. Use flip-flops  $JK$ .
- 6-28** Diseñe un contador que siga esta sucesión binaria repetida: 0, 1, 2, 4, 6. Use flip-flops  $D$ .
- 6-29** Numere los ocho estados no utilizados del contador de anillo con extremo conmutado de la figura 6-18a).

Determine el siguiente estado para cada uno de estos estados y demuestre que, si el contador llega a estar en un estado no válido, no volverá a un estado válido. Modifique el circuito como se recomienda en el texto y demuestre que el contador produce la misma sucesión de estados y que el circuito llega a un estado válido desde cualquiera de los estados no utilizados.